

高耐圧GaN縦型pn接合ダイオードの研究

中村, 徹 / 三島, 友義 / 太田, 博

(出版者 / Publisher)

法政大学イオンビーム工学研究所

(雑誌名 / Journal or Publication Title)

Report of Research Center of Ion Beam Technology, Hosei University / 法政大学イオンビーム工学研究所報告

(巻 / Volume)

36

(開始ページ / Start Page)

3

(終了ページ / End Page)

11

(発行年 / Year)

2017-02-15

(URL)

<https://doi.org/10.15002/00030304>

1. 研究ノート

1. 高耐压GaN縦型pn接合ダイオードの研究

太田 博*、中村 徹*、三島 友義**

1. はじめに

昨今の地球温暖化対策・CO₂排出削減に向けて、電力変換用の超高効率パワーデバイスの研究・開発が活発化している。中でもSiCデバイス以上の特性が期待されるGaNを用いた縦型のパワーデバイスは究極の効率が得られるとして注目を集め始めた。本研究はその基本構造となるpn接合ダイオードの高耐压化と低オン抵抗化を検討した。この研究分野の現状であるが、GaN縦型pn接合ダイオードの報告例は少ない。その理由は高品質のGaN基板上エピタキシャル結晶の開発が進み始めてまだ日が浅いためである。また、良好な結晶を入手できないことからプロセス技術も未発達であった。そのため、平成22年ごろまでは耐压は1000 V程度に留まっていた^{1,2)}。このような状況の下、法政大学とサイオクス（旧日立電線、日立金属）はこれまで協同研究で高耐压ダイオードの開発を進め、3000 V級の高耐压ダイオードを作製し得る技術を開発してきた³⁾。この1-2年で海外勢、特に米国のAvogy社⁴⁾や法政大学の卒業生による研究でコーネル大学などが高耐压GaN縦型pn接合ダイオードについて報告し、日本を追撃している。法政大学はこの分野におけるリーダー的存在であり、耐压の世界記録を更新続けている。ここではその研究成果について報告する。

2. 実験

pn接合ダイオードを高耐压化する有効な手段としてメサ形状とフィードプレート電極を用いることがこれまでの研究でわかっている。しかし、GaNは酸やアルカリ溶液を用いたウェットエッチングができない強固な材料であるため、反応性のイオン照射によるドライエッチングを用いる必要がある。このイオン照射によってGaN表面近傍にダメージが入ることが考えられる。図1はこの様子を模式的に示し

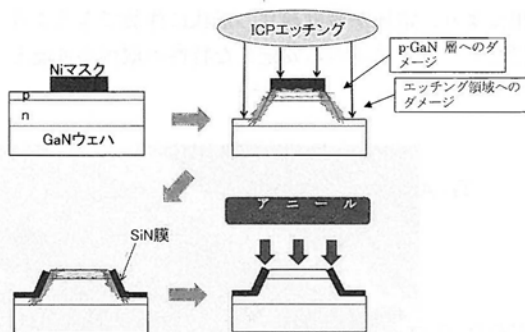


図1 メサ構造ドライエッチングプロセスと想定されるダメージ

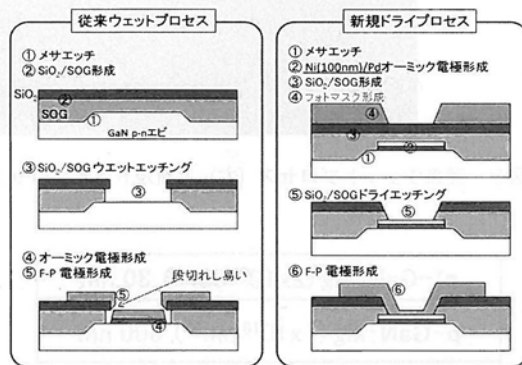


図2 従来ウェットプロセスと新規ドライプロセスの比較

たものであるが、エッチングマスクとして用いたニッケル (Ni) を貫通してp-GaN層に導入されるダメージと直接エッチングされたメサの側壁に導入されたダメージが想定される。前者のダメージはダイオードの順方向のオン抵抗 (Ron) に、後者は逆方向の耐压に悪影響を及ぼすものと考えられる。このダメージからの回復の手法としてドライエッチング後に側壁を窒化シリコン (SiN) 膜で保護してから熱処理 (850℃) をした。次に、再現性のある生産

*法政大学、**イオンビーム工学研究所

に向けた電極プロセスも検討した。高耐圧化に必須なフィールドプレート (FP) 電極の形成プロセスを従来の再現性に劣るウェットプロセスから量産工程でも適用されているドライプロセスへの変更を行った (図2)。このドライ化によって懸念される p-GaN 層へのダメージは、オーミック電極のパラジウム円形電極を先行して形成することでイオンの照射をブロックして除外した。本ドライプロセスの採用により、電極が設計通りの形状に作製できるようになり、以下に述べる安定した特性の取得が可能と

なっている。改善した電極の断面構造を図3に示す。

ドライエッチングプロセスにおけるダメージの検討に用いた GaN ウエハの層構造を図4に示す。サイオクス製の HVPE (Hydride Vapor Phase Epitaxy) 法による基板上にサイオクスにて MOVPE (Metal-Organic Vapor Phase Epitaxy) 法でエピタキシャル成長を実施したものである。この pn 接合エピタキシャルウエハの設計耐圧は約 4 kV である。このウエハを用いてメサ構造 pn 接合ダイオードを試作した。図5にその断面構造を示す。特にダメージを

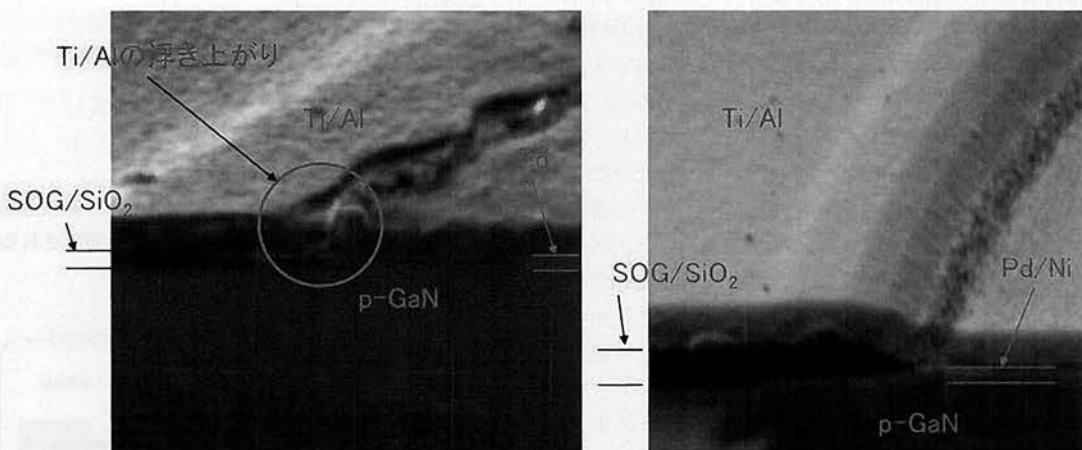


図3 従来ウェットプロセス (左) と新規ドライプロセス (右) による電極の断面形状の違い (走査型電子顕微鏡像)

p ⁺ -GaN: Mg ($2 \times 10^{20} \text{ cm}^{-3}$), 30 nm
p-GaN: Mg ($1 \times 10^{18} \text{ cm}^{-3}$), 500 nm
un-GaN (Si $< 2 \times 10^{15} \text{ cm}^{-3}$), 3 μm
n ⁻ -GaN: Si ($1.15 \times 10^{16} \text{ cm}^{-3}$), 19 μm
n ⁻ -GaN: Si ($1.6 \times 10^{16} \text{ cm}^{-3}$), 5 μm
n-GaN: Si ($2 \times 10^{18} \text{ cm}^{-3}$), 2 μm
n-GaN 基板

図4 ドライエッチングプロセスにおけるダメージの検討に用いた GaN ウエハの層構造

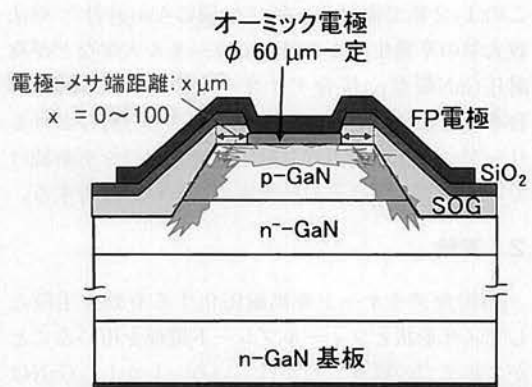


図5 ダメージの検討に用いた GaN ダイオードの断面構造

受けた側壁からの影響を検討するためにオーミック電極端とメサ端との距離 (x μm) を変えて実験を行った。

3. 実験結果と考察

図6は通常プロセスとダメージ回復アニールを施した場合の順方向のオン抵抗 R_{on} を上記距離 x に対してプロットしたものである。アニールにより R_{on} が一様に減少していることがわかる。この改善はp-GaN層へのダメージが回復し正孔濃度が増えたことによる抵抗の減少によるものと考えられる。図7は通常プロセスとダメージ回復アニールを施した場合の逆方向の耐圧 VB を上記距離 x に対してプロットしたものである。アニールにより VB が一様に上昇していることがわかる。この改善はpn接合がむき出しになっている層へのダメージが回復し欠陥起因の耐圧低下が抑制されたことによるものと考えられる。当初、 x を小さくすることによって電極がダメージ領域に近づき耐圧の低下が生じると予想されたが、 x が5 μm でも耐圧に明らかな低下は見られなかった。これにより、ダメージの及ぶ範囲は5 μm 以下であることがわかり、今後のダイオードの設計にも反映できる。また、同図で得られている耐圧はすべて4 kV以上の高い値であり、その時点で報告されている世界記録の米国Avogy社の3.7 kV⁵⁾を凌駕する優れた結果となっている。

高耐圧GaN pn接合ダイオードを開発する目的は、

高電圧の電力変換システムにおいても物性的に変換効率がSiCデバイスよりも優れることが予想されるGaNパワーデバイスの潜在力を実証することである。高耐圧向けに新規に設計した3層ドリフト層を有するGaNエピタキシャル結晶を用いて検討した結果について述べる。図8は、昨年度まで検討していた3 kV前後の耐圧を目指した2層のドリフト層を有するダイオードと今回検討した3層ドリフト層を有するダイオードの断面構造を比較したものである。昨年度の報告書に詳細に解説したが、ドリフト層はp型Ga_{0.4}N_{0.6}層の下に低ドーピング濃度n型層のことで、逆バイアス電圧下ではほぼ全ての電界はここに集中する。n型ドーパントであるSiの濃度を下げるほど電界強度は下がり、空乏層が基板側に向かって広がる。従って、高耐圧化のためにはSiドーピング濃度を下げて、n-GaN層の厚さを増やすことが望まれる。しかし、Siドーピング濃度を下げたn-GaN層は抵抗が高いため単純に厚くすると順方向のオン抵抗の増大が激しくなるというトレードオフが発生する。そこで、最も電界強度が高くなるpn接合付近のみの領域だけ特にSiドーピング濃度を下げてこのトレードオフを回避してきた。このコンセプトに基づいた従来の2層構造をさらに改良したのが右の図の3層ドリフト層構造である。

右の3層ドリフト層のエピタキシャル層が設計通りに結晶成長できているか2次イオン質量分析(SIMS: Secondary Ion Mass Spectrometry)で評

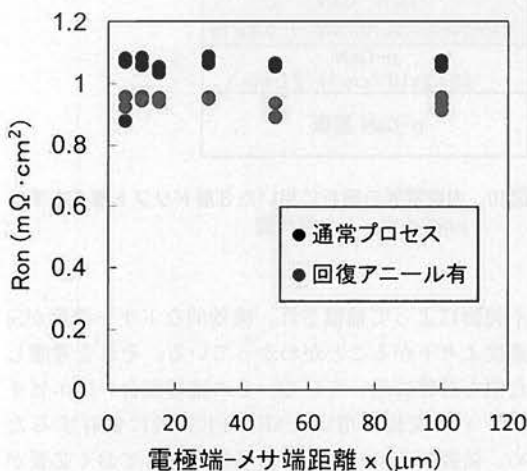


図6 通常プロセスとダメージ回復アニールを施した場合の順方向のオン抵抗 R_{on} の電極端-メサ端距離 x 依存

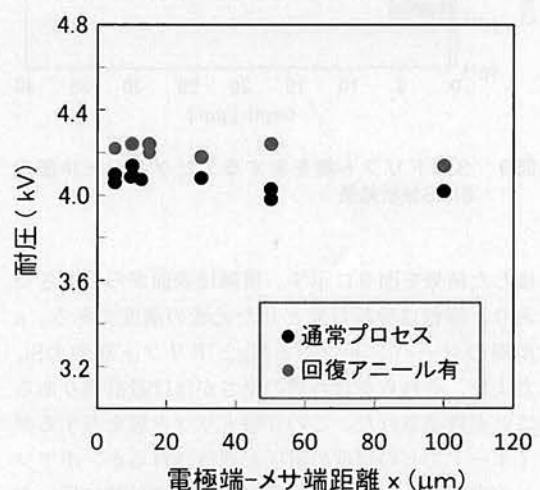


図7 通常プロセスとダメージ回復アニールを施した場合の逆方向耐圧 VB の電極端-メサ端距離 x 依存

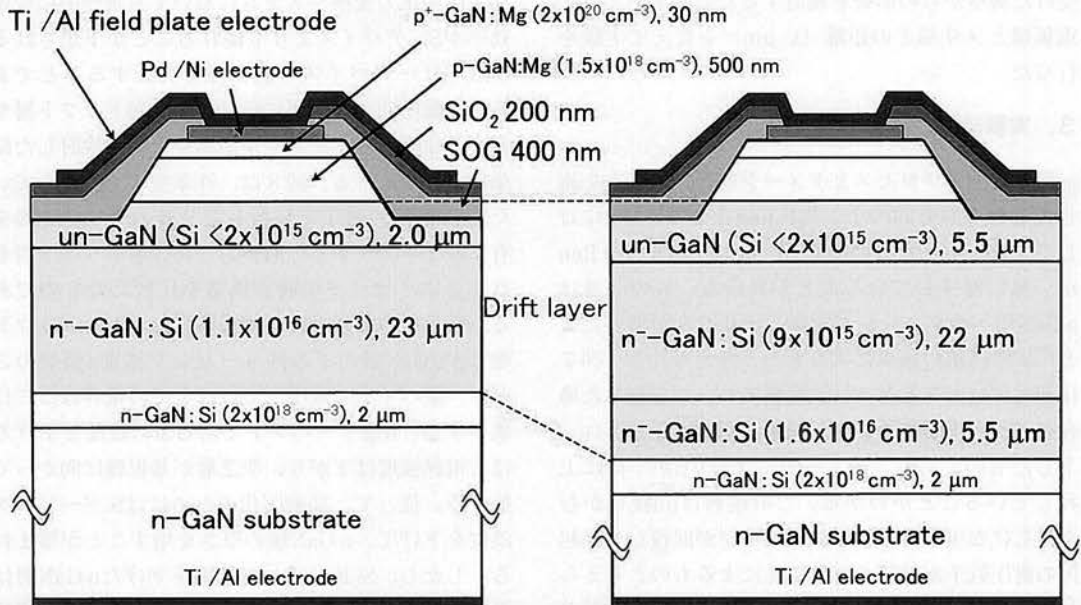


図8 従来の2層ドリフト層を有するpn接合ダイオードと今回検討した3層ドリフト層を有するダイオードの断面構造図

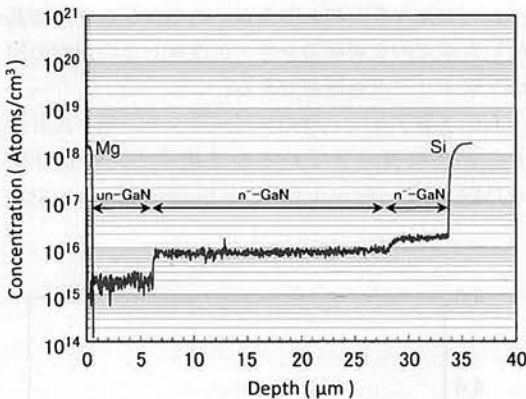


図9 3層ドリフト層を有するエピタキシャル層のSIMS分析結果

価した結果を図9に示す。横軸は表面からの深さであり、縦軸は分析対象とした元素の濃度である。p型層のドーパントであるMgとドリフト層中のSi、および、それらを含む層の厚さがほぼ設計通りあることが確認された。この3層ドリフト層を有するダイオードでどの程度の耐圧が期待されるか、ポアソンの方程式を用いて解析した。図10は計算に用いた層構造である。図8のSiドーピング濃度と異なるのは、ドナーとなっているSiの一部が炭素などの残留



図10 内蔵電界の解析に用いた3層ドリフト層を有するpnダイオードの層構造

不純物によって補償され、実効的なドナー濃度がSi濃度より下がるということがわかっている。それを考慮した値を計算に用いている。その補償度合いはエピタキシャル成長に用いたMOVPE装置に依存するため、装置ごとに基本データを取得しておく必要がある。

図10のアクセプタ濃度Naおよび実効ドナー濃度Nd-Naをポアソンの方程式に適用し、6000 Vの逆バ

イアス状態におけるダイオード内の電界強度計算したものが図11である。実効ドナー濃度が低いun-GaN層をpn接合部に設けたことで、電界の上昇の傾きが小さくなり、pn接合におけるピーク電界強度をGaNの破壊電界強度とされる3.3 MV/cm以下に抑えることができています。

このエピタキシャル結晶に前項で述べた低ダメージプロセスを適用して作製したダイオードの評価結果について述べる。図12は順方向の電流-電圧特性である。ドーピング濃度が低くかつ層厚が大きい3層ドリフト層を用いたことにより順方向の抵抗が高

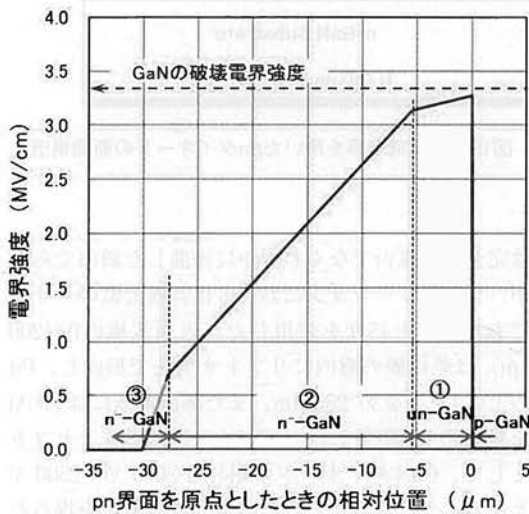


図11 3層ドリフト層を有するpnダイオードの内蔵電界強度解析結果 (-6000V印加)

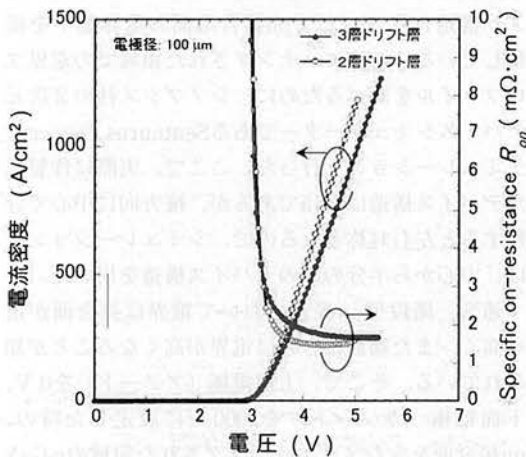


図12 2層および3層ドリフト層を有するpnダイオードの順方向電流-電圧特性

くなることが懸念されたが、従来の2層ドリフト層を用いたダイオードと比べてオン抵抗の上昇は僅かなものにとどまっている。また、立ち上がり電圧も両者に変化なく3.0 Vと低い値であり、さらに電流密度も1000 A/cm²を超える良好な順方向特性が得られている。図13は3層ドリフト層を有するpnダイオードの逆方向の電流-電圧特性である。円形の電極径は60および200 μmのものを示したが、ともに4700 Vと従来にない高い値を示している。この値は米国Avogy社が昨年記録した3700 Vを1000 Vも上回る優れたものである。図11の解析では6000 Vも期待されたが、その値には以下のような理由で到達しなかった。絶縁破壊したダイオードの光学顕微鏡像を観察するとほとんど全てのダイオードは画一的な急激な破壊の仕方をしており、破壊箇所はメサの側壁ないしはそのすぐ外側の絶縁膜の部分であった。これは、メサ側壁のpn接合露出部での電界集中や絶縁膜自体の耐圧不良によるものと推定され、その有効な対策も検討した。

以上の結果をパワーデバイスの電流駆動能力と耐圧の座標を用いて性能のポジションを示したものが、図14である。星印で表したのが今回達成した性能であり、今年度の目標を超えるものが得られた。すでに、SiCの性能限界(Baliga指数 = 約1 GW/cm²)を大きく超えている。今回4700 Vを達成したダイオードのBaliga指数は約13 GW/cm²にもなり世界最高性能となっている⁶⁾。

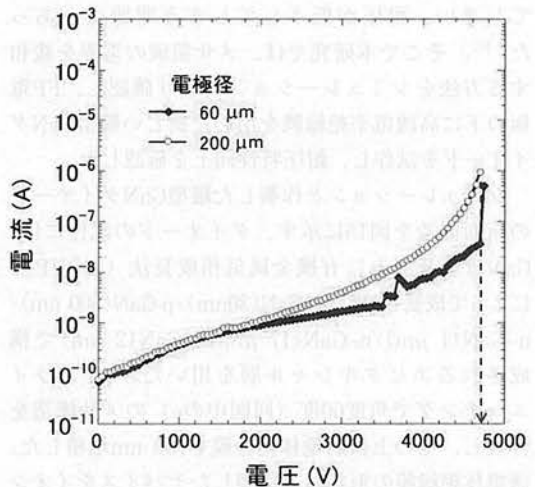


図13 3層ドリフト層を有するpnダイオードの逆方向の電流-電圧特性

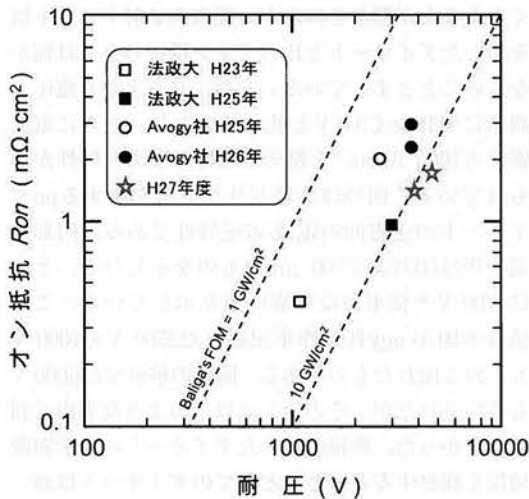


図14 平成27年度に試作したpnダイオードの逆方向の電流-電圧特性

半導体デバイスに高電圧を印加すると、pn接合や空乏層端に電界が集中することが知られている。pn接合端や空乏層端の電界集中を緩和するための方法として、何種類かのエッジターミネーション(終端構造)技術が考案され、デバイスの高耐圧化に寄与してきた。エッジターミネーション技術として、ガードリング、フィールドプレート(FP)、メサ構造、接合ターミネーションエクステンションがある。特にGaNパワーデバイスの耐圧を向上させるために、FP構造が最も広く使われている⁷⁻⁸⁾。しかしながらFP構造を用いたとしてもメサ領域に電界が集中してしまい、耐圧が低下してしまう問題点があった⁹⁻¹⁰⁾。そこで本研究では、メサ領域の電界を緩和する方法をシミュレーションにより確認し、FP電極の下に高誘電率絶縁膜を用いた新しい縦型GaNダイオードを試作し、耐圧特性向上を確認した。

シミュレーションと作製した縦型GaNダイオードの断面構造を図15に示す。ダイオードの試作には、GaN自立基板上に有機金属気相成長法(MOVPE)によって成長させたp⁺-GaN(30nm)/p-GaN(500nm)/n-GaN(1μm)/n-GaN(17μm)/n-GaN(2μm)で構成されるエピタキシャル層を用いた。ICPドライエッチングで角度60度(同図中のe)のメサ構造を作製し、その上に誘電体絶縁膜を700nm堆積した。誘電体絶縁膜の形状は、作製したデバイスをイオン顕微鏡で観察した。メサ構造および絶縁膜を形成した後のダイオードの幾何学的な構造は、断面観察で

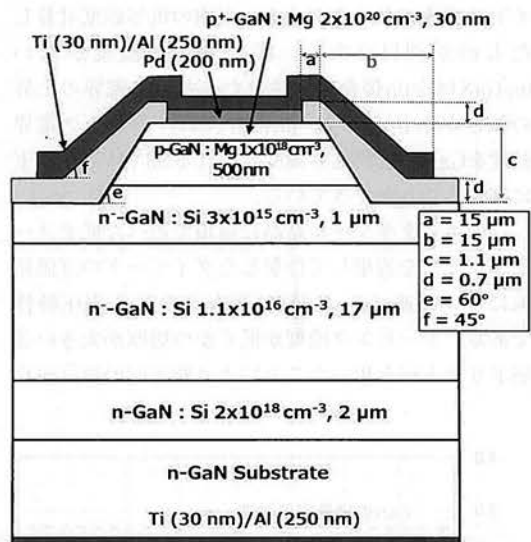


図15 高誘電率膜を用いたpnダイオードの断面構造

は完全な円錐台でなくわずかに湾曲した斜面であるが、シミュレーションにおいては直線近似のメサ角である60度と45度を使用した。表面電極のPd(200nm)は絶縁膜の窓内にリフトオフ法で形成し、Pdの上にTi/Alを30/250nm、また裏面電極にはTi/Alを30/250nm蒸着した。デバイス構造のコンセプトとして、GaNダイオードの耐圧が2000V~2500Vとなるように設計した。このような高耐圧を得るためにp-GaN(500nm)下のn-GaN(1μm)の濃度を下げることで、n-GaN領域に空乏層を拡がりやすくしpn接合面の降伏電界強度を下けている。また、メサ構造にすることでpn接合端面の電界集中を緩和している。メサエッチングされた領域での電界プロファイルを調べるために、シノプシス社の2次元デバイスシミュレーターであるSentaurus Deviceでシミュレーションを行った。ここで、実際に作製したデバイス構造は図15であるが、縦方向に中心で分割すると左右対称となるので、シミュレーションでは、中心から半分だけのデバイス構造を用いた。

通常、階段型pn接合において電界は接合面が最も高く、また端面はさらに電界が高くなることが知られている。そこで、上面電極(アノード)を0V、下面電極(カソード)を2000Vに設定した時の、pn接合面を含むメサエッチングされた領域のn-GaN層の電界プロファイルを調べた。逆方向電圧を2000Vとし、絶縁膜に異なる誘電率の材料

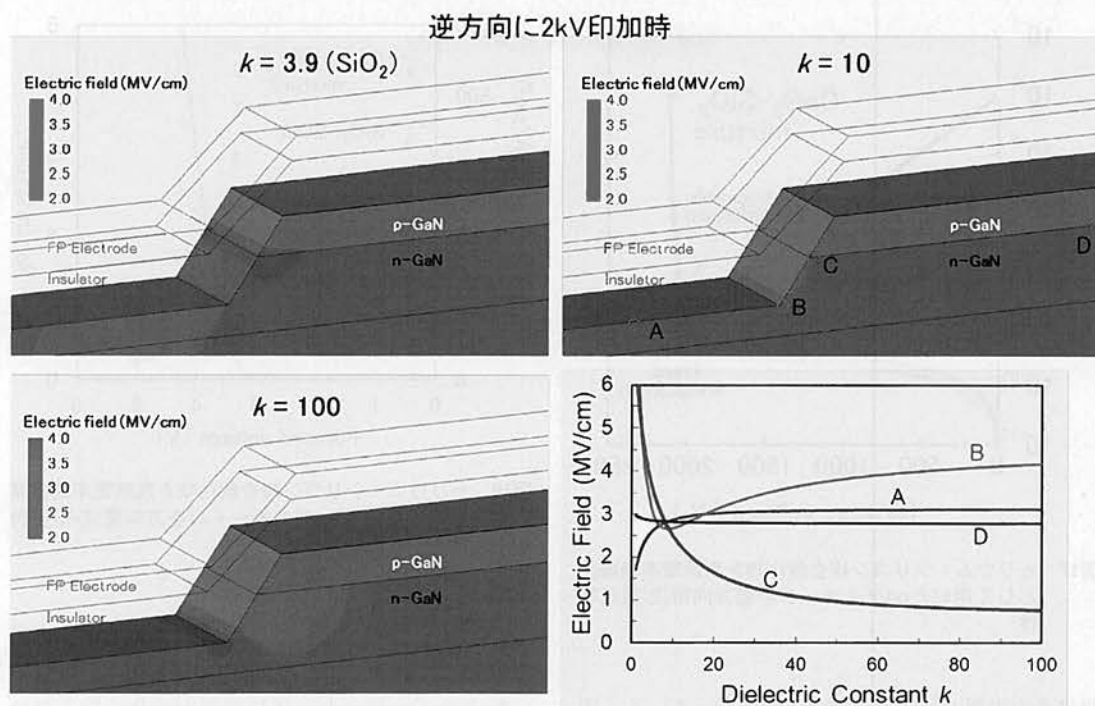


図16 誘電率の異なる絶縁膜を使用したダイオードの電界分布のシミュレーション結果

$k = 3.9(\text{SiO}_2)$ 、10、100を入れた時の電界分布のシミュレーション結果を図16に示す。同図では、上面電極と絶縁膜を透明にし、p-GaNとn-GaN領域の電界分布を示している。電界は2～4 MV/cmの範囲を示している。 SiO_2 ($k = 3.9$)のときpn接合端部とメサ側面から少し内側のpn接合部に電界が集中していることがわかる。 SiO_2 の代わりに $k = 10$ の高誘電体材料を用いるとpn接合端部の電界が緩和されるとともに、メサ側面全体の電界も緩和されている。しかし、メサ側面より少し内側のpn接合部に電界が高い部分が残ってしまう。さらに $k = 100$ にすると、pn接合端部の電界は大きく緩和される一方、メサ側面の下端付近に電界が集中してしまう。

次に、位置による電界を調べた。図16の右上の図中に示した絶縁膜の底面(点A)からメサ側面の下端(点B)、pn接合端部(点C)、真性pn接合面(点D)における比誘電率 k に対する電界のグラフを図16の右下に示す。この図より、真性pn接合面(点D)は、 k の影響は受けず一定となる。メサ側面の下端(点B)は、 k を上げると電界は急激に減少し、約 $k = 10$ で最小となり、約 $k = 12$ から緩やかに上昇する。また、pn接合端部(点C)は、 k を上げるにつれて電界は

減少する。これより k を単に大きくすれば電界集中が緩和されるわけではなく、A～Dの各点におけるピーク電界強度が最小となる最適な値 $k = 14 \sim 20$ が存在することがわかる。これは、絶縁膜の容量とn-GaNの空乏層容量でデバイスに印加される電圧が分散されるためと考えられる。GaNダイオードの表面に堆積した絶縁膜上にFP電極を形成した場合、FP電極と絶縁膜とで形成される容量と、GaN半導体層内に形成される空乏層容量との直列接続構造が形成される。これらの2つの容量の値の差により絶縁膜に印加される電圧とGaN側に印加される電圧に相違が生じる。絶縁膜の誘電率を高くすることで絶縁膜に印加されていた電圧をGaN側に分散させることによって空乏層幅を広げGaN表面の電界が緩和される。GaN表面の電界はダイオードの場所によって異なるため、ダイオード全体の電界を緩和させる最適な絶縁膜の誘電率が存在することになる。

以上のシミュレーション結果より、最適な誘電率に近い高誘電率絶縁膜材料として SiO_2 と CeO_2 のセリウム・シリコン混合酸化物を選択した。セリウム酸化物 CeO_2 のみの誘電率は26、シリコン酸化物の誘電率は3.9のため、セリウム・シリコン複合酸化

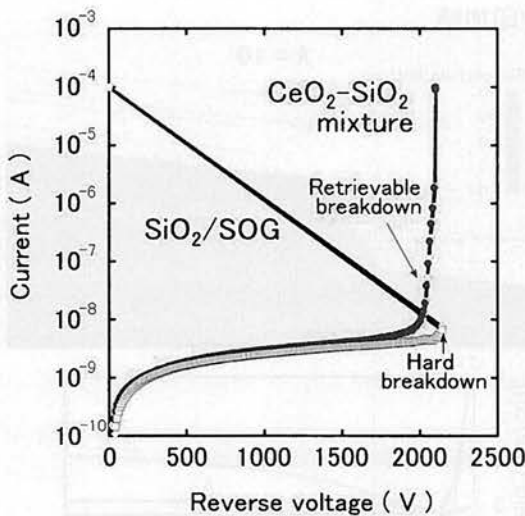


図17 セリウム・シリコン複合酸化物を高誘電率絶縁膜として用いたpnダイオードの順方向電流-電圧特性

物はその中間の誘電率を有する膜となっている。測定したC-V特性より計算したセリウム・シリコン複合酸化物の誘電率は周波数 1 MHzで12.3であった。図15に示した構造で高誘電率絶縁膜としてセリウム・シリコン複合酸化物をを用いたダイオードを試作し評価した。セリウム・シリコン複合酸化物膜は、液体有機金属アルコキシセリウム源 ($\text{Ce}[\text{OC}(\text{C}_2\text{H}_5)_2\text{CH}_3]_4$) をを用いた熱分解CVD法により350℃で約700 nm堆積した。

まず順方向電流-電圧特性の測定結果を図17に示す。比較のために誘電体絶縁膜として従来の SiO_2/SOG 酸化膜を700 nm堆積した結果も示した。セリウム・シリコン複合酸化物膜を用いても従来と比較して順方向特性は同一であり、低いオン抵抗 R_{on} を維持している。逆方向電流-電圧特性の測定結果を図18に示す。絶縁膜として SiO_2/SOG 酸化膜を用いた場合は絶縁破壊電圧が約2300 Vであり、それ以上の電圧を印加すると電流がわずかに増加しただけで急激に破壊することが分かった。これに対してセリウム・シリコン複合酸化物膜を用いると耐圧はほぼ同一であったが、耐圧以上の電圧を印加して逆方向電流が数桁程度増加しても急激な破壊は起こりにくい特性になっており、アバランシェ耐量が改善されていることが分かった。アバランシェ耐量が大いことは電力変換システムへの応用上極めて有利な特性であり、本技術の実用性が高いことが示された。

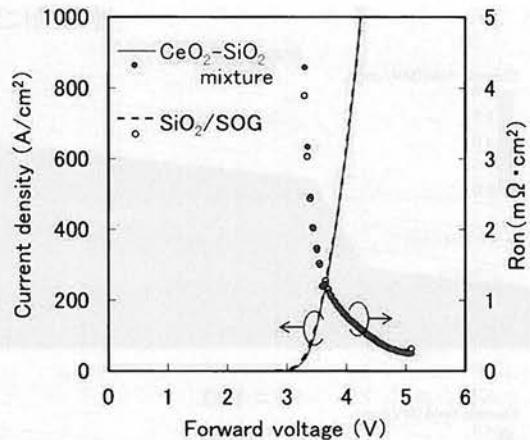


図18 セリウム・シリコン複合酸化物を高誘電率絶縁膜として用いたpnダイオードの逆方向電流-電圧特性

このことは、セリウム・シリコン複合酸化物膜を絶縁膜として用いると、電界がメサ構造のpn接合端に集中せずpn接合面全体に電流が流れているためと考えられる。このように高誘電率材料を絶縁膜として用いることによりメサ側面での電界集中を分散できることが分かった。今後、電界集中を有効に分散できる誘電率および膜厚についての最適化をシミュレーションと実験によって行うことでGaNパワーデバイスの優れた基本特性を引き出すとともに、Siパワーデバイスで確立されている実用性・信頼性に近づけることが可能となる。

4. 結論

以上、GaN自立基板上縦型pnダイオードの研究結果について述べた。低ダメージプロセス・3層ドリフト層構造、フィールドプレートプロセスの改良などにより他を圧倒する4.7 kVの高耐圧と低オン抵抗を可能とし、バリガ指数においても最高値を更新している。さらに、絶縁膜に高誘電率膜を用いることでGaNダイオードのアバランシェ耐量を大幅に改善しSiやSiCダイオード同等以上にすることにも成功した。本研究を発展させ高効率電力変換システムへの適用によって低炭素社会へ貢献できると確信する。

参考文献

- 1) Y. Yoshizumi, S. Hashimoto, T. Tanabe and M. Kiyama, High-breakdown-voltage pn-junction diodes on GaN substrates, Journal of

- Crystal Growth 298, 875 (2007).
- 2) 加地徹、兼近将一、成田哲生、上杉勉、「GaN 縦型pnダイオードの評価」、電気学会研究会資料EFM-09-41 (平成21年10月29~30日)。
 - 3) Y. Hatakeyama, K. Nomoto, A. Terano, N. Kaneda, T. Tsuchiya, T. Mishima and T. Nakamura, High-Breakdown-Voltage and Low-Specific-on-Resistance GaN p-n Junction Diodes on Free-Standing GaN Substrates Fabricated Through Low-Damage Field-Plate Process, Japanese Journal of Applied Physics 52, 028007 (2013).
 - 4) I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Disney and D. Bour, High voltage vertical GaN p-n diodes with avalanche capability, IEEE Trans. Electron Devices 60 (10) 3067-3070 (2013).
 - 5) I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Bour, T. Prunty and D. Disney, 3.7 kV vertical GaN pn diodes, IEEE Electron Devices Letters 35 (2) 247-249 (2014).
 - 6) H. Ohta, N. Kaneda, F. Horikiri, Y. Narita, T. Yoshida, T. Mishima and T. Nakamura, Vertical GaN p-n junction diodes with high breakdown voltages over 4 kV, IEEE Electron Device Letter 128 (4) 1-4 (2016).
 - 7) A. Kumta, Rusli, C. Tin and J. Ahn, Design of field-plate terminated 4 HSiC Schottky diodes using high-k dielectrics, Microelectronics Reliability 46 (8) 1295-1302 (2006).
 - 8) K. Ikeda, H. Umezawa and S. Shikata, Edge termination techniques for p-type diamond Schottky barrier diodes, Diamond and Related Materials 17 (45) 809-812 (2008).
 - 9) K. Nomoto, Y. Hatakeyama, H. Katayose, N. Kaneda, T. Mishima and T. Nakamura, Over 1.0 kV GaN p-n junction diodes on free-standing GaN substrates, physica status solidi (a) 208 (7) 1535-1537 (2011).
 - 10) Y. Hatakeyama, K. Nomoto, N. Kaneda, T. Kawano, T. Mishima and T. Nakamura, Over 3.0 GW/cm² Figure-of-Merit GaN p-n Junction Diodes on Free-Standing GaN Substrates, IEEE Electron Device Letters 32 (12) 1674-1676 (2011).