法政大学学術機関リポジトリ
HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-07-09

SAR-DSM型２ステップADCのスイッチと積分器で発生する非線形歪とフリッカーノイズの低減と対策

WATANABE, Rei / 渡邉, 嶺

(出版者 / Publisher)
法政大学大学院理工学研究科
(雑誌名 / Journal or Publication Title)
法政大学大学院紀要. 理工学研究科編
(巻 / Volume)
64
(開始ページ / Start Page)
1
(終了ページ / End Page)
7
(発行年 / Year)
2023-03-24
(URL)
https://doi.org/10.15002/00026381

SAR-DSM 型２ステップ ADC の スイッチと積分器で発生する 非線形歪とフリッカーノイズの低減と対策

COUNTERMEASURES AGAINST NONLINEAR DISTORTION AND FLICKER NOISE GENERATED BY SWITCHES AND INTEGRATORS IN SAR-DSM 2-STEP ADC

渡邉　嶺
REI WATANABE
指導教員　安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

This paper describes the factors that deteriorate the signal-to-noise ratio (SNR) and signal-to-noise and distortion ratio (SNDR) of the system at the transistor level and the countermeasures against them. First, a two-step ADC is an ADC that performs conversion in two steps: a first-stage course conversion and a second-stage fine conversion. An ADC using a 4-bit SAR ADC and a 5-level DSM, respectively, is called a SAR-DSM 2-STEP ADC. In previous studies, thermal noise, flicker noise, and switch nonlinearity have not been sufficiently investigated. In this study, SNR was improved by 4.3 dB with flicker noise and by 12.5 dB without flicker noise.
Key Words *: 2-step ADC, DT-DSM*

１．はじめに

近年，スマートフォンやワイヤレスイヤホンなどのモバイル端末や音声認識機能付きの IoT デバイスが広く普及している．これらのデバイスは小型化や低消費電力化の需要が増加し，音声機能に関しては高精度化が期待されている．また，これらのオーディオアプリケーションを持つデバイスに限らず，電子機器は半導体を用いた設計がなされる．半導体プロセスが微細化することで様々な回路が１つのチップに搭載され，特にアナログ信号を扱うアナログ回路と，デジタル回路を扱うデジタル回路を併用する場合これをミックスドシグナル IC と呼ぶ．

ミックスドシグナル IC で設計されたオーディオアプリケーション向けの ADC では，しばしば Delta Sigma Modulator（DSM）が採用される．DSM はナイキスト周波数より高い周波数でサンプリングを行うオーバーサンプリング技術と積分器と負帰還回路でノイズシェイピングを行うことにより高精度な変換が可能である．

離散時間型の DSM（DT-DSM）は，内部にスイッチトキャパシタ（SC）型の積分器を持つ．積分器はオペアンプで構成されるため，入力換算雑音は入力部が最も支配的になる．したがって，入力部の SC が持つキャパシタの熱雑音が精度に支配的になる．キャパシタの熱雑音を低減するには大容量のキャパシタを用いる必要がある．大容量のキャパシタを用いる積分器は，容量を充放電するためオペアンプの消費電流が増加する．精度と消費電力の間にはトレードオフの関係がある．

精度を維持しながら消費電力の低減が可能な ADC として２ステップ ADC が研究されている．SAR-DSM 型２ステップ ADC は，逐次比較（SAR）と DEM 間で４倍の伝送利得を持ち，SAR ADC の容量 DAC（Digital to Analog Converter）を DT-DSM の入力 SC の代わりにすることでオペアンプの消費電流を削減することができる．これは，SAR ADC の残差成分が入力振幅と比べ，非常に小さいため，オペアンプで必要な電流が著しく削減できるためである．先行研究では，システムの性能を著しく制限する熱雑音やフリッカーノイズ，SC の非線形性について十分に検討されていなかった．

本研究では，入力 SC 内部のスイッチが持つオン抵抗の非線形性で発生する歪みと，DT-DSM の初積分器のオペアンプで発生するフリッカーノイズ，オペアンプ利得の入力電圧に対する非線形性について検討した

．

２．先行研究

(ア) 2 ステップ ADC

2 ステップ ADC システムを図 1 に示す．

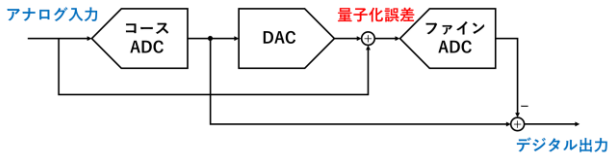

図 1　2 ステップ ADC システム

2 ステップ ADC は初段に粗く変換を行うコース変換器と後段に高精度な変換を行うファイン変換器で構成される。2 ビットのコース変換の様子を図 2 に示す.

コース変換出力を DAC に入力し, 入力信号から減算すると量子化誤差成分が出力される．この量子化誤差を信号として後段のファイン変換器に入力する．量子化誤差成分と 2 ビットのファイン変換の様子を図 3 に示す.

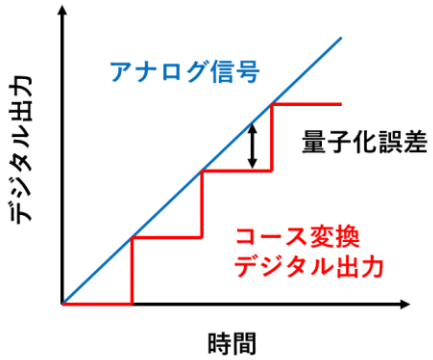

図 2　2 ビットのコース変換

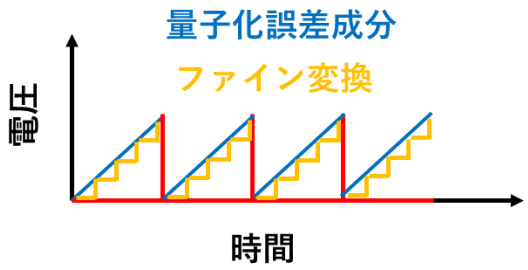

図 3　2 ビットのファイン変換

コース変換の出力からファイン変換の出力を減算し出力する．2 ビットコース変換器と 2 ビットファイン変換器を組み合わせることで，4 ビットの変換器を実現できる.

（イ）SAR-DSM 型 2 ステップ ADC

SAR-DSM 型 2 ステップ ADC は、2 ステップ ADC のコース変換器に 4 ビット SAR ADC を採用し，後段に 5 レベル DT-DSM を採用した ADC である．図 4 にシステムを示す.

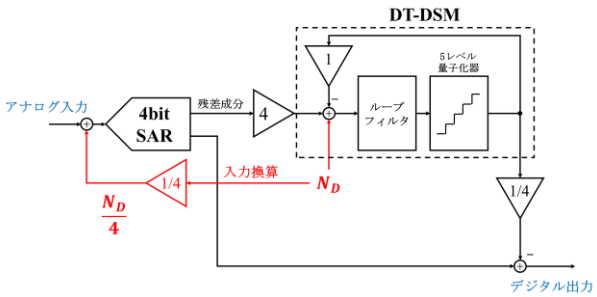

図 4　SAR-DSM 型 2 ステップ ADC

2 ステップ ADC と同様に，最初に 4 ビット SAR ADC で変換を行うことで 4 ビットのデジタル値を出力する．次に, SAR ADC の変換後に残る残差データを量子化誤差成分として DT-DSM に 4 倍し伝送する．4 倍になった量子化誤差成分を 5 レベル DT-DSM で変換し，SAR ADC の出力から減算して出力する.

このシステムのメリットは，オペアンプの設計要求の緩和と要求緩和に伴う低消費電力化にある．一般的に DT-DSM は目標 SNR を達成するため，大容量のサンプリング容量 Cs を用意する．(1)式に SNR と C_{s1} の関係を示す．それぞれのパラメータはオーバーサンプリング比 OSR と入力電圧振幅 V_{in}, ボルツマン定数 k, ケルビン温度 T である.

$$SNR = \frac{\frac{(2V_{in})^2}{2^2}}{\frac{1}{OSR}\frac{2kT}{C_s}} = \frac{{V_{in}}^2 C_s}{2\mathrm{kT}} \times OSR \qquad (1)$$

(1)式は信号と雑音の電力の比で求められる．表に定数のパラメータを示す.

表 1　設計仕様

	値
SNR[dB]	100
電源電圧VDD[V]	1.2
最大入力振幅Vin[V]	0.6
信号帯域[kHz]	24
OSR	128
サンプリング周波数Fs[MHz]	6.144
温度T[K]	300
ボルツマン定数k[J/K]	1.38×10^-23

表 1 より，C_{s1} は 1.8pF と求められる．DT-DSM の初段積分器に用いるオペアンプの仕様を検討する．積分器の動作時間を確保するため，仮にクロックの 1/4 周期で電流が流れるように設計すると，オペアンプの出力段に必要な電流量 I は(2)式で表せられる.

$$I > \frac{C_s V_{dd}}{T_s/4} \tag{2}$$

(2)式より，電流 I は 53uA となる．ここで，SAR-DSM 型 2 ステップ ADC の DT-DSM に必要な電流量を考える．SAR ADC の残差信号を伝送する CDAC と DSM のフィードバック CDAC が並列に並んでいるため，必要な電流量はそれぞれの和となる．まず SAR ADC の残差信号の振幅は最大で電源電圧の $1/2^4$ であるため，0.075V となる．ここで必要となる電流は 3.3uA である．次に，SAR ADC から DT-DSM の伝送利得が 4 であるため，DSM 内部のフィードバック DAC の容量は C_{s1} の 1/4 倍であることを考えると，必要な電流は 13.3uA である．その和は 16.6uA となり，電流は 1/3 倍以下に抑えられている．実際には，SNR は容量の熱雑音だけでなく SC の雑音などでも劣化するため，一般的に目標 SNR はマージンを取って設計する．また，容量は製造ばらつきが発生するため，計算した容量から少し多く見積もる．これらを勘案しても，電流は 1/3 倍以下に抑えることができる．また，実際の容量は，容量のばらつきを 30%と見積もって，SNR100dB を達成する容量を 3.2pF と定めた．

３．先行研究のデメリット

先行研究では低消費電力の設計にするため，電源電圧を 1.2V で設計を行っているため，オペアンプやスイッチの設計が困難になっている．

(ア) オペアンプ設計

オペアンプの要求仕様について表 2 に，初段積分器と周辺回路を図 5 に示す．

表 2　オペアンプ仕様

	値
負荷容量[pF]	1.12
利得[dB]	60
ユニティゲイン周波数[MHz]	61.44
位相余裕[deg]	60
消費電流[uA]	200
入力換算雑音[(uVrms)^2]	0.28
出力振幅[V]	0.3

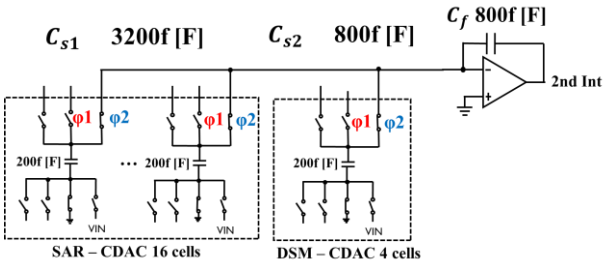

図 5　初段積分器とその周辺回路

初段積分器のオペアンプが必要な利得 A は，サンプリング容量 Cs1 と並列容量 Cf より(3)式で求められる．

$$A > \frac{OSR}{\pi}\frac{C_{s1}}{C_f} - 1 \tag{3}$$

(3)式より，利得 A は 46.14dB 以上必要である．しかし，これはオペアンプの利得が入力電圧に対して線形である条件がある．ここで，要求利得の上限を見積もる．初段積分器の出力振幅が 0.3V であることを考えると，入力換算した信号の歪みは 0.3V/A となる．理想モデルでは，帯域外雑音の密度は帯域内より 70dB ほど上にあるため，0.3V/A＜70dB であることが要求される．入力振幅 0.075V の範囲では，58dB 以上の利得を目標とすべきである．また，出力振幅が 0.3V であること，電源電圧が 1.2V であること，トランジスター個のオーバードライブ電圧が約 0.2V 必要であることを考えると，カスコード型やフォールデッドカスコード型オペアンプの設計は不適であることが分かる．

また，オペアンプの入力換算雑音を N_D とすると，帯域が 20Hz~24kHz の SNR は(4)式で求められる．

$$SNR = 10\log_{10}\left(\frac{\frac{(2V_{in})^2}{2}}{\int_{20}^{20k} N_D} \times 4\right) \tag{4}$$

4 倍の残差利得があるため，SNR が 100dB を達成するオペアンプの入力換算ノイズ量は 33.9uV となる．しかし，以前の設計では入力換算ノイズ量は 200uV であるため，達成可能な SNR は 84.6dB になる．

(イ) スイッチのオン抵抗と線形性

図 6 に積分器が電荷を伝送する際の小信号等価モデルとセトリング時間の小信号等価モデルを示す．

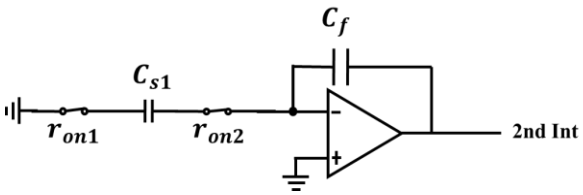

図 6　セトリング時の小信号等価モデル

図 6 から，セトリング時間を $T_s/4$ にするオン抵抗は(5)式で求められる．

$$\frac{T_s}{4} \geq \frac{1}{2\pi C_{s1}(r_{on1} + r_{on2})} \tag{5}$$

スイッチの抵抗値が(5)式を満たすオン抵抗の和はおよそ 32kΩ となる．したがって，最小サイズのスイッチでも

なければ，オン抵抗は問題にならない．しかし，ADC 入力部のスイッチには適用できない．入力信号が連続信号の場合，スイッチの非線形性は高周波で線形性を悪化させるため，入力部のスイッチは高い線形性を求められる．

次に，SAR ADC も合わせた初段積分器周辺回路を図 7 に示す．

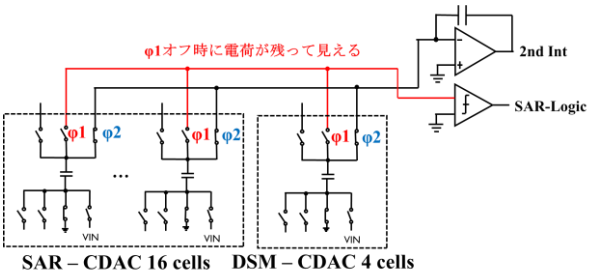

図 7　残差成分の不十分な伝送

図 7 に示すように，ϕ1 でスイッチがオフした際，コンパレータ側に電荷が残ってしまう．これは，スイッチが並列に並んでいるため，スイッチオフ時のノイズで容量側の電圧が減少してしまうためである．したがって，ϕ1 オフ時にコンパレータ側に電荷が残って見える．

４．回路設計

(ア) チョッパー回路付きオペアンプ

チョッパー回路を図 8 に示す．

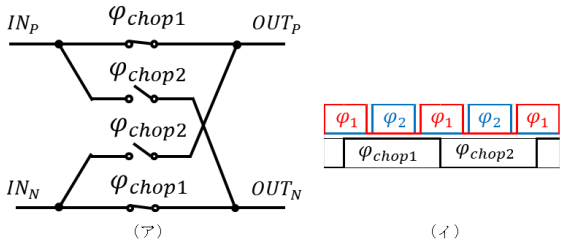

図 8　(ア)チョッパー回路と(イ)タイミングチャート

チョッパー回路はϕ1 中にスイッチが切り替わるように設計した．チョッピング周波数は $F_s/2$ とした．

チョッパー回路でフリッカーノイズが減少する原理を図 9 に示す．

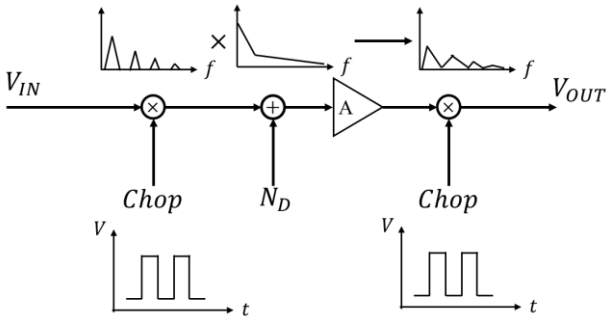

図 9　ノイズを変調する様子

チョッピングを行うことで，熱雑音やフリッカーノイズを高周波にシフトする．また，オペアンプの入力が交互に入れ替わることで，オフセットをキャンセルできる．

図 10 に設計したチョッパー回路付き全差動 2 段オペアンプ，図 11 に SC 型コモンモードフィードバック(CMFB)回路を示す．

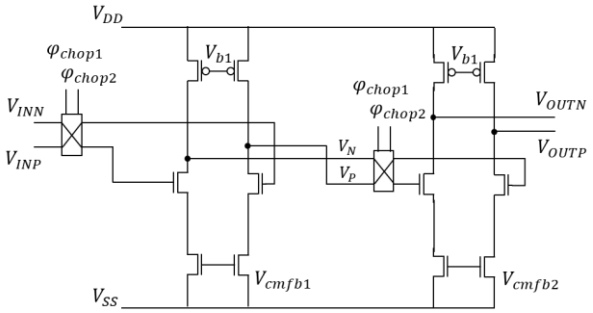

図 10　チョッパー回路付き 2 段オペアンプ

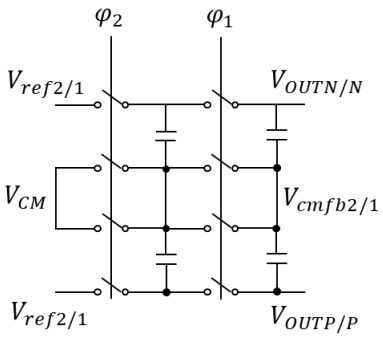

図 11　SC 型 CMFB 回路

入力部のチョッパー回路はスイッチの線形性や雑音がオペアンプの線形性や雑音に大きく影響するため，ブーツストラップ構成とした．中間部のチョッパー回路は，スイッチの非線型歪や入力換算雑音が 1 段目の利得で小さくなるため，NMOS と PMOS の相補型のスイッチにした．

ゲインが 60dB 以上を目標にしているため，カスコードアンプか 2 段オペアンプの構成が必要である．出力振幅が 0.3V 必要であるため，2 段アンプとした．コモンモードフィードバックには 1,2 段とも SC 型を採用した．

(イ) スイッチ設計

ADC 入力部や初段積分器に用いるブーツストラップスイッチを図 12 に示す．

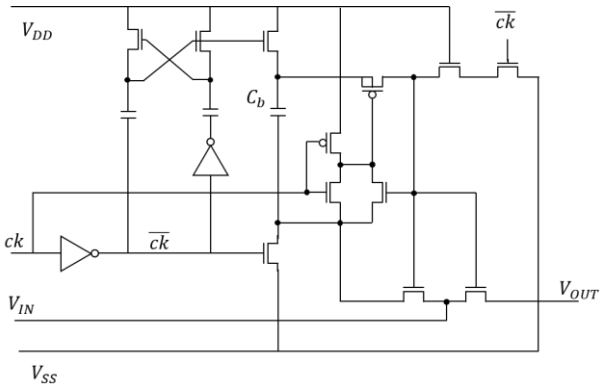

図 12　ブーツストラップスイッチ

回路左部分で電圧を昇圧し，キャパシタ Cb に蓄積する．入力電圧にキャパシタに蓄積した電圧を加算し，スイッチのゲートに入力する．この動作によって VGS が一定となるため，スイッチの非線型歪が低減する．

また，さらに非線性と伝送コンパレータ側に電荷が残る問題を低減するため，サンプリング時のスイッチ制御のタイミングチャートと周辺回路を図 13，14 に示す．

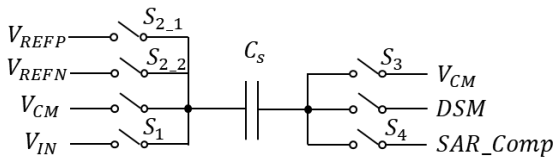

図 13　入力部の回路

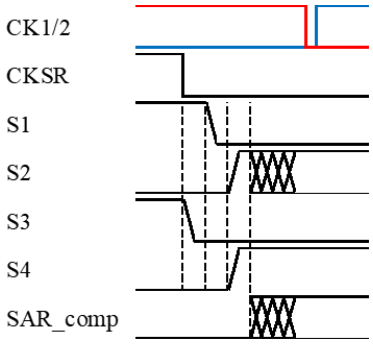

図 14　サンプリングのタイミングチャート

最初に，S3 をオフにすることで固定のオフセットにすることができるため、差動構成で打ち消すことができる．

図 15 にスイッチで発生するノイズを打ち消す回路図を示す．

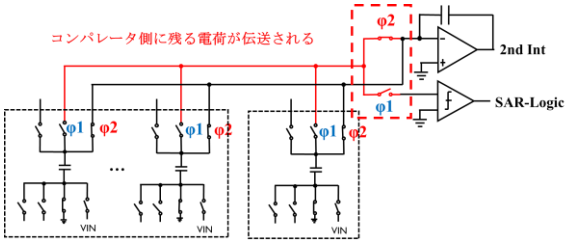

図 15　スイッチのノイズを打ち消す回路

SAR ADC のコンパレータ手前に分岐を設け，コンパレータ側と初段積分器にスイッチを繋ぐことで，コンパレータ側に残る電荷が伝送される．

５．シミュレーション方法および結果

表 3 に設計したオペアンプと以前の設計の性能比較を示す．

表 3　初段積分器オペアンプ性能比較

	先行研究	新規設計	目標
利得[dB]	56.9	63.3	＞60
ユニティゲイン周波数[MHz]	100	64.9	＞61.44
位相余裕[deg]	59.3	61.0	＞60
消費電流[uA]	169	197	＜200
入力換算雑音[uVrms]	508	46.9	＜33.9

チョッパー回路を用いることで，入力換算雑音を約 90.7%抑えることができた．チョッパー回路の有無によるノイズ量の変化を図 16 に示す．

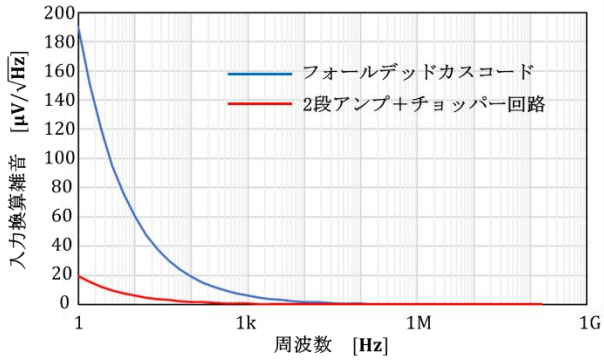

図 16　オペアンプの入力換算ノイズ

フォールデッドカスコードの設計では達成可能な SNR は, (4)式より 76.5dB だった. 新しく設計オペアンプでは、達成可能な SNR は 97.2dB となる．

相補型スイッチとブーツストラップスイッチのオン抵抗を図 17 に示す．

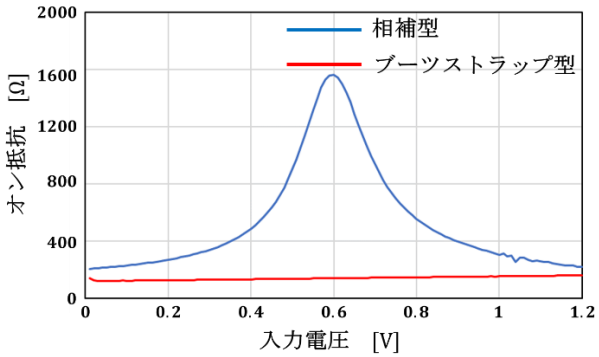

図 17　オン抵抗の線形性の違い

相補型スイッチは入力電圧が 0.6V 時の約 1.6kΩのオン抵抗に対して，両端では約 200Ωであるため，800%の歪みがある．ブーツストラップスイッチの場合は最大で 150Ω，最小で 197Ωであり，0.6V 時に 172Ωであるため，歪は 12.6%に収まっている．

SAR ADC と DSM のデジタル出力とシステム全体のデジタル出力の対応表を表 4 に示す．

表 4　全体出力と SAR，DSM のビット対応表

OUT	SAR，DSM
<3>	SAR<3>
<2>	SAR<2>
<1>	SAR<1>
<0>	SAR<0> + DSM<3>+DSM<2> +DSM<1>+DSM<0>

SAR ADC の残差成分を伝送する際に符号が反転しているため，DSM のデジタル値は反転せずに加算する．DSM のデータは 5 レベル分あるため，SAR ADC の LSB に加算することで 1/4 倍のデジタルゲインとしている．

システム全体のシミュレーション条件を表 5 に，出力波形のスペクトルを図 18 に示す．

表 5　シミュレーション条件

	値
信号帯域[kHz]	24
入力周波数[kHz]	6.375
入力振幅[V]	0.6
サンプリング周波数[MHz]	6.144
OSR	128
FFTポイント数	16384

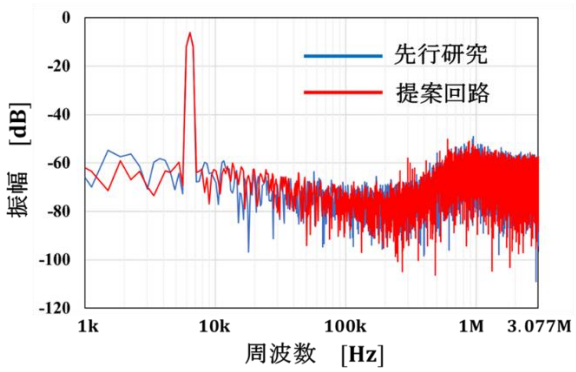

図 18　出力スペクトル

次に，同条件でフリッカーノイズをオフにしたスペクトルを図 19 に示す．

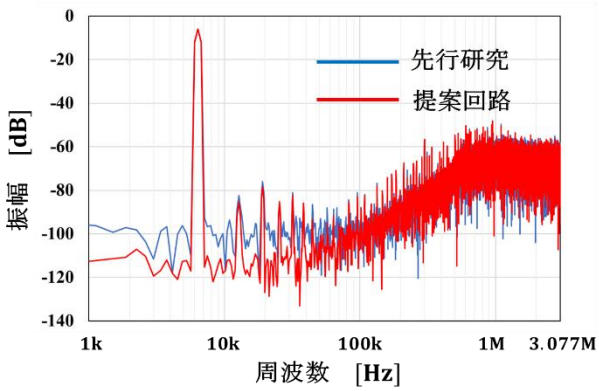

図 19　出力スペクトル（フリッカーノイズなし）

SNR と SNDR を表 6 にまとめる．

表 6　結果比較

		先行研究	新規設計
フリッカーノイズあり	SNR[dB]	41.5	42.8
	SNDR[dB]	41.2	42.4
フリッカーノイズなし	SNR[dB]	77.0	91.7
	SNDR[dB]	68.2	71.4

フリッカーノイズありのシミュレーション結果を見ると，今回のチョッパー回路を使った回路を用いた場合もフリッカーノイズが支配的であることが分かる．フリッカーノイズがある場合は SNR が 1.3dB 改善した．

フリッカーノイズがない場合は SNR が 14.7dB 改善した．オペアンプの出力振幅の改善で帯域内のノイズフロアが下がっている．

６．まとめ

本研究では，低消費電力化が可能な，SAR-DSM 型 2 ステップ ADC のフリッカーノイズと歪を検討し，スイッチとオペアンプを新規設計することで改善した．フリッカーノイズがある場合では 1.3dB 改善し，フリッカーノイズが無い場合では 14.7dB 改善した．今回の研究で，低電力 2 ステップ ADC の実現においては，フリッカーノイズおよびスイッチの非線形が問題となることが明らかになった．今後の方針としては，電源電圧を 1.8V に設定し，低消費電力で高利得なカスコード型オペアンプを使用できるようにすること，それに合わせた 2 段目積分器や加算器のオペアンプの再設計，スイッチのオン抵抗の検討でさらなる低消費電力化が課題である．また，最近のオーディオ帯域 ADC では SNR110dB がよく見られるため，SNR110dB を達成する容量やオペアンプの雑音の検討も課題として考えられる．

謝辞：本研究を進めるにあたり，多大なるご協力，ご指導を頂いた法政大学理工学部安田彰教授に多大なる感謝を申し上げます．また，多くのご助力ともに所属されている研究室の皆様にも多くの助言を頂き感謝しております．
本研究は、東京大学ＶＤＥＣ活動を通して、日本ケイデンス・デザイン・システムズ社の協力で行われたものであり，ここに深く感謝いたします．

参考文献

1) 和保孝夫，安田彰 監訳：ΔΣ型アナログ/デジタル変換器入門 第2版，丸善出版，2019
2) 黒田忠広 監訳：アナログCMOS集積回路の設計　応用編，丸善出版，2003
3) 吉田知朗： オーディオアプリケーションに用いる低消費電力アナログデジタル変換回路の提案，2017
4) C.C. Enz, G.C. Temes：”Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization”, Proceedings of the IEEE, Volume: 84, Issue: 11, November 1996