

偶高調波ミキサとミスマッチシェイパーを用いたMulti-bit $\Delta\Sigma$ ダウンコンバーティングADCの実現

元角, 侑己 / GENKAKU, Yuki

(出版者 / Publisher)

法政大学大学院理工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学研究科編

(巻 / Volume)

64

(開始ページ / Start Page)

1

(終了ページ / End Page)

8

(発行年 / Year)

2023-03-24

(URL)

<https://doi.org/10.15002/00026344>

偶高調波ミキサとミスマッチシェイパーを用いた Multi-bit $\Delta\Sigma$ ダウンコンバーティング ADC の実現

A Multi-bit $\Delta\Sigma$ Down-converting ADC with Even-Harmonic Mixer and Mismatch Shaper

元角侑己

Yuki GENKAKU

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

This paper proposes a multi-bit $\Delta\Sigma$ down-converting analog-to-digital converter (DC-ADC) using an even harmonic mixer (EHMIX) and mismatch shaper to realize software radios and digital radio frequencies. This converter achieves high signal-to-noise-and-distortion ratio (SNDR) and contributes to the realization of high-speed, low-power wireless communication systems. For conversion errors caused by element variation (mismatch) in multi-bit digital-to-analog converters (DAC), mismatch shapers called data weighted averaging (DWA) and noise shaping dynamic element matching (NSDEM) are used. In this paper, we propose multi-bit $\Delta\Sigma$ DC-ADC with EHMIX and mismatch shaper. Simulink estimated SNDR improved by -26dB in 4-bit 1st-order $\Delta\Sigma$ DC-ADC with EHMIX and DWA -38dB in 4-bit 2nd-order $\Delta\Sigma$ DC-ADC with EHMIX and NSDEM.

Key Words : Delta Sigma ADC, Even Harmonic Mixer, Direct Conversion, multi-bit,

1. はじめに

近年、5G といった通信システムの高速化や無線技術の発展により、携帯電話などの移動通信システムは著しく高速化、高精度化が要求されている。それに伴いベースバンド (baseband : BB) 信号が広帯域化しキャリア周波数も上昇している[1]。特にソフトウェア無線機やデジタル RF の実現のためには出来る限りアンテナに近い段階で受信信号をデジタル信号に変換できることが望ましいが、キャリア信号から直接 BB 信号に変換するミキサと、その変換された信号をデジタル値に変換する AD 変換器 (ADC) が必要になる[2]。

ここで無線受信方式として、直接 BB 信号の帯域まで変換するダイレクトコンバージョン (direct-conversion receiver : DCR) 方式 (図 1) に着目する。DCR 方式はイメージ妨害が原理的に発生しなく、イメージ抑圧フィルタが不要であるので広帯域通信や集積化に適した方式である[2]。

しかし、DCR 方式は広帯域通信に適した構成であるが、局部発振器 (local oscillator : LO) 信号のリークを自ら検知する自己混合と、偶数次歪みによる DC オフセットの影響が避けられないという問題がある。

そこで、これらの問題が発生しない周波数変換器である偶高調波ミキサ (even-harmonic mixer : EHMIX) について着目した。

ADC としては $\Delta\Sigma$ 変調器 (DSM) について着目した。DSM には量子化誤差にハイパス特性を持たすノイズシェーピング特性[3]があり、DSM 内のループフィルタの次数を上げることにより急峻なハイパス特性を持たす事ができる。これにより BB 帯域内の量子化誤差が高周波側にシフトされ、信号対雑音比 (SNR) を向上させることが出来る[3]。

従来手法[4]では EHMIX と 1 次 DSM を一体化させた周波数変換機能を持つ Multi-bit AD 変換器 (Down-Converting Analog - to - Digital Converter : DC-ADC と略記する) の高精度化の検討を行っていた。

ADC の分解能を増やし、Multi-bit 化することにより SNR を改善させることができるが[3]、DA 変換器 (DAC) 内の素子ばらつき (ミスマッチ) による変換誤差が問題になる。そこで 1 次 DSM と同様に 1 次のミスマッチシェーピングを実現する DWA (Data Weighted Averaging) [5]により、ミスマッチ誤差を低減させていた。DSM や DWA において 20 dB/dec の 1 次シェーピングによりそれぞれの誤差を低減し SNR を改善していたが、高次のシェーピングを実現出来れば、より SNR を改善できると考えた。

また、DSM の構成にはフィードバックループがあり、DSM の出力信号を入力信号にフィードバックすることでノイズシェーピング特性を実現している。従来手法ではダウンコンバートされた BB 信号を入力信号である RF 信号にミキサを用いてアップコンバートしなければならないが、その機能を ADC のサンプリングでアップサンプリングして代用している。これには BB 信号のイメージ信号を活用しているが、このイメージ信号だけを残し、フィードバック経路の BB 信号を FIR (Finite Impulse Response) Filter でカットすることができれば、EHMIX の入力信号振幅を低下させ線形性の改善に繋がると考えた。

そこで、本研究では従来手法の次数を 1 次上げた 2 次 DSM とミスマッチによる変換誤差に対して 2 次のミスマッチシェーピングを実現する NSDEM (Noise Shaping Dynamic Element Matching) [6]、BB 信号をカットする FIR FILTER を用いた Multi-bit DC-ADC を提案する。これにより、量子化誤差とミスマッチに対して 40 dB/dec の 2 次シェーピングを施し、高い SNR を実現し、EHMIX の入力信号条件の緩和、THD の改善を行うことができる。

以上から、本研究では EHMIX を用いた周波数変換機能を有する NSDEM 付き 2 次 $\Delta\Sigma$ 型 Multi-bit ADC の有用性についてシミュレーションを通じて検討を行った。

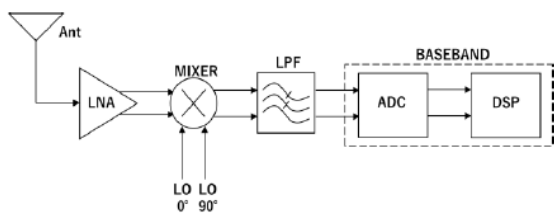


図 1 DCR 方式

2. 偶高調波ミキサ

(1) 偶高調波ミキサの原理・特徴

偶高調波ミキサ (Even Harmonic Mixer : EHMIX) とは加算器と入出力特性が点対称である非線形素子とローパスフィルタ (LPF) から構成される。その構成図は図 2 に示す。EHMIX は受信 RF (Radio Frequency) 信号をその半分の周波数の局部発振器 LO (Local Oscillator) 信号と加算し、その出力をコンパレータに入力することで実現できる。RF 信号と LO 信号を加算した信号を $x = \cos(\omega_{LO}t) + \cos(\omega_{RF}t)$ とすると、コンパレータの非線形の点対称特性から、出力は (1) 式の様に x の奇数次の冪級数に展開することができ、3 次の非線形項は (2) の様になる。

$$y(x) = a_0x + a_1x^3 + a_2x^5 + \dots \quad (1)$$

$$a_3\{\cos(\omega_{LO}t) + \cos(\omega_{RF}t)\}^3 = \frac{a_3}{4}\{9\cos(\omega_{LO}t) + \cos(3\omega_{LO}t) + 3\cos(\omega_{LO}t - 2\omega_{RF}t) + 3\cos(2\omega_{LO}t - \omega_{RF}t) + 9\cos(\omega_{RF}t) + \cos(3\omega_{RF}t) + 3\cos(2\omega_{LO}t + \omega_{RF}t) + 3\cos(\omega_{LO}t + 2\omega_{RF}t)\} \quad (2)$$

$\omega_{RF} = 2\omega_{LO}$ が成り立つ場合、(2) 式の赤い部分のみ直流に変換される。このように、EHMIX は基本的に RF の 1 次成分と LO の 2 次成分から成る 3 次相互変調積を出力とするミキサであり LPF を介して平均化し必要な BB 成分だけを取り出すことができる。ここで $\omega_{RF} = \omega_{LO}$ の場合、直流に変換される項がないため自己混合が発生しない。

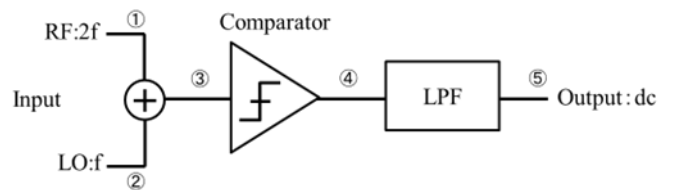


図 2 偶高調波ミキサの基本モデル

(2) 偶高調波ミキサの PWM 機能

EHMIX は PWM (Pulse Width Modulation) 機能を有している。図 3 に EHMIX の入力-出力信号の時間波形を示す。LO 信号のみの場合コンパレータの出力波形は Duty 比が 50 % の矩形波になり、RF+LO 信号を入力した場合、その信号振幅の上下非対称歪から出力矩形波の Duty 比が変化する。故に EHMIX は RF 信号振幅

の変化をコンパレータ出力の Duty 比変化に変換し、この Duty 比の変化を LPF で平均化し、直流の BB 成分を得ている。

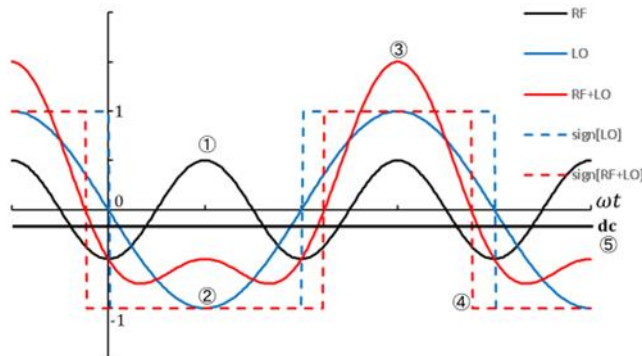


図3 偶高調波ミキサの PWM 機能

3. 従来手法

(1) Open-loop $\Delta\Sigma$ DC-ADC with EHMIX

偶高調波ミキサを用いたダウンコンバージョン ADC としては、EHMIX の後段に DSM を用いたオープンループの構成が提案されており[7]、この構成を図4に示す。

EHMIX からの出力は RF 信号の振幅によって変調された PWM 信号である。このため、2つの電流源をスイッチングすることで電流信号への変換を容易に行うことができる。この電流は、後段の DSM への直接の接続が可能である。また連続時間 DSM を用いることでエイリアシングによる影響を抑えるためのフィルタの削減にもなる。

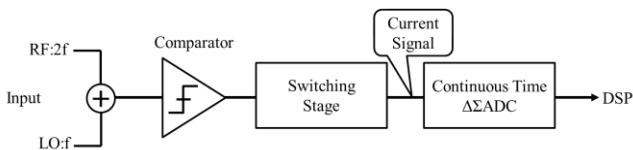


図4 Open-loop $\Delta\Sigma$ DC-ADC with EHMIX

(2) Closed-loop $\Delta\Sigma$ DC-ADC with Mixer

図5に、文献[8]で提案されていたダイレクトコンバージョン機能をループ内に有する $\Delta\Sigma$ ADC の構成を示す。赤線で示す部分は RF 信号を表し、青線で示す部分は BB 信号を表している。RF 信号が点線で囲まれた EHMIX で BB 信号に周波数変換され、その後 ADC を通りデジタル信号に変換される。ADC の出力を EHMIX の前段にフィードバックすることで ADC から

発生した量子化誤差をシェーピングすることができ DSM として動作する。この DC-ADC は、信号経路内にダウンコンバージョンミキサ、帰還経路内にアップコンバージョンミキサを設けて周波数変換機能を持つ AD 変換器を実現している。

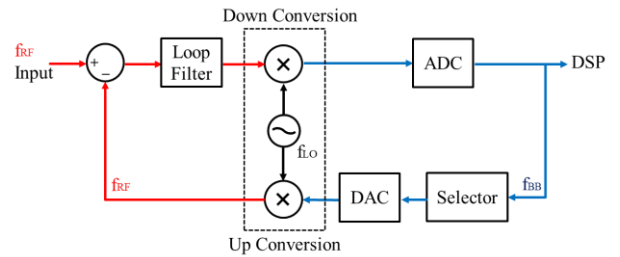


図5 Closed-loop $\Delta\Sigma$ DC-ADC with Mixer

(3) Closed-loop 1-bit 1st-order $\Delta\Sigma$ DC-ADC with EHMIX

図6に EHMIX をループ内に有する 1-bit DC-ADC を示す。〈3.2〉の回路構成から、図6に示した内部ミキサに EHMIX を用いる手法[9]では、ダイレクトコンバージョン方式の問題点である LO の漏洩による自己混合を原理的に無視できる。また、サンプリング周波数に LO 周波数を用いているので、通常ダイレクトコンバージョン方式で帰還経路に必要なミキサを省略できる。

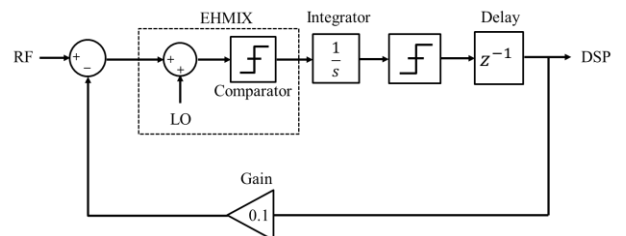


図6 Closed-loop 1-bit 1st-order $\Delta\Sigma$ DC-ADC with EHMIX

(4) 4-bit 1st-order $\Delta\Sigma$ DC-ADC with EHMIX and DWA

図7に恩田氏が提案していた 4-bit 1st-order $\Delta\Sigma$ DC-ADC with EHMIX and DWA の構成を示す[4]。入力された RF 信号を Balanced EHMIX で BB 周波数に周波数変換して積分する。その積分器の出力を量子化器において RF でサンプリングするため、量子化器および DAC はアップコンバージョンも兼ねており、これを EHMIX の前段にフィードバックすることで 1次 DSM として動作する。Balanced EHMIX のシステムを図6に示す。文献[7]では、回路レベルシミュレーションを行っている。バランス型とすることで、入力レベルが

0 の時には、コンパレータ出力は異符号の信号となり、その差動成分はキャンセルされる。このため、LO 成分出力が低下し、DSM 内に過剰な信号が生成されなくなる。これは、ループの動作の安定化に寄与し、特性の改善を図れる。ここで、Multi-bit DAC 内の各ビットに割り当てられた電流源等の素子 mismatches による変換誤差は DWA を用いて 1 次シェーピング施すことで対策した。DWA は DAC を構成している各素子が等しい回数使われるように選択を行い、全ての素子が等しい回数使われた時点で累計誤差がゼロになる。

また、ミキサと一体型の AD 変換器ではミキサの出力を直接 AD 変換するため、ミキサの線形性が精度に直接影響する。したがって、ミキサの歪みの電力が量子化雑音電力以下となる RF 入力レベルを見積もり、それ以下の入力レベルで動作させる必要がある。文献 [10] を参考に、EHMIX に入力される LO と RF の振幅レベル比は 0.1 以下になるように帰還経路の係数で調整した。

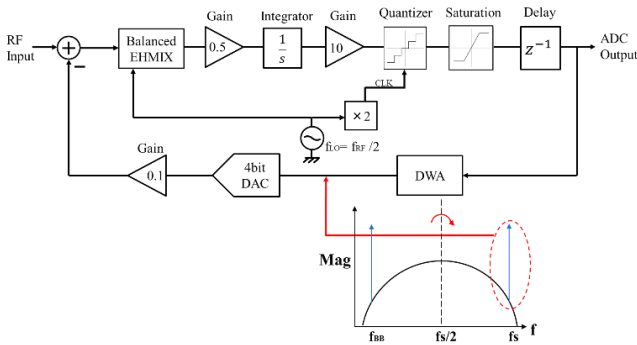


図 7 4-bit first-order $\Delta\Sigma$ DC-ADC with EHMIX and DWA

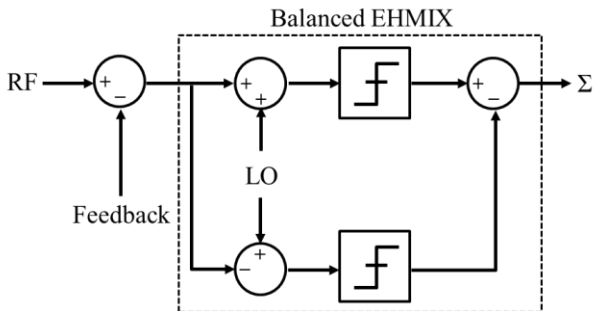


図 8 バランス型 EHMIX

4. 提案手法

(1) NSDEM

NSDEM (Noise Shaping Dynamic Element Matching) は高次の mismatches シェーピングを実現する。図 9 に NSDEM を示す。NSDEM の入力 は ADC の出力信号でスカラー値であり、一方出力は DAC の素子を選択するベクトル値である。NSDEM は M 個のループフィルタ (積分器) からなり、 M 個の積分値出力はソート回路を通り、セレクト回路により 1 ビットのセレクト信号に量子化される (セレクト信号はセレクトのとき 1, 非セレクトのとき 0 となる)。このときソート回路で積分値の小さいもの (使用回数の少ないもの) を優先的に選択するようにソートする。セレクト回路は優先順位の高い要素から順に、入力に応じた個数選択する。そして M 個のセレクト信号はフィルタにフィードバックされる [11]。

ここでセレクト回路をベクトル量子化器 (VQ) として表現した 2 次 NSDEM を図 10 に示す。NSDEM 入力を $d[n]$ 、出力セレクト信号 $d_i[n]$ とすると、

$$\mathbf{d} = [d_1 \ d_2 \ \dots \ d_M] \quad (3)$$

\mathbf{d} は行ベクトルで各要素は 0 か 1 である。(4) 式は、ドット積を用いて各出力セレクト信号 $d_i[n]$ の和が NSDEM 入力 $d[n]$ と一致することを示している。行ベクトルの各要素

$$\mathbf{d}[n] \cdot [1 \ 1 \ \dots \ 1] = \mathbf{d}[n][1 \ 1 \ \dots \ 1]^T = \sum_{i=1}^M d_i[n] = d[n] \quad (4)$$

の関係が成り立つ。素子値誤差ベクトルを \mathbf{e} とする。 \mathbf{e} は各素子の偏差であり以下の条件を満たす。

$$\mathbf{e} = [e_1 \ e_2 \ \dots \ e_M] \quad (5)$$

$$\mathbf{e} \cdot [1 \ 1 \ \dots \ 1] = 0 \quad (6)$$

素子値誤差を考慮した出力は、

$$\mathbf{d}[n] \cdot ([1 \ 1 \ \dots \ 1] + \mathbf{e}) = d[n] + \mathbf{d}[n] \cdot \mathbf{e} \quad (7)$$

$$\left(= d[n] + \sum_{i=1}^M d_i[n] e_i \right)$$

となる。

ここで、NSDEM の積分器は出力セレクト信号を積

分するため積分器が飽和する恐れがある。積分器飽和の対策として、図 10 に示すように要素間の積分値の共通性を取り除くために各サイクルで各積分値の最小値を減算している。VQ での量子化誤差を $Q(z)$ 、出力セレクト信号を $D(z)$ (どちらも行ベクトルする)、ループフィルタを 2 次とし、素子値誤差を考慮した出力を z 領域で解析すると (図中の MIN 部分は無視する)、

$$D(z) \cdot ([1 \ 1 \ \dots \ 1] + e) = D(z) \cdot [1 \ 1 \ \dots \ 1] + (1 - z^{-1})^2(Q(z) \cdot e) \quad (8)$$

$$D(z) + D(z) \cdot e = D(z) + (1 - z^{-1})^2(Q(z) \cdot e) \quad (9)$$

式 (9) より、 $(1 - z^{-1})^2$ の部分を雑音伝達関数 (NTF) と呼び素子値誤差と量子化誤差に対して 2 次のハイパス特性を持たせ低周波帯での誤差を高周波帯にシェーピングすることが出来る。図 11 に 1 次と 2 次の NTF 振幅特性を示す。周波数軸はサンプリング周波数 f_s で正規化されており、NTF の振幅特性の傾きが 1 次では 20 dB/dec であるのに対し、2 次では 40 dB/dec であることが分かる。1 次の場合と比較して、2 次では $Q(z) \cdot e$ をより帯域内で低減でき、SNR の向上に繋がる。

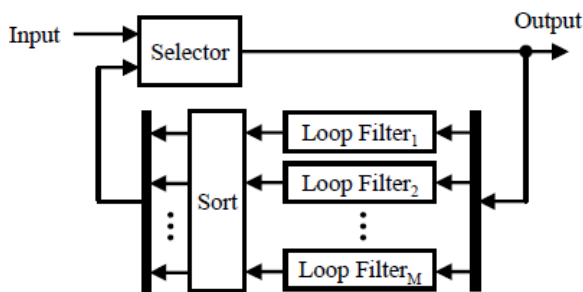


図 9 NSDEM

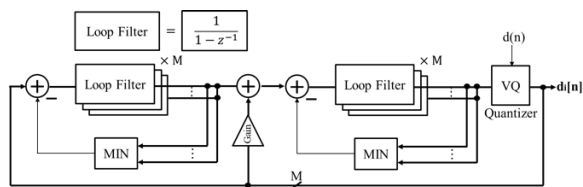


図 10 セレクタ回路をベクトル量子化器として表現した 2 次 NSDEM

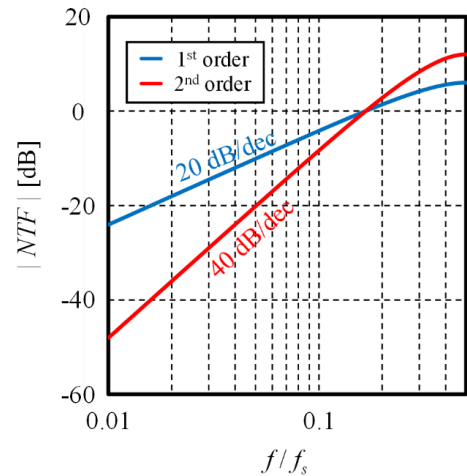


図 11 NTF の振幅特性

(2) 4-bit 2nd-order $\Delta\Sigma$ DC-ADC with EHMIX, NSDEM and FIR Filter

図 12 に提案する 4-bit 2nd-order $\Delta\Sigma$ DC-ADC with EHMIX, NSDEM and FIR Filter を示す。従来手法では、DSM や mismatches シェイパーは 1 次特性であったため、2 次特性にし、SNR の改善を図ろうと考えた。DSM の場合、積分器を 2 つ縦列に接続することで 2 次 DSM を実現できる。何故なら、図 13 に示す基本的な 2 次 DSM からの出力を z 領域で解析すると、

$$Y(z) = X(z) + (1 - z^{-1})^2 Q(z) \quad (10)$$

と表せ、NTF が 2 次のハイパス特性を持ち、40 dB/dec の傾きを持つからだ。また、図 12 は FF (Feed Forward) 型 DSM の構造を有しており、第一積分器の出力を第二積分器の出力に加算している。FF 型 DSM は FB (Feed Back) 型 DSM と比較して、積分器内の OPAMP から発生する非線形性歪を低減できるメリットがある[3]。mismatches シェイパーの場合は、図 10 の構成を採用し、2 次の mismatches シェーピングを実現し、4 bit DAC で発生する素子 mismatches による変換誤差対策を行った。Balanced EHMIX、NSDEM と量子化器は 4.1 で説明したものと同一のものを使用し、量子化器は RF でサンプリングするためアップコンバージョンも兼ねている。

ここで、FB の際に用いられる信号成分は BB 信号のイメージ信号であり、BB 信号自体は必要がない。そのため、FB 経路内で BB 信号成分をフィルタリングすることができれば、EHMIX への入力振幅を低減でき、EHMIX の線形性を改善できると考えた。このフィル

タリングには FIR Filter を用いた。ここで、BB 信号成分をフィルタリングするために $2f_s$ でサンプリングしたため、サンプル&ホールドの sinc 関数の特性から、 $2f_s$ にノッチが発生し、イメージ信号が消えてしまう。そのため、FIR Filter の前段に $2f_s$ の間隔で 0 を挿入し、sinc 関数の特性をキャンセルした。

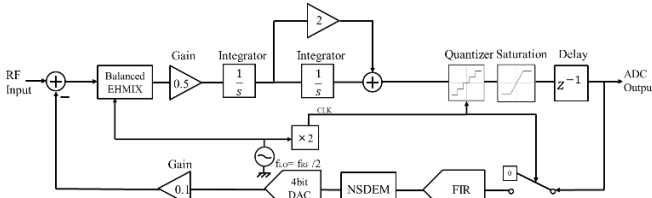


図 12 4-bit 2nd-order $\Delta\Sigma$ DC-ADC with EHMIX, NSDEM and FIR Filter

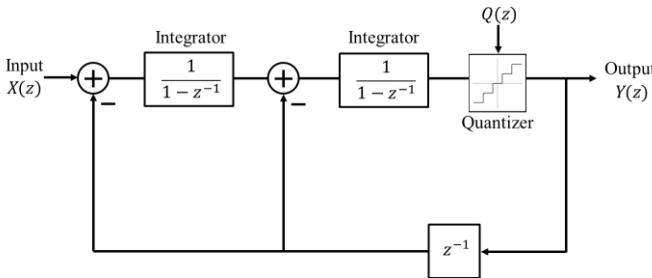


図 13 2次 DSM

5. シミュレーション結果

従来手法と提案手法を MATLAB/Simulink を用いて、図 7 と図 12 のシステムを構築し、各 ADC 出力の FFT から、SNDR (Signal-to-Noise and Distortion Ratio), SFDR (Spurious-Free Dynamic Range), ENOB (Effective Number of Bit) を測定し、比較を行った。その際のシミュレーション条件は表 1 に示す。今回シミュレーションではサンプリング周波数 $f_s = 1$ Hz で規格化を行った。OSR (Over Sampling Ratio) = 100 の条件のとき、(11) 式から信号帯域幅 $f_B = 0.005$ Hz となるので 0 Hz ~ 0.005 Hz までで SNDR を測定した。

$$OSR = \frac{f_s}{2f_B} \quad (11)$$

図 14 には LO 振幅で正規化した RF 振幅を $10^{-3} \sim 1$ まで変化させたときの SNDR を示す。赤線が提案手法の SNDR、青線が従来手法 (4) の SNDR、緑線が従来手法 (3) を示している。帰還経路の係数で正規化 RF の振幅 FS (Full Scale) を 0.1 以下になるように調整した。

正規化 RF 振幅が 0.1 付近のとき従来手法の各ピーク SNDR が 72 dB, 46dB に対して、提案手法では 84 dB まで改善された。

図 15 に提案手法と従来手法 (4) の正規化 RF 振幅が 0.09 の際の FFT 結果を示す。同図から、ダウンコンバートされた 0.001 Hz の基本波と 20 dB/dec と 40 dB/dec のノイズシェーピング特性が確認できる。40 dB/dec のノイズシェーピング特性により提案手法におけるノイズフロアは従来手法と比較して、20 dB 程低下して SNDR の向上に寄与したが、図 14 における第 5 次高調波歪により SFDR はほぼ同じ値となった。この歪の原因としてループフィルタによる高調波抑圧が充分でないことが考えられるので、ループフィルタの次数を上げる、EHMIX の前段にプレフィルタをつける等の工夫で改善できると考える。図 16 には、従来手法 (3) の FFT 結果を示す。1-bit かつ 1 次 DSM なので SNDR が約 46 dB, SFDR が約 46 dB, ENOB が約 7 bit に低下した。

次に、図 12 の提案手法において NSDEM を接続しなかった場合の FFT 結果を図 17 に示す。図 17 から NSDEM による mismatch 誤差シェーピングを行わないと整数次高調波歪が発生した。この歪により SNDR が約 43 dB, SFDR が約 60 dB, ENOB が約 8 bit に制限された。

次に、提案手法における FIR Filter の有用性を示す。図 18 に提案手法と従来手法 (4) の Balanced EHMIX の入力信号を FFT した結果を示す。FIR Filter 有り無しで 0.001Hz の BB 信号成分がカットされているかが確認できた。

最後に従来手法 (1) (3) (4) と提案手法、DC-ADC のトップジャーナル[12]との比較を表 2 にまとめた。提案手法については、未だシステムレベルでの検証になるが、トップジャーナルと比較して、Peak SNDR で約 50dB の改善となった。

表1 シミュレーション条件

Simulation conditions	
Parameters	Values
RF Amplitude	Variable
RF Frequency [Hz]	1.001
LO Amplitude	1
LO Frequency [Hz]	0.5
OSR	100
Mismatch [%]	2
FFT Points	32768

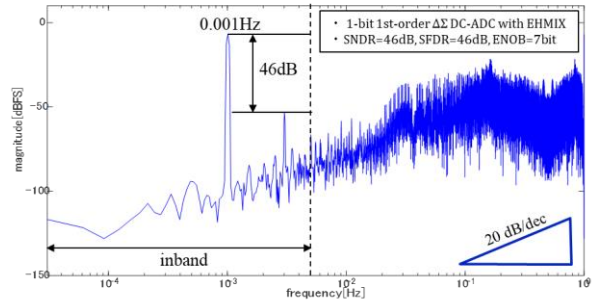


図16 従来手法 (3) の FFT 結果

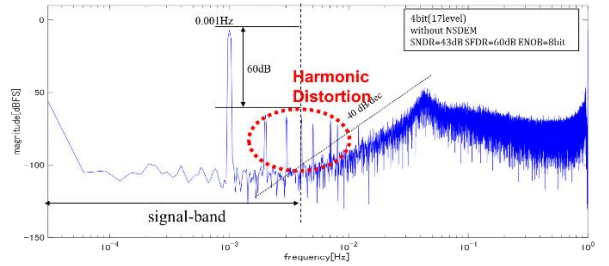


図17 4-bit 2nd-order $\Delta\Sigma$ DC-ADC without 2次 NSDEM の FFT 結果

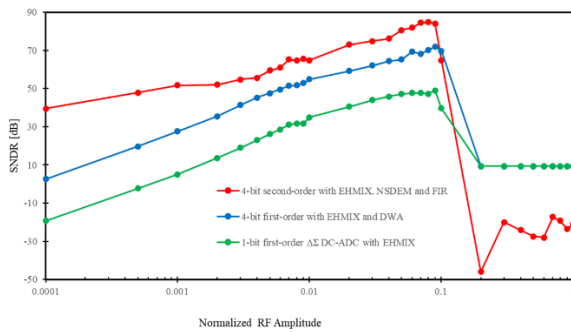


図14 正規化 RF 振幅の変化に対する SNDR

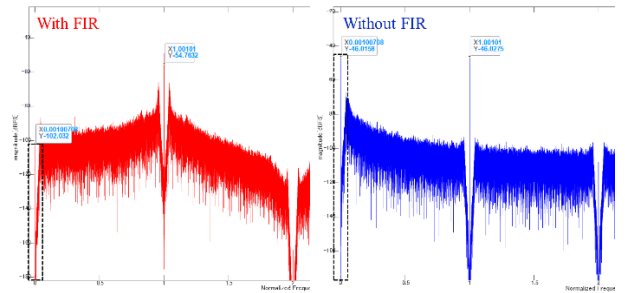


図18 FIR Filter の有用性

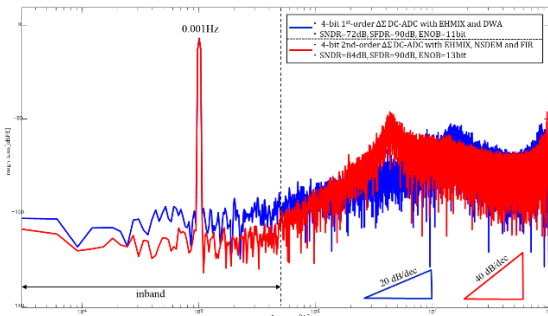


図15 提案手法と従来手法 (4) の FFT 結果

表2 結果まとめ

	①	③	Top Journal	④	This Work
Architecture	Open-loop $\Delta\Sigma$ DC-ADC with EHMIX	Closed-loop 1-bit first-order $\Delta\Sigma$ DC-ADC with EHMIX	2nd Order CT $\Delta\Sigma$ and Embedded Digital Filtering	4-bit first-order $\Delta\Sigma$ DC-ADC with EHMIX and DWA	4-bit second-order $\Delta\Sigma$ DC-ADC with EHMIX and NSDEM
System or Transistor Level	System	System	Transistor	System	System
Resolution (bit)	1	1	4	4	4
$\Delta\Sigma$ Order	2	1	2	1	2
Peak SNDR (dB)	62	46	34.5-36	72	84
Peak SFDR (dB)	-	46	-	90	90
Peak ENOB (bit)	-	7	-	11	13

6. おわりに

本研究では偶高調波ミキサとミスマッチシェイパーを用いた Multi-bit $\Delta\Sigma$ DC-ADC を提案し、その特性を評価した。Multi-bit 化と高次の DSM とミスマッチシェイパーを利用することで、シェーピング特性を高め帯域における量子化誤差とミスマッチによる変換誤差を低減した。また、FIR Filter を利用し、FB 経路での BB 信号成分をフィルタリングすることで、EHMIX への入力信号振幅を下げた。

提案手法の評価には MATLAB/Simulink を使用してシミュレーションを行い、従来手法と比べ正規化 RF 振幅 0.1 以下において SNDR の改善が確認できた。正規化 RF 振幅が 0.09 のときでは、従来 DC-ADC と比べ SNDR が 38 dB 程増加し 84 dB となった。また、ミスマッチの影響を NSDEM の有無で確認した。NSDEM を DAC 前段に接続することで NSDEM の有効性を示した。DC-ADC の基本動作と期待される特性の改善がシミュレーションにより確認できたことから偶高調波ミキサとミスマッチシェイパーを用いた Multi-bit $\Delta\Sigma$ DC-ADC の有用性が十分に示された。

謝辞

本稿の作成にあたって、多大なるご協力、ご指導を頂きました安田彰教授に深く感謝申し上げます。また、資料を提供して頂いた北見工業大学の谷本洋名誉教授に感謝致します。

参考文献

- [1] A. Matsuzawa, "A/D conversion technology for software radio," IEICE Technical Report, vol. 114, no. 44, SR2014-11, pp. 69-76, May 2014.
- [2] Y. Tanimoto, "Research and development trend of mixer for direct conversion receiver (invited paper)," IEICE Transactions C, vol. J84-C, no. 5, pp. 337-348, May 2001.
- [3] A. Yasuda and T. Wabo, "Introduction to delta-sigma analog-to-digital converters," Maruzen, 2007.
- [4] K. Onda and A. Yasuda, "A study of multi-bit delta-sigma ADC with frequency conversion function using even harmonic mixer," Proceedings of IEICE General Conference, ECT-21-020.
- [5] R. T. Baird and T. S. Fiez, "Improved δ - σ dac linearity using data weighted averaging," Proceedings of the 1995 IEEE International Symposium on Circuits and Systems, vol. 1, pp. 13-16, May 1995.
- [6] A. Yasuda, H. Tanimoto, and T. Iida, "A third-order δ - σ modulator using second-order noise shaping dynamic element matching," IEEE Journal of Solid-State Circuits, vol. 33, no. 12, pp. 1879-1886, Dec. 1998.
- [7] 櫻井克彰, 柳田真明, 深澤勇介, 安田彰: 「LO キャンセル機能を有するミキサ一体型連続時間 $\Delta\Sigma$ AD 変換器に関する研究」電気学会電子回路研究会資料 ECT-09 pp.11-16 (2009)
- [8] 安田彰, 「周波数変換機能を有する Δ 変調器の検討」, 電子情報通信学会総合大会講演論文集, SA-1-3, pp. 429-430 (1999)
- [9] 高橋卓人, 杉本俊貴, 谷本洋, 吉澤真吾, 「偶高調波ミキサと $\Delta\Sigma$ -TDC を用いたダウンコンバージョン AD 変換器の提案」, 電気学会電子回路研究会資料, ECT-016-090, (2016)
- [10] K. Kitada, "Design and prototype of an AD converter with frequency conversion function using even harmonic mixer," Kitami Institute of Technology, Master thesis, 2018
- [11] S. Okage, "A study on digital direct-drive loudspeaker using ISI error shaper," Hosei University, undergraduate thesis, 2020.
- [12] S. Subramanian and H. Hashemi, "A Direct $\Delta\Sigma$ Receiver with Current-Mode Digitally-Synthesized Frequency - Translated RF Filtering," 2018 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2018, pp. 92-95, doi: 10.1109/RFIC.2018.8429047.