法政大学学術機関リポジトリ

HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-07-12

誤差増幅回路を用いた帰還型デジタル直接駆 動スピーカシステムの提案

FUKAWA, Yoshihiro / 府川, 祥大

(出版者 / Publisher) 法政大学大学院理工学研究科 (雑誌名 / Journal or Publication Title) 法政大学大学院紀要.理工学研究科編 (巻 / Volume) 63 (開始ページ / Start Page) 1 (終了ページ / End Page) 5 (発行年 / Year) 2022-03-24 (URL) https://doi.org/10.15002/00025348

誤差増幅回路を用いた 帰還型デジタル直接駆動スピーカシステムの提案

A Digital Direct Drive Speaker System with a Digital Feedback using Error Amplifier Circuit

府川祥大

Yoshihiro FUKAWA 指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

In recent years, with the development of portable devices such as smartphones and tablets, there has been an increasing demand for audio systems with higher precision, smaller footprints, and lower power consumption. In this research, we have focused on improving the accuracy of our laboratory's original audio system, the digital direct drive speaker system. Therefore, we proposed a feedback-type digital direct-drive speaker system using an error amplifier circuit at the circuit level. The accuracy requirement of the feedback ADC is relaxed, and the noise generated in the driver circuit is reduced. As a result, SNR of 107.3 dB and THD -97.5 dB were achieved. *Key Words : the digital direct drive speaker system, error amplifier, feedback ADC*

1. 序論

近年,スマートフォンやタブレッドなどを始めとした ポータブル端末の発展に伴い,オーディオシステムの高 精度化や省面積化,低消費電力化への要求が高まってい る.

本論文で用いるデジタル直接駆動スピーカシステムは スピーカ駆動までの処理をデジタルで行うオープンルー プ(OL)制御のオーディオシステムとなっており,低電圧 および高効率を特徴としている[1][2].しかしながら,効 率をさらに向上させようとした場合,オン抵抗と出力負 荷の比率で Power Supply Rejection Ratio (PSRR)が劣化し, ドライバ回路が電源ノイズの影響を直接受けてしまう. これによって発生した歪はシステム全体の特性に影響を 与える.

一般的なオーディオシステムの場合,これらの信号主 経路で発生する歪の改善方法として,フィードバック (FB)制御が挙げられ,歪の低減や PSRR の向上を可能と し,AB 級アンプや D 級アンプなど多くのオーディオシ ステムで用いられている.一方で,帰還経路で発生した歪 はそのまま出力されてしまうため,帰還経路におけるセ ンス回路には高い変換精度が要求される.システム前段 にデジタルループフィルタを用いた構成を使用する場合, アナログ信号を FB する必要があるため,帰還経路にはセ ンス回路として高い変換精度を持つアナログ-デジタル変 換器(ADC)が必要となる[3].

先行研究では誤差増幅回路を導入することで、帰還用 ADC に要求される変換精度を緩和しつつ、FB 制御によ るシステム後段の歪の低減を、MATLAB/Simulink 上での システムレベルの検証で確認している[4]. しかしながら、 先行研究は抽象度の高いシステムレベルの検証であった ため、回路レベルにした際のアーキテクチャの検討や MATLAB/Simulink 上では考慮できない遅延や歪への検討 が十分にされていない.

そこで、本論文ではデジタル直接駆動スピーカシステ ムに対して、誤差増幅回路による FB 制御を追加した構成 を回路レベルで提案し,回路レベルでの設計および動作 の確認を通じて,その実現性および有効性について示す.

2. 従来手法

従来手法であるデジタル直接駆動スピーカシステムの 構成を図1,その線形モデルを図2に示す.





図 1 に示すように、デジタル直接駆動スピーカシステムはループフィルタおよび量子化器から構成されるマル チビット ΔΣ 変調器と NSDEM (ノイズシェーピング・ダ イナミック・エレメント・マッチング)から構成され、ド ライバ回路でスピーカを駆動している.このシステムで は複数のスピーカを並列駆動するため、スピーカの製造 ばらつきに起因する音響特性の誤差による音質劣化を抑 制するために、NSDEM が量子化器の後段に追加されてい る.

まず,入力であるデジタル信号をマルチビット ΔΣ 変 調器においてマルチビット信号(温度計コード)に変換 し,スピーカの製造誤差によるノイズを抑制するため, NSDEM を用いて,スピーカを使用頻度の少ない順から 使用してノイズシェーピングを掛けている.その後, NSDEM から出力された温度計コードを各ビットに対応 するドライバ回路に入力し,ドライバ回路でスピーカを 駆動している.そしてスピーカからの出力が空間で合成 されることで音声信号を再現している.ここで,Q」をル ープフィルタのゲインLおよび量子化器で発生するノイ ズ,Q2をドライバ回路で発生するノイズとすると,図2 における伝達関数は次式で示される.

$$V_{out} = \frac{L}{1+L} V_{in} + \frac{1}{1+L} Q_1 + Q_2 \tag{1}$$

(1)式より,ドライバ回路で発生するノイズ Q2 はそのま ま出力されてしまい,システム全体の特性を劣化させる 要因となる.これを低減する方法として,FB 制御が挙げ られる.図3にFB 制御を追加した場合の線形モデルを示 す.



図3 FB 制御型システムの線形モデル

ここで,帰還用 ADC で発生するノイズを Q₃とすると,図3における伝達関数は次式で示される.

$$V_{out} = \frac{L}{1+L}(V_{in} - Q_3) + \frac{1}{1+L}(Q_1 + Q_2)$$
(2)

(2)式より, 帰還用 ADC で発生するノイズ Q3 は信号成 分と同様にそのまま出力されてしまうため, 帰還用 ADC には高精度変換が要求される. そこで, 先行研究では誤差 増幅回路を取り入れた FB 制御を提案していた. その際の 線形モデルを図4に示す.



図4 誤差増幅回路を用いた FB 制御型システムの線形モデル

ここで, 差分信号を Sres とすると, 図4における伝達関数 は次式で示される.

$$S_{res} = Q_2 \tag{3}$$

$$V_{out} = \frac{L}{1+L} \left(V_{in} - \frac{1}{k} Q_3 \right) + \frac{1}{1+L} (Q_1 + Q_2)$$
(4)

(3)式より, 誤差増幅回路を追加したことでドライバ回路前後の信号成分が打ち消し合い, 差分信号 *Sres* としてはドライバ回路で発生するノイズ *Q*2のみが抽出され

る. これによって, 帰還用 ADC に入力される信号振幅 を小さくできるため, 増幅度 k 倍をすることが可能とな る. その結果, (4)式に示すように出力において, 帰還用 ADC で発生するノイズ $Q_3 \ge 1/k$ 倍にすることができ, 帰還用 ADC の精度要求の緩和を実現することが可能と なる.

3.提案手法

本研究では誤差増幅回路による FB 制御を追加したデ ジタル直接駆動スピーカシステムを回路レベルで提案し, 回路レベルでの設計および動作の確認を通じて,その実 現性および有効性についての検証を試みた.

提案手法である誤差増幅回路を用いた帰還型デジタル 直接駆動スピーカシステムの全体回路構成を図5に示す.



本システムはデジタル回路側の電源電圧が 1.8V, ドラ イバ回路および帰還用 ADC 側の電源電圧が主に 3.3V で の駆動となっている.構成としては従来のデジタル直接 駆動スピーカシステムの構造に,帰還用 ADC とデジタル 信号をアナログ信号に変換するためのデジタル-アナログ 変換器(DAC), 1.8V 駆動から 3.3V 駆動にするためのレベ ルシフタ回路,経路遅延を補正するための遅延回路,フル スケール(FS)調整のための Bit 変換器を追加した構成とな っている.

従来のデジタル直接駆動スピーカシステムには元々, デジタルの帰還経路が存在しているため、提案構成では ドライバ回路で発生するノイズのみを帰還用 ADC にて 処理する必要がある.まず,NSDEM から出力された信号 はアナログ信号に変換するための DAC 側の経路とドラ イバ回路側の経路の2つに分岐される.分岐された信号 はそれぞれの経路で信号処理された後、誤差増幅回路部 分において, DAC にてドライバ回路直前のデジタル信号 を AD 変換したものとドライバ回路の出力信号とで差分 信号の抽出を行う.これにより,帰還用 ADC は信号振幅 の小さいドライバ回路にて発生するノイズのみを変換す ることが可能となっている.ここで,NSDEM から出力さ れた信号は2つの異なる経路によって信号処理されてい るため、2つの経路間には遅延が発生する.この経路間の 違いによって発生した遅延は差分信号を取った際の信号 振幅の大きさに影響を与える.仮に,差分信号として FS が出力された場合,帰還用 ADC に入力される信号振幅が 大きくなるため,本システムのメリットである増幅度 k 倍 をすることができず、帰還用 ADC の精度要求を 1/k に緩 和することができなくなってしまう. そのため, 本システ ムではDAC経路側の初めに2つの経路間にて発生する遅 延を補正するような遅延回路を設けている. 誤差増幅回 路部分において,抽出された差分信号を k 倍に増幅して から帰還用 ADC で AD 変換する. AD 変換された信号は ループフィルタ側の FS と異なっているため, Bit 変換器 でFS が一致するように信号処理を行う.その後,再び元 のスケールに戻すために1/k倍にし,元々存在するデジタ ルの帰還信号と加算する仕組みとなっている.これによ って,帰還用ADCの精度要求を1/kに緩和することが可 能となっている.以降には本システムを構成する主要素 回路の詳細な構成および設計する上で留意した点に関し て述べる.

(1) マルチビット ΔΣ 変調器と NSDEM

デジタル回路部分を構成するマルチビット $\Delta\Sigma$ 変調器 および NSDEM は Verilog HDL を用いて,設計を行った. まず,マルチビット $\Delta\Sigma$ 変調器内部のループフィルタの構 成を図 6 に示す.



図 6 ΔΣ 変調器におけるループフィルタの構成

図6に示すように、ループフィルタは1段目と2段目 に遅延型積分器,3段目に無遅延型積分器を使用した3次 の構成となっている.3段目に無遅延型積分器を用いるこ とで、帰還経路側に一遅延時間分を考慮できるような設 計を行っている.図6における係数はΔΣツールボックス を用いて決定した.表1にその係数値を示す.

表 1	ΔΣ 変調器におけ	るループ	『フィ	ルタ	の係数
-----	-----------	------	-----	----	-----

al	-0.162
a2	-0.742
a3	-1.33
b	0.162

次に,NSDEMの回路構成を図7に示す.



図7に示すように, NSDEM はセレクタ回路と複数のル ープフィルタ,ソート回路から構成されている. NSDEM 内部のループフィルタの構成を図8に示す.



図8 NSDEM におけるループフィルタの構成

図8に示すように,NSDEMに使用するループフィルタは,遅延型積分器を用いた2次の構成となっている.MIN

は、複数あるループフィルタの各段の積分値の最小値を 表したものであり、これを各段の積分値から減算するこ とにより積分器が飽和しないようにしている.ここで、図 8におけるループフィルタの係数を表2に示す.

表 2 NSDEM におけるループフィルタの係数

а	1
b	12
c1	1
c2	1

(2) ドライバ回路

ドライバ回路の回路構成を図9に示す.



図 9 に示すように、ドライバ回路内部はレベルシフタ 回路とノンオーバーラップ回路、プリドライバ回路前段、 プリドライバ回路後段、メインドライバ回路から構成さ れている. プリドライバ回路後段以降を 4 分割にしてい るのは、プリドライバ回路後段内部のインバータ回路を 構成する PMOSFET と NMOSFET の幅 W に差をつけるこ とでスルーレートコントロールを行い、リンギングなど の歪を抑制するためである.また、メインドライバ回路は H ブリッジインバータ回路の片チャネル側の構成となっ ており、4 つのプリドライバ回路後段ごとに接続されてい る.ここで、メインドライバ回路を構成する PMOSFET と NMOSFET の LW 比については CMOSFET に流れるドレ イン電流とドレイン-ソース間電圧を考慮し、オン抵抗の 値が 0.3Ω になるように決定した.

(3) 帰還用 ADC

帰還用 ADC の回路構成を図 10 に示す.



図10 帰還用 ADC の回路構成

図 10 に示すように、回路構成としては連続時間型積分 器とフィードフォワードパスを用いた 2 次 $\Delta\Sigma$ 型 ADC(CT $\Delta\Sigma$ ADC)となっている.以下、連続時間積分器を CT(Continuous-Time)積分器と呼ぶ.このフィードフォワ ードパス用いた構成は CIFF 型と呼ばれ、入力信号に対し て変調を行わないため、低歪な特性を得ることができる. そのため、オーディオシステム帯の信号処理に適した構 成となっている. また、CT $\Delta\Sigma$ ADC は $\Delta\Sigma$ ADC の特徴の一 つである高精度変換に加え,信号帯域が広く,アンチエイ リアスフィルタが不要という利点を持っている[5]. その ため、本システムに用いる帰還用 ADC の構成としては CIFF 型の 4bit-2 次 CTΔΣADC を採用した.

まず,設計した CT $\Delta\Sigma$ ADC における1段目および2段 目に使用する CT 積分器の R と C のパラメータについて は 1/Fs のゲインを形成するように選択を行ったため, R とCはそれぞれ 104 kΩと 1.5 pFとした. さらに, 1 段目 の CT 積分器においては, 誤差増幅回路としての役割であ る差分信号の抽出とその増幅の2つの機能を果たすよう な構成としている.1つ目の機能である差分信号の抽出に ついては、入力抵抗として接続されている8 つの抵抗部 分での電流の加算・減算処理によって実現している.2つ 目の機能である増幅度 k 倍の実現については帰還用 ADC に入力されてくる信号自体がすでに4倍された信号とな っているため、加算・減算処理の際に1倍で処理するこ とで、全体としては増幅度 k=4 が成り立つように設計し た. そのため、入力抵抗を Rin、帰還抵抗を RFB とした場 合,抵抗比が1:1になるように抵抗値を決定した.この際 の関係式を以下に示す.

$$\frac{R_{FB}}{R_{in}} = 1 \tag{5}$$

(5)式より,帰還抵抗 R_{FB}の値は 104 kΩ とした.ここで、 本システムにおける増幅度 k の値については MATLAB /Simulink モデル上でのシステム検証に基づき, k=4 と決 定した.3段目である加算器を構成する各抵抗値について は MATLAB / Simulink で算出した係数に基づき,決定し た. また,帰還用 ADC の出力に対しては次段が 1.8V の デジタル回路領域となるため、レベルダウン回路を用い て 3.3V の信号を 1.8V の信号に変換している. ここで, 帰還用 ADC を構成するオペアンプと ADC, DAC に関し てはビヘイビアモデルを使用して設計を行った.

4. シミュレーション結果

本研究ではトランジスタレベルでの設計、シミュレー ションについては Analog Mixed Signal (AMS)を使用した. (1) 帰還用 ADC

帰還用 ADC として設計した 4bit-2 次 CTΔΣADC が所望 の動作をするかの検証を行った.この際の入力条件を表3 に示す.

表 3 帰	レーション条件
項目	値
電源電圧 V _{DDL} / V _{DDH} [V]	1.8/3.3
入力振幅 V _{amp} [V]	1.1
入力周波数 F _{in} [Hz]	20K
サンプリング周波数 F _s [Hz]	6.25M
×古 BW [H2]	24K

久/小

上記入力条件時における出力波形とその FFT 結果を図 11, 12 に示す.



図 11 より, 帰還用 ADC の出力波形として PDM 信号 が出力され,正常に動作していることが確認できる.また, 図 12 の FFT 結果において 40dB/dec の 2 次のシェーピン グ特性を確認することができ、この際の SNR の算出結果 は116.1dB となった.

(2) 全体回路

a) Signal Noise Ratio (SNR)

全体回路における SNR の測定結果について述べる.全 体回路に使用する入力信号としては Verilog HDL を用い て作成した 18bit の正弦波信号を使用し、負荷には 8Ωス ピーカを想定した 8Ω + 33µH を接続している. この際の 全体回路における入力条件を表4に示す.

表4 全体回路のシミュレーション条件

項目	値
電源電圧 V _{DDL} / V _{DDH} [V]	1.8/3.3
入力振幅 V _{amo} [FS]	-6dB
入力周波数 Fia [Hz]	20К
サンプリング周波数 F _s [Hz]	6.25M
帯域 BW [Hz]	24K

上記入力条件時における従来手法および提案手法にお ける FFT 結果を図 13,図 14 に示す.





図 13, 図 14 の FFT 結果より, 従来手法および提案手 法において, それぞれ 60 dB/dec の 3 次のシェーピング特 性を確認することができ, 正常に全体回路が動作してい ることが分かる.また, この際の SNR の算出結果は従来 手法が 99.5dB, 提案手法が 107.3dB となり, 従来手法と 比較して 7.8dB の改善を行うことができた. b) Total Harmonic Distortion (THD)

全体システムにおける THD の測定結果について述べる. 入力周波数を 1kHz とし,その他の入力条件は表4 に示す ものを使用した.上記入力条件時における従来手法およ び提案手法における FFT 結果を図15,図16 に示す.



図 15 の FFT 結果より、従来手法では各高調波のスペク トラム成分が大きいことが分かる.これは、システム後段 にあるドライバ回路で発生するノイズが原因であると考 えられる.また、この際の THD の算出結果は-67.6 dB と なった.それに対して、図 16 の FFT 結果より、提案手法 ではドライバ回路によって発生したと考えられる各高調 波のスペクトラム成分を低減できたことが分かる.また、 この際の THD の算出結果は-97.5 dB となり、従来手法と 比較して-29.9dB の改善を行うことができた.

5. 結論

本研究では、低電圧・高出力を特徴としたより低歪なオ ーディオシステムである誤差増幅回路を用いた帰還型デ ジタル直接駆動スピーカシステムを、回路レベルで提案 した.本システムに使用する帰還用 ADC の構成として CIFF 型の 4bit-2 次 CTΔΣADC を採用した.1 段目の積分 器に誤差増幅機能を持たせる構造にすることで、誤差増 幅および AD 変換の 2 つの役割を帰還用 ADC で実現し た.その結果として、回路レベルで設計した全体システム では SNR 107.3dB, THD -97.5 dB を達成することができ た.

謝辞

本研究を進めるにあたり,多くのご指導ご鞭撻いただいた法政大学理工学研究科電気電子工学専攻安田彰教授 に心より感謝申し上げます.また日頃より,様々な協力を して下さった安田研究室の皆様にも深く感謝申し上げま す.

本研究は東京大学大規模集積システム設計教育研究センター(VDEC)を通じ、日本ケイデンス株式会社の協力の下で行われたものであり、ここに深く感謝いたします.

参考文献

[1] Hajime Ueno, et al. "Digital-Driven Piezoelectric Speaker using Multi-Bit Delta-Sigma Modulation," AES, Oct, 2006.

[2] Michitaka Yoshino, Mitsuhiro Iwaide, Daigo Kuniyoshi, Hajime Ohtani, Akira Yasuda and Jun-ichi Okamura, "A novel audio playback chip using digitally driven speaker architecture with 80% @-10dBFS power efficiency, 5.5W@3.3V supply and 100dB SNR, " IEEE Custom Integrated Circuit Conference, 2011.

[3] Mario Auer, and Timucin Karaca. "A Class-D Amplifier with Digital PWM and Digital Loop-Filter using a Mixed-Signal Feedback Loop," IEEE, 2019.

[4] 鏑木彩加, 誤差増幅器を用いたオーディオ向け A/D 変換器の高精度化技術.

[5] DONIDA, Achille, et al. "A 40 -nm CMOS, 1.1-V, 101-dB Dynamic-Range, 1.7 -mW Continuous-Time Sigma Delta ADC for a Digital Closed-Loop Class-D Amplifier," IEEE Transactions on Circuits and Systems I: Regular Papers, 2015.