# 法政大学学術機関リポジトリ

### HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-07-13

## カウンタと遅延器を用いたバーニアリングオ シレータ型1次ΔΣTDC

### 弘瀬, 恵太 / HIROSE, Keita

(出版者 / Publisher)
法政大学大学院理工学研究科
(雑誌名 / Journal or Publication Title)
法政大学大学院紀要.理工学・工学研究科編
(巻 / Volume)
61
(開始ページ / Start Page)
1
(終了ページ / End Page)
4
(発行年 / Year)
2020-03-24
(URL)
https://doi.org/10.15002/00022862

## カウンタと遅延器を用いた バーニアリングオシレータ型1次ΔΣTDC

#### VERNIER RING OSCILLATOR TYPE FIRST ORDER DELTA-SIGMA TDC WITH COUNTERT AND DELAY LINE

# 弘瀬恵太 Keita HIROSE 指導教員 安田彰

#### 法政大学大学院理工学研究科電気電子工学専攻修士課程

In this paper, we propose All Digital Vernier Ring Oscillator type Delta-Sigma Time-to-Digital Converter ( $\Delta\Sigma$ VROTDC) with counter and delay. The system achieves feedback by counter and delay line. This design reduces noise on feedback signal. The proposed system designed and simulated by MATLAB/simulink. Proposed system achieves first order noise shaping of quantization noise and simulated a signal to noise ratio (SNR) of 65.3 dB.

Key Words : TDC, delta-sigma structure, ring oscillator, Vernier type, noise shaping

#### 1. はじめに

近年、IoT 技術の普及に伴い,多様な機器が無線通信に よってインターネットと接続され,リアルタイムな通信 が行われている.このような無線通信には低遅延や通信 速度の安定化が重要で,その実現のため Digital Phase Looked Loop(DPLL)が用いられる.

DPLL の構成回路の1 つが Time to Digital Converter(TDC)である. TDC は計測対象となる2つの信号 間の時間差というアナログ信号を量子化し,デジタル値に 変換する Analog to Digital Converter(ADC)の一種であ る. DPLL では出力信号とリファレンス信号の時間差を測 定する位相比較器として用いられる. TDC の雑音を低下 させることは DPLL の位相雑音を低下させるうえで重要 である[1].

高精度な変換を実現させる手法として,Delta-Sigma型 TDC(ΔΣTDC)が提案されている[2]. ΔΣTDC はオーバーサ ンプリングとノイズシェーピング特性を利用して,出力 信号のノイズフロアを低下させ,信号帯域内の量子化雑 音を帯域外にシフトする.これによって,量子化雑音の影 響を低下させ高精度な変換を実現している.このΔΣTDC は主にアナログ積分器やキャパシタを用いて量子化誤差 を保存,フィードバックすることでノイズシェーピング 特性を得ることができる.しかし,アナログ積分器やアナ ログ電圧値を用いることで,電磁波などの外乱の影響を 受けやすく誤差の原因になる.またデジタル回路に比べ 回路面積が大きくなるという問題がある. 本稿ではバーニアリングオシレータ型 TDC にカウンタ と遅延器を用いたエラーフィードバックを導入し、デジ タル値のみでエラーフィードバックを実現する手法を提 案 す る . そ の 提 案 手 法 の 有 効 性 に つ い て MATLAB/simulink によるシミュレーションにて検証を行 った.

#### 2. 従来の TDC とその問題点

#### (1) Gated Ring Oscillator TDC(GROTDC)

ΔΣΤDC の一種に GROTDC がある. 図1,2に GROTDC のブロック図とタイミングチャートを示す[3],[4]. GROTDC は Gated Ring Oscillator とカウンタ,レジスタ から構成される. GROTDC はスタート信号が入力されて からストップ信号が入力されるまでの間発振し,その発 振回数をカウントすることで時間差信号を量子化する. 測定終了後から次の測定開始までの間,リングオシレー タはゲートトランジスタによってアナログ電圧値,また は位相情報を保持することができる.これによってカウ ンタで発生する量子化誤差を保存,次の入力へフィード バックすることで ΔΣTDC として動作をすることができ る.この時の分解能はリングオシレータの発振周波数に 依存する.

GROTDC はアナログ積分器を用いないため、省面積で ΔΣTDC を実現できる.しかし、リングオシレータの電圧 値を利用して量子化誤差を保存しているため、外乱によ る影響を受け誤差の原因となる.





図 2. GROTDC タイミングチャート

#### (2) Vernier Ring Oscillator TDC

TDC の高精度化のため 2 つの発振周波数が異なるリン グオシレータ (RO) を用いることでバーニア型 TDC を構 成することができる[5]. このような TDC を Vernier Ring Oscillator TDC(VROTDC)という. Start 信号が入力される と発振周波数の低い RO (slow RO) が, stop 信号が入力 されると発振周波数の高い RO (fast RO) が発振する. fast RO の出力タイミングが slow RO に追いついたとき測定 が終了する. 2 つの RO の 1 段の遅延量をそれぞれ  $T_1$ ,  $T_2$ ( $T_1 > T_2$ ) すると VROTDC の分解能 τ は

$$\tau = T_2 - T_1 \tag{1}$$

となる.

VROTDC 高精度化が達成できる一方 2 つの RO を使用 するため、回路面積が大きくなるというデメリットが存 在する. 3. 提案手法

(1) カウンタと遅延器を用いた ΔΣVROTDC

前章の問題である外乱による影響を低減させるために, カウンタと遅延器を用いた ΔΣVROTDC を提案する. 図 3 に提案回路のブロック図を示す. また図4にタイミング チャートを示す.



図 3. 提案回路ブロック図



図 4. 提案回路タイミングチャート

従来の VROTDC では RO fast が RO slow に追いつくと 測定を終了するが,提案型の回路では測定を終了せずに RO を発振させ続ける. その後 2 つの RO の出力の立ち上 がりエッジは重なり合う. この重なりを検出し,それまで の RO の振動数をカウントする. この時のそれぞれの RO のカウント値を N<sub>s</sub>、N<sub>f</sub>とする. また、それぞれの RO の 遅延量を T<sub>s</sub>, T<sub>f</sub>とするとこの時の量子化誤差 e は

$$e = N_s \times T_s - N_f \times T_f \tag{2}$$

となる.

このカウント値と  $T_s$ または  $T_f$ と同じ遅延量の遅延器を 用いることで,量子化誤差を保存し入力にフィードバッ クする.フィードバック後の start 信号, stop 信号をそれ ぞれ *ENS*, *ENF* とすると,

$$ENS = start + N_f \times T_f \tag{3}$$

$$ENF = stop + N_s \times T_s \tag{4}$$

となる. したがってフィードバック後の入力時間差  $T_{inf}$  は

$$T_{inf}[k] = ENF - ENS$$
  
=  $T_{in}[k] + (N_f \times T_f - N_s \times T_s)$   
=  $T_{in}[k] - e[k-1]$  (5)

である. この時の出力 *D<sub>out</sub>*[k]は

$$Dout[k] = T_{inf}[k] + e[k]$$
  
=  $T_{in}[k] + e[k] - e[k-1]$  (6)

となる. (6) 式より, デジタル値と遅延器によるエラ ーフィードバック型 ΔΣTDC が実現できる.

(2) Evaluation brock (Catch Up Sensor)

Catch Up Sensor(CUS)は RO fast が RO slow に追いつい たことを検出する回路である. 図 5 に CUS の回路構成を 示す. CUS は 2bit カウンタと D-FlipFlop で構成される. RO fast が RO slow に追いつくまでの間, RO slow の出力 パルス間に RO fast 出力パルスは 1 つである. 一方で RO fast が RO slow に追いついたとき, RO fast 出力パルス は 2 つであるから, カウンタによってこれを検出する. CUS = High でのカウント  $N_s$ -1 が  $D_{out}$  となる.



図 5. Catch Up Sensor

#### (3) Evaluation brock (重なり検出回路)

図 6 に 2 つの RO 出力の立ち上がりエッジの重なりを 検出する回路を示す. RO slow , RO fast の各段の出力を  $S_n$ ,  $F_m$ とする. 図の回路では  $S_n$ と  $F_m$ のどちらが先に入 力されるかを比較する. X は  $S_n$ が先に入力されると high になり, Y は  $F_m$ が先に入力されると high になる.  $S_n$  と  $F_m$ が同時に入力されたとき, NOR によって検出される.



#### (4) フィードバック用遅延回路

この回路は CUS が追いつきを検知し, CMP が重なり を検知するまでの間の時間を入力にフィードバックする ための回路である.図7に回路図,図8にタイミングチ ャートを示す.回路は遅延器とマルチプレクサで構成さ れる.各マルチプレクサの制御信号はNsまたはNfのカ ウンタのビットごとの出力である.この回路によって(3), (4)式に示したように start, stop 信号を遅延させ,これに よってエラーフィードバックを実現する.



図 8. フィードバック用遅延回路タイミングチャート

#### 4. MATLAB シミュレーション

従来型の VROTDC と提案型  $\Delta\Sigma$ VROTDC の比較検証を 行った. シミュレーションは MATLAB/Simulink を用いて 行った. 表 1 にシミュレーション条件を示す. 図 9 に FFT 解析結果を示す

入力周波数(start, stop)[MHz]	5
サンプリング周波数[MHz]	5
時間差入力範囲[ns]	0~4
OSR	64
遅延素子Tsの遅延時間[ns]	1
遅延素子Tfの遅延時間[ns]	0.97
DFTプロット数	2048

表 1. シミュレーション条件



図 9 より提案回路ではデジタルカウント値と遅延器を 利用してエラーフィードバックを行うことで 1 次ノイズ シェーピングが実現されていることが確認できる.また 図 8 から信号対雑音比 (SNR) は 65.3 dB であった.

#### 5. 結論

本研究では  $\Delta\Sigma$ TDC の高精度化を実現するために, デジ タルカウント値と遅延器を用いた  $\Delta\Sigma$ VROTDC を提案し, その提案技術の有効性について MATLAB/Simulink によ るシミュレーションにて検証を行った. 提案した ΔΣVROTDC は、2 つの入力信号に長さの異な る時間で遅延させることにより、時間差信号に量子化誤 差を積分している.これによって、従来の VROTDC に 1 次のノイズシェーピング特性を持たせることができ、 GROTDC のような外乱の影響を受けやすいアナログ値を 利用せず、デジタル値によってエラーフィードバックを 実現している.

MATLAB シミュレーションによる DFT 結果から提案 型回路の 1 次のノイズシェーピング特性を確認すること ができた. また, SNR は 65.3 dB であった.

今後の課題として、入力範囲の拡大とサンプリング周 波数の向上、FPGAや PSoC上での実装による検証が挙げ られる.

#### 6. 謝辞

本研究を進めるにあたり,多大なるご協力,ご指導いた だいた法政大学理工学部安田彰教授に多大なる感謝を申 し上げます.また,ともに所属されている研究室の皆様に も多くの助言を頂き感謝しております.

#### 参考文献

- R. B. Staszewski, Po. T. Balsara, (著),山田庸一郎(訳), 小林治夫(監修) "完全ディジタル PLL 回路の設計ー ディープ・サブミクロン CMOS プロセスで実現する All-Digital Frequency Synthesizer" CQ 出版社 (2010)
- 2) Y. Osawa, D. Hirabayashi, N.Harigai, H. kobayashi, K. Niitsu, O. kobayashi, "Phase Noise Measurement Techniques Using Delta-Sigma TDC " IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, PortoAlegre, Brazil(Sept. 2014).
- 3) M. Z. Straayer, M. H. Perrott, : A Multi Path Gated Ring Oscillator TDC With First-Order Noise Shaping, IEEE Journal of solid-state circuits, Vol.44, No4, pp1089-1098, 2009
- 4) C. Chang, Y. Tsai, K. Chein, L. Lu, : A 0.3-V 7.6-fJ/convstep Delta-Sigma Time-to-Digital Converter with a Gated-Free Ring Oscillator, IEEE International New Circuits and Systems Conference, pp221-224, 2017
- 5)Z. Cheng, M. J. Deen, H. Peng, : A Low-power gateable Vernier Ring Oscillator Time-to-Digital Converter for Biomedical Imaging Applications, IEEE Transactions on Biomedical Circuits and Systems, Vol.10, No.2, pp445-454, 2016