# 法政大学学術機関リポジトリ

### HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-07-04

## MOCVD法によるSi上Ce複合酸化物薄膜の形成 : 界面のSi0 2層のシリケート化

Wada, Tsubasa / 和田, 翔

(出版者 / Publisher)
法政大学大学院理工学研究科
(雑誌名 / Journal or Publication Title)
法政大学大学院紀要.理工学・工学研究科編
(巻 / Volume)
60
(開始ページ / Start Page)
1
(終了ページ / End Page)
5
(発行年 / Year)
2019-03-31
(URL)
https://doi.org/10.15002/00022035

### MOCVD 法による Si 上 Ce 複合酸化物薄膜の形成 一 界面の SiO<sub>2</sub> 層のシリケート化 ー

#### DEPOSITION OF Ce-BASE THIN COMPOUND OXIDE FILMS ON SI SUBSTRATES BY MOCVD — SILICATION OF INTERFATIAL SIO<sub>2</sub> —

#### 和田翔

Tsubasa wada 指導教員 中村俊博 准教授

#### 法政大学大学院理工学研究科電気電子工学専攻修士課程

The compound oxide was deposited on p-type Si (100) substrates by pyrolytic MOCVD with the intermittent introduction of TEOS (tetra ethoxy ortho silicate) for 10 sec every 3 min. We attempted to increase Ce-silicate in the film by introducing water and hydrogen. No increase in Ce-silicate was observed when water was introduced. However, when hydrogen was introduced, an increase in Ce-silicate was confirmed. For the low electric field, the lowest leakage current density appeared in the film where only TEOS was introduced during the deposition, whereas for the high electric field, the leakage current density was the lowest in the sample deposited in a hydrogen ambient. The relative dielectric constant was the largest, 23.4, in the sample deposited in the hydrogen ambient. *Key Words : high-k, MOCVD, CeO2, SiO2, Ce-silicate* 

#### 1. 序論

近年 MOS トランジスタの微細化近年 MOS トランジス タの微細化に伴ってゲート絶縁膜を通して流れるリーク 電流が問題となっている. そこで我々はリーク電流を減 少させるために, 従来の SiO<sub>2</sub>(誘電率 3.9)に代わる高誘電 率(high-k)材料に注目した.high-k材料は誘電率が SiO2 と比べて高いため、電気的容量を維持しつつゲート絶縁 膜の物理的膜厚を増加することができる. そのため,量 子効果によるリーク電流を抑制することが可能となる. [1][2] 数ある high-k 材料の中でも、 CeO2 は誘電率が 26 と高く, Si との格子不整合率が 0.35 %と小さい. その ため Si との界面特性がよく, 界面準位の発生を防ぐこと が出来るため、次世代高誘電率薄膜として期待されてい る. 有機原料として Ce(OCEt<sub>2</sub>Me)<sub>4</sub>を用いて MOCVD で CeO2薄膜を堆積させた.[3]-[7]しかしながら、CeO2は室 温で多結晶化しやすく結晶粒界がリーク電流のパスにな ると懸念されている.[8]-[10]そこで、結晶化を抑制する 方法として薄膜の中に異なった結晶構造を持つ材料を混 ぜるという方法に着目し,異なった結晶構造を持つ材料 として SiO<sub>2</sub>を選択した. SiO<sub>2</sub>は CeO<sub>2</sub>と同じ4 価の結晶 構造を持つ材料で混ぜ合わせたときに欠陥の形成を最小 限にできると期待される材料である.[11] 我々は SiO2 の

原料(TEOS)として Si(OEt)4, CeO2の原料として Ce(OCEt2Me)4を使用し, CeO2-SiO2複合酸化物薄膜を形成した.

過去の研究では、TEOS を加水分解し分解温度を下げ、 Ce(OCEt2Me)4の熱分解時に発生する H<sub>2</sub>O を用いて SiO<sub>2</sub> 層を作ることで結晶化の抑制に成功した.しかし、SiO<sub>2</sub> の比誘電率は約 3.9 と非常に低いため,結晶化を抑制し つつ比誘電率を上げることが出来ないか方法を模索した.

この時膜中を調べると、界面付近において Ce と Si と O との結合による Ce-silicate がわずかながら生成され ていることが判明した.この生成物は誘電率が 24 であり, バンドギャップが 6.4eV という優れた特性を持ってい ることが報告されている.そこで H<sub>2</sub>O、H<sub>2</sub>を外部の装置 から CVD チャンバー内へ導入することで TEOS の加水 分解を促進させる,または水素還元雰囲気中での堆積を 行うことで膜中の Ce-silicate の生成量の増加を試みた.

本研究では MOCVD 法により CeO<sub>2</sub>-SiO<sub>2</sub> 複合酸化物薄 膜を形成し, 薄膜の組成および化学結合状態を X 線電 子分光(XPS)法, 電気的特性には静電容量-電圧(C-V:capacitance-voltage), 電流-電圧(I-V:current-voltage)測定 を用いて調査した.

#### 2. 実験

本研究では、 全実験を通して基板は p-type Si(100)を使 用した. 堆積前の処理として Si 基板は濃度 2 %のフッ化 水素酸(HF)を用いて自然酸化膜の除去を行った. 本研究 に用いた MOCVD 装置の概略図を図 1 に示す. 堆積条件 を表 1 に熱処理条件を表 2 に,資料条件を表 3 に示す. CeO2 原料と SiO2 原料(TEOS)の堆積サイクルを図 2 に示 す.図 2 に示すように SiO2 の原料である TEOS は 3 分 周期で 10 秒間間欠的に導入した. H2O は 1.0, 4.0sccm で連続的に導入した. また水素雰囲気中での堆積は N2 が 95%、H2が 5%の混合ガスと H2が 100%のガスをバラ ンスガスとして用いて堆積を行った。

6 つの試料は堆積後に酸素雰囲気中において 500℃で30 分間アニールを行った.



図1 MOCVD 装置概略図

基板	p型 Si(100)
堆積温度	350[°C]
堆積圧力	50[Pa]
堆積時間	15[min]
バランスガス及び	N2,H2
キャリアガス	
バランスガス流量	100[sccm]
キャリアガス流量	50,1[sccm]
(Ce, TEOS)	

表1 堆積条件

表 2 熱処理条件

温度	500[°C]
雰囲気	$O_2$
アニール時間	30[min]

表 3 資料条件

名称	CeO2 導入	TEOS 導入	H <sub>2</sub> O 導入	H2導入
TEOS-				-
3min	15[min]	10[s]/3[min]	-	
			15[min]	-
H <sub>2</sub> O-1	15[min]	10[s]/3[min]	(1sccm)	
			15[min]	-
H <sub>2</sub> O-4	15[min]	10[s]/3[min]	(4sccm)	
				H <sub>2</sub> -5%,
H <sub>2</sub> -5%	15[min]	10[s]/3[min]	-	N <sub>2</sub> -95%
H <sub>2</sub> -100%	15[min]	10[s]/3[min]	-	H <sub>2</sub> -100%



図2 堆積サイクル

#### 3. 結果と考察

(1) 薄膜の組成,深さ方向分析,化学結合状態

図 3.1 から図 3.5 に各試料の XPS の深さ方向分析を示 す.図 3.1,図 3.2 より H<sub>2</sub>O の導入量の増加によって膜中 の Si 濃度が増加したことが確認された.これはチャンバ ー外部から導入された H<sub>2</sub>O によって TEOS の加水分解が 促進されたためだと考えられる.また H<sub>2</sub>O を導入した試 料より、水素雰囲気中で堆積した試料の方が膜中の Si 濃 度が増加したことが確認された.

図 4.1 から 4.4 に各試料の Si 2s スペクトルを示す.図 中の破線, 点線は元のピークをそれぞれ SiO<sub>2</sub>(154.1eV), Silicate(153eV)にピーク分離をした線である.図より TEOS-3min の試料では SiO<sub>2</sub>:Silicate の比が 1:2 であるの に対し, H<sub>2</sub>O-1sccm の試料では 1:1.7, H<sub>2</sub>O-4sccm の試料で は 1:1 となっていることが確認された.この結果より H<sub>2</sub>O 導入量の増加が膜中の SiO<sub>2</sub> の比率を上昇させてい ることがわかる.また水素雰囲気中で堆積した試料では SiO<sub>2</sub>:Silicate の比が約 1:4 となっており、膜中の Silicate 濃度が増加したことが確認された.



図 3.1 TEOS 3 分間隔堆積膜の組成深さ方向分析



図 3.2 H<sub>2</sub>O-1sccm 堆積膜の組成深さ方向分析



図 3.3 H<sub>2</sub>O-4sccm 堆積膜の組成深さ方向分析



図 3.4 H2-5%時の堆積膜の組成深さ方向分析



図 3.5 H2-100%時の堆積膜の組成深さ方向分析



図 4.1 堆積膜中の Si 2s スペクトル(TEOS-3min)



図 4.2 堆積膜中の Si 2s スペクトル(H2O-1)



図 4.3 堆積膜中の Si 2s スペクトル(H2O-4)



図 4.4 堆積膜中の Si 2s スペクトル(H2-100%)

#### (2) 電気的特性

図 5 に各試料の I-V 測定結果を示す.低電界(0~-0.4 [MV/cm])では,SiO<sub>2</sub>のバンドギャップ(約8.9[eV])が広い ため、界面に SiO<sub>2</sub>層が存在する CeO<sub>2</sub> ソースのみを供給 した試料が他の試料より電流値が低かったと考えられる. 高電界(-0.4~-1.0 [MV/cm])では,界面の SiO<sub>2</sub>が薄くな り、トンネル効果によって電子がすりぬけてしまう.そ のため,堆積膜のバンドギャップ(CeO<sub>2</sub>:約3.2[eV], Cesilicate:約 7.7[eV])が大きい,水素雰囲気中で堆積した試料では Ce-silicate が形成され、電流値が低かったと考えられる.

表3にC-V 測定から得られた実効誘電率を示す.水素 雰囲気中で導入した試料の誘電率が23.4 であり,他の試 料の誘電率よりも高くなった.これは水素雰囲気中で堆 積した試料では界面付近のSiO2層の形成が阻害されCesilicate 化しただけでなく、膜中にも広くCe-silicate が形 成されたためであると考えられる.

また, Ce-silicate の誘電率は 24 と報告されている事例 があり[14], 今回得られた誘電率 23.4 と近い値となった.



表 4 実効誘電率
-----------

試料条件	誘電率
TEOS 3 分間隔	19.3
H <sub>2</sub> O-1sccm	22.4
H <sub>2</sub> O-4sccm	13.0
H <sub>2</sub> -5%	18.9
H <sub>2</sub> -100%	23.4

#### 4. 結論

MOCVD 法により p 型 Si(100)基板上に CeO<sub>2</sub>-SiO<sub>2</sub>複合酸化物薄膜を形成した. H<sub>2</sub>O を導入した試料では H<sub>2</sub>O の 導入によって TEOS の加水分解が促進され, 膜中の Si 濃 度を増加させることが確認できた. 増加した Si は Cesilicate の生成に寄与せず, 膜中の SiO<sub>2</sub>をさらに増加させ た.また水素雰囲気中での堆積では膜中の Ce-silicate 量が 増えていることが確認できた。これは水素雰囲気中で堆 積したことにより CeO<sub>2</sub> が還元され 3 価になり、膜中で Ce-silicate 化したのではないかと考えられる。低電界(0~ -0.4 [MV/cm])では、CeO2のみの試料が他の試料より電流 値が低く、高電界(-0.4~-1.0 [MV/cm])では、水素雰囲気 中で堆積したものの電流値が低かった.水素雰囲気中で 導入した試料の誘電率が23.4であり、他の試料の誘電率 よりも高くなった.

#### 謝辞

本研究に当たり,ご指導ご鞭撻を賜りました山本康博 名誉教授、中村俊博准教授をはじめ,研究を進めるに当 たりご協力いただいた株式会社コメットの鈴木摂様,石 橋啓次様,法政大学精密分析室のスタッフの皆様に感謝 致します.また同班の菊池健介氏並びに山本研究室の皆 様に深く御礼を申し上げ謝辞とさせていただきます.

#### 参考文献

- G. D. Wilk, R. M. Wallace, J. M. Anthony, J. Appl. Phys. 89 5243 (2001).
- A. I. Kingon, J. P. Maria, S. K. Streiffer, Nature (Lond.) 406 1032 (2000).
- H. Ohno, K. Sakurai, K. Tagui, T. Morita, S.Suzuki,
   K. Ishibashi, and Y.Yamamoto, Electrochemical and Solid-State Letters 9(3) G87-G89 (2006)
- K. Ishibashi, K. Nakamura, K. Tagui, M.Ogawa,
  K. Saitoh, S. Suzuki, and Y.Yamamoto, ECS Trans., 6 (1) 251-257 (2007)
- E. Tagui, K. Nakamura, M. Ogawa, K. Saito,
   K. Ishibashi and Y. Yamamoto, Electrochemical and Solid-State Letters 10(7) D73-D75 (2007).

- M. Suda, M. Ogawa, K. Otsuka, K.Nakamura, T. Izu, T. Morita, S. Suzuki, K.Ishibashi, M. Nakamura and Y. Yamamoto, Journal of The Electrochemical Society 157(2) D99-D102 (2010).
- N. Tada, T. Izu, T. Kitaru, H. Shimada, S.Suzuki,
  K. Ishibashi, and Y. Yamamoto, ECS Trans. 41(3) 193-199 (2011)
- Ha-Yong Lee, Sun-Il Kim, Young-Pyo Hong, Young-Cheol Lee, Young-Hwan Park and Kyung-hyun Ko, Surface and Coatings Technology 173 (2), 224-228 (2003).
- Ha-Yong Lee, Young-Cheol Lee, Young-Pyo Hong and Kyung-Hyun Ko, Applied Surface Science 228 (1), 164-168 (2004).
- Noriaki Yamada, Yukiko Oyama, Tohru Higuchi and Shu Yamaguchi, Solid State Ionics 172 (1), 293-297 (2004).
- 11) G.D. Wilk, R. M. Wallace, J. M. Anthony, j.Appl. Phys., 87 (1), pp.484-492, January (2000).
- H.Huppertz, W. L. Engl IEEE Trans. Electron Devices 26 (4) 658-662 (1979)
- A. C. Adams, VLSI Technology, 2nd ed., S. M.SZE, Editor, p. 235, McGRAW-HILL, New York (1988)
- 14) K. Kakushima, K. Okamoto, T. Koyanagi, M. Kouda, K. Tachi, T. Kawanago, J. Song, P. Ahmet, K. Tsutsui, N. Sugii, T. Hattori, H. Iwai, Microelectronic Engineering 87 (2010) 1868–1871A