

MOCVD法によるSi上Ce複合酸化物薄膜の形成 ： 界面のSiO₂層のシリケート化

Wada, Tsubasa / 和田, 翔

(出版者 / Publisher)

法政大学大学院理工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

60

(開始ページ / Start Page)

1

(終了ページ / End Page)

5

(発行年 / Year)

2019-03-31

(URL)

<https://doi.org/10.15002/00022035>

MOCVD 法による Si 上 Ce 複合酸化物薄膜の形成 — 界面の SiO₂ 層のシリケート化 —

DEPOSITION OF Ce-BASE THIN COMPOUND OXIDE FILMS ON Si SUBSTRATES BY MOCVD
— SILICATION OF INTERFACIAL SiO₂ —

和田翔

Tsubasa wada

指導教員 中村俊博 准教授

法政大学大学院理工学研究科電気電子工学専攻修士課程

The compound oxide was deposited on p-type Si (100) substrates by pyrolytic MOCVD with the intermittent introduction of TEOS (tetra ethoxy ortho silicate) for 10 sec every 3 min. We attempted to increase Ce-silicate in the film by introducing water and hydrogen. No increase in Ce-silicate was observed when water was introduced. However, when hydrogen was introduced, an increase in Ce-silicate was confirmed. For the low electric field, the lowest leakage current density appeared in the film where only TEOS was introduced during the deposition, whereas for the high electric field, the leakage current density was the lowest in the sample deposited in a hydrogen ambient. The relative dielectric constant was the largest, 23.4, in the sample deposited in the hydrogen ambient.

Key Words : high-k, MOCVD, CeO₂, SiO₂, Ce-silicate

1. 序論

近年 MOS トランジスタの微細化近年 MOS トランジスタの微細化に伴ってゲート絶縁膜を通して流れるリーク電流が問題となっている。そこで我々はリーク電流を減少させるために、従来の SiO₂(誘電率 3.9)に代わる高誘電率 (high-k) 材料に注目した。high-k 材料は誘電率が SiO₂ と比べて高いため、電気的容量を維持しつつゲート絶縁膜の物理的膜厚を増加することができる。そのため、量子効果によるリーク電流を抑制することが可能となる。[1][2] 数ある high-k 材料の中でも、CeO₂ は誘電率が 26 と高く、Si との格子不整合率が 0.35 % と小さい。そのため Si との界面特性がよく、界面準位の発生を防ぐことができるため、次世代高誘電率薄膜として期待されている。有機原料として Ce(OEt₂Me)₄ を用いて MOCVD で CeO₂ 薄膜を堆積させた。[3]-[7]しかしながら、CeO₂ は室温で多結晶化しやすく結晶粒界がリーク電流のパスになると懸念されている。[8]-[10]そこで、結晶化を抑制する方法として薄膜の中に異なった結晶構造を持つ材料を混ぜるという方法に着目し、異なった結晶構造を持つ材料として SiO₂ を選択した。SiO₂ は CeO₂ と同じ 4 価の結晶構造を持つ材料で混ぜ合わせたときに欠陥の形成を最小限にできると期待される材料である。[11] 我々は SiO₂ の

原料 (TEOS) として Si(OEt)₄, CeO₂ の原料として Ce(OEt₂Me)₄ を使用し、CeO₂-SiO₂ 複合酸化物薄膜を形成した。

過去の研究では、TEOS を加水分解し分解温度を下げ、Ce(OEt₂Me)₄ の熱分解時に発生する H₂O を用いて SiO₂ 層を作ることで結晶化の抑制に成功した。しかし、SiO₂ の比誘電率は約 3.9 と非常に低いため、結晶化を抑制しつつ比誘電率を上げることが出来ないか方法を模索した。

この時膜中を調べると、界面付近において Ce と Si と O との結合による Ce-silicate がわずかながら生成されていることが判明した。この生成物は誘電率が 24 であり、バンドギャップが 6.4eV という優れた特性を持っていることが報告されている。そこで H₂O、H₂ を外部の装置から CVD チャンバー内へ導入することで TEOS の加水分解を促進させる、または水素還元雰囲気中での堆積を行うことで膜中の Ce-silicate の生成量の増加を試みた。

本研究では MOCVD 法により CeO₂-SiO₂ 複合酸化物薄膜を形成し、薄膜の組成および化学結合状態を X 線電子分光 (XPS) 法、電気的特性には静電容量-電圧 (C-V: capacitance-voltage)、電流-電圧 (I-V: current-voltage) 測定を用いて調査した。

表 3 資料条件

名称	CeO ₂ 導入	TEOS 導入	H ₂ O 導入	H ₂ 導入
TEOS-3min	15[min]	10[s]/3[min]	-	-
H ₂ O-1	15[min]	10[s]/3[min]	15[min] (1sccm)	-
H ₂ O-4	15[min]	10[s]/3[min]	15[min] (4sccm)	-
H ₂ -5%	15[min]	10[s]/3[min]	-	H ₂ -5%, N ₂ -95%
H ₂ -100%	15[min]	10[s]/3[min]	-	H ₂ -100%

2. 実験

本研究では、全実験を通して基板は p-type Si(100) を使用した。堆積前の処理として Si 基板は濃度 2% のフッ化水素酸(HF)を用いて自然酸化膜の除去を行った。本研究に用いた MOCVD 装置の概略図を図 1 に示す。堆積条件を表 1 に熱処理条件を表 2 に、資料条件を表 3 に示す。CeO₂ 原料と SiO₂ 原料(TEOS)の堆積サイクルを図 2 に示す。図 2 に示すように SiO₂ の原料である TEOS は 3 分周期で 10 秒間欠的に導入した。H₂O は 1.0, 4.0sccm で連続的に導入した。また水素雰囲気中での堆積は N₂ が 95%、H₂ が 5% の混合ガスと H₂ が 100% のガスをバランスガスとして用いて堆積を行った。

6 つの試料は堆積後に酸素雰囲気中において 500℃で 30 分間アニールを行った。

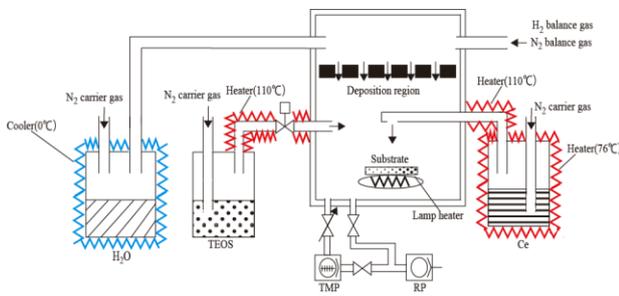


図 1 MOCVD 装置概略図

表 1 堆積条件

基板	p 型 Si(100)
堆積温度	350[°C]
堆積圧力	50[Pa]
堆積時間	15[min]
バランスガス及び キャリアガス	N ₂ , H ₂
バランスガス流量	100[sccm]
キャリアガス流量 (Ce, TEOS)	50, 1[sccm]

表 2 熱処理条件

温度	500[°C]
雰囲気	O ₂
アニール時間	30[min]

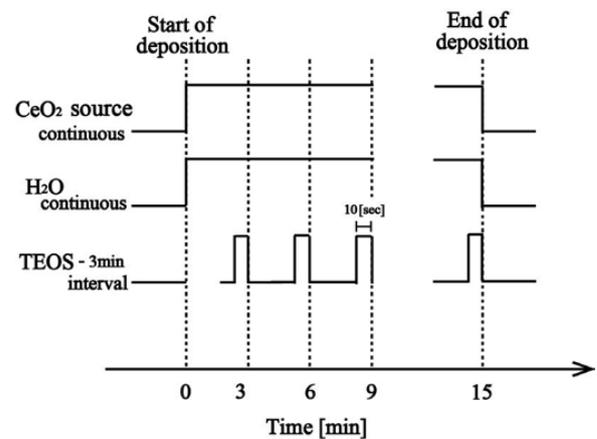


図 2 堆積サイクル

3. 結果と考察

(1) 薄膜の組成, 深さ方向分析, 化学結合状態

図 3.1 から図 3.5 に各試料の XPS の深さ方向分析を示す。図 3.1, 図 3.2 より H₂O の導入量の増加によって膜中の Si 濃度が増加したことが確認された。これはチャンパー外部から導入された H₂O によって TEOS の加水分解が促進されたためだと考えられる。また H₂O を導入した試料より、水素雰囲気中で堆積した試料の方が膜中の Si 濃度が増加したことが確認された。

図 4.1 から 4.4 に各試料の Si 2s スペクトルを示す。図中の破線, 点線は元のピークをそれぞれ SiO₂(154.1eV), Silicate(153eV)にピーク分離をした線である。図より TEOS-3min の試料では SiO₂:Silicate の比が 1:2 であるのに対し, H₂O-1sccm の試料では 1:1.7, H₂O-4sccm の試料では 1:1 となっていることが確認された。この結果より H₂O 導入量の増加が膜中の SiO₂ の比率を上昇させていることがわかる。また水素雰囲気中で堆積した試料では SiO₂:Silicate の比が約 1:4 となっており、膜中の Silicate 濃度が増加したことが確認された。

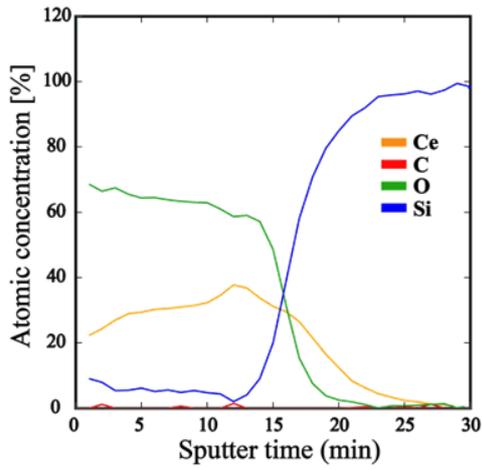


図 3.1 TEOS 3 分間隔堆積膜の組成深さ方向分析

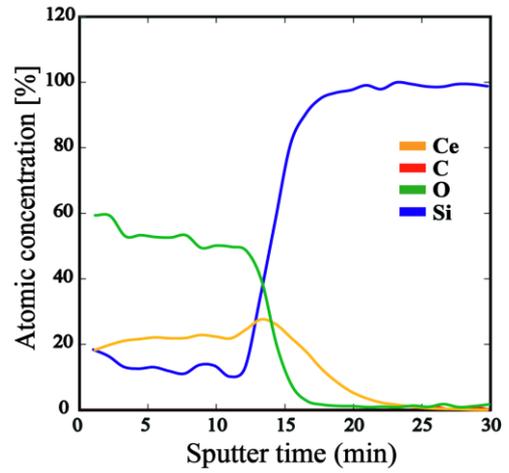


図 3.4 H₂-5%時の堆積膜の組成深さ方向分析

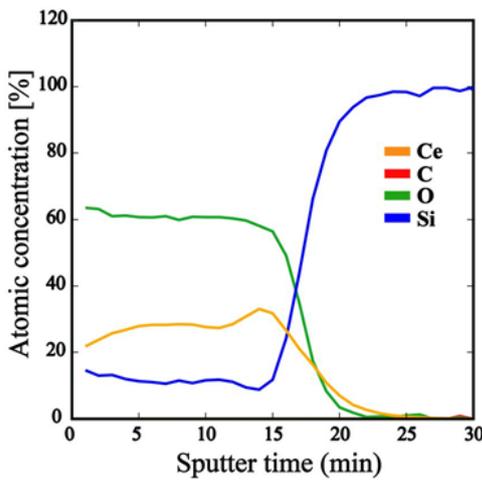


図 3.2 H₂O-1sccm 堆積膜の組成深さ方向分析

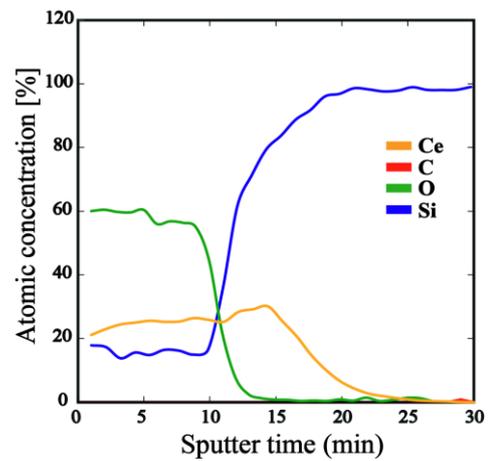


図 3.5 H₂-100%時の堆積膜の組成深さ方向分析

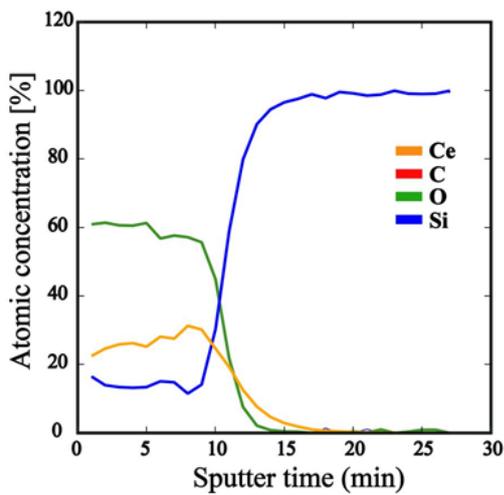


図 3.3 H₂O-4sccm 堆積膜の組成深さ方向分析

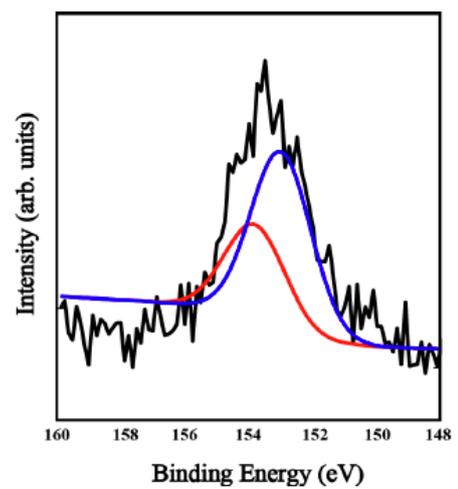


図 4.1 堆積膜中の Si 2s スペクトル(TEOS-3min)

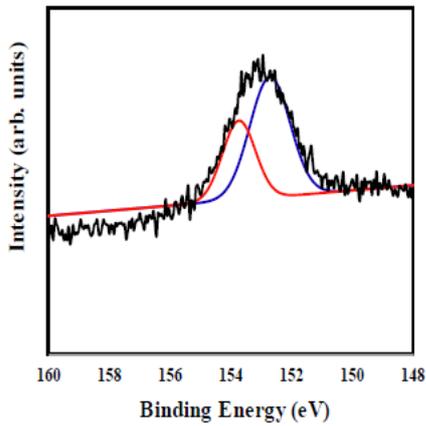


図 4.2 堆積膜中の Si 2s スペクトル(H₂O-1)

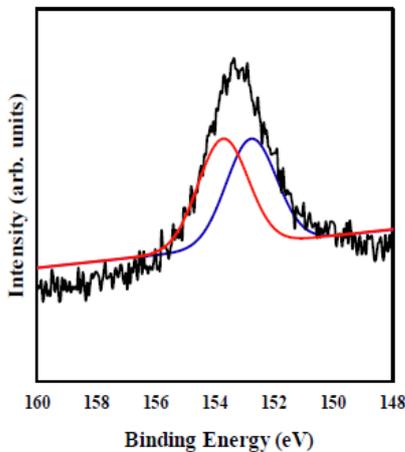


図 4.3 堆積膜中の Si 2s スペクトル(H₂O-4)

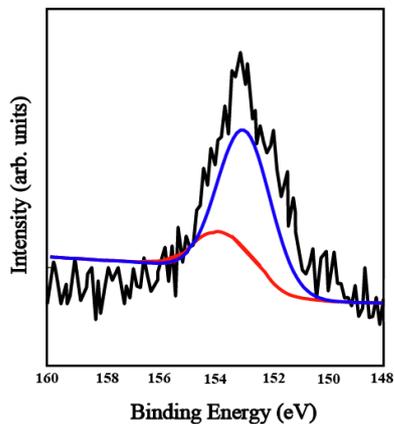


図 4.4 堆積膜中の Si 2s スペクトル(H₂-100%)

(2) 電気的特性

図 5 に各試料の I-V 測定結果を示す。低電界(0 ~ -0.4 [MV/cm])では、SiO₂ のバンドギャップ(約 8.9 [eV])が広い
ため、界面に SiO₂ 層が存在する CeO₂ ソースのみを供給した試料が他の試料より電流値が低かったと考えられる。
高電界(-0.4 ~ -1.0 [MV/cm])では、界面の SiO₂ が薄くなり、トンネル効果によって電子がすりぬけてしまう。そのため、堆積膜のバンドギャップ(CeO₂:約 3.2[eV], Ce-

silicate:約 7.7[eV])が大きい、水素雰囲気中で堆積した試料では Ce-silicate が形成され、電流値が低かったと考えられる。

表 3 に C-V 測定から得られた実効誘電率を示す。水素雰囲気中で導入した試料の誘電率が 23.4 であり、他の試料の誘電率よりも高くなった。これは水素雰囲気中で堆積した試料では界面付近の SiO₂ 層の形成が阻害され Ce-silicate 化しただけでなく、膜中にも広く Ce-silicate が形成されたためであると考えられる。

また、Ce-silicate の誘電率は 24 と報告されている事例があり [14], 今回得られた誘電率 23.4 と近い値となった。

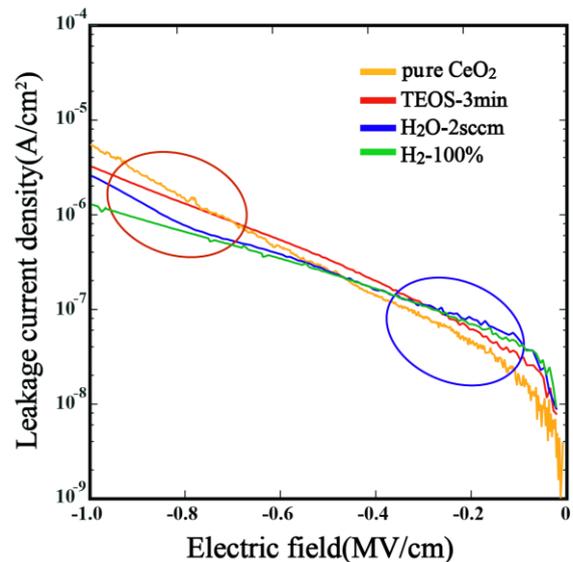


図 5 堆積膜の I-V 特性

表 4 実効誘電率

試料条件	誘電率
TEOS 3 分間隔	19.3
H ₂ O-1sccm	22.4
H ₂ O-4sccm	13.0
H ₂ -5%	18.9
H ₂ -100%	23.4

4. 結論

MOCVD 法により p 型 Si(100)基板上に CeO₂-SiO₂ 複合酸化物薄膜を形成した。H₂O を導入した試料では H₂O の導入によって TEOS の加水分解が促進され、膜中の Si 濃度を増加させることが確認できた。増加した Si は Ce-silicate の生成に寄与せず、膜中の SiO₂ をさらに増加させた。また水素雰囲気中での堆積では膜中の Ce-silicate 量が増えていることが確認できた。これは水素雰囲気中で堆積したことにより CeO₂ が還元され 3 価になり、膜中で Ce-silicate 化したのではないかと考えられる。低電界(0 ~

-0.4 [MV/cm])では, CeO₂のみの試料が他の試料より電流値が低く, 高電界(-0.4~-1.0 [MV/cm]) では, 水素雰囲気中で堆積したものの電流値が低かった. 水素雰囲気中で導入した試料の誘電率が 23.4 であり, 他の試料の誘電率よりも高くなった.

謝辞

本研究に当たり, ご指導ご鞭撻を賜りました山本康博名誉教授、中村俊博准教授をはじめ, 研究を進めるに当たりご協力いただいた株式会社コメットの鈴木撰様, 石橋啓次様, 法政大学精密分析室のスタッフの皆様に感謝致します. また同班の菊池健介氏並びに山本研究室の皆様に深く御礼を申し上げ謝辞とさせていただきます.

参考文献

- 1) G. D. Wilk, R. M. Wallace, J. M. Anthony, J. Appl. Phys. 89 5243 (2001).
- 2) A. I. Kingon, J. P. Maria, S. K. Streiffer, Nature (Lond.) 406 1032 (2000).
- 3) H. Ohno, K. Sakurai, K. Tagui, T. Morita, S. Suzuki, K. Ishibashi, and Y. Yamamoto, Electrochemical and Solid-State Letters 9(3) G87-G89 (2006)
- 4) K. Ishibashi, K. Nakamura, K. Tagui, M. Ogawa, K. Saitoh, S. Suzuki, and Y. Yamamoto, ECS Trans., 6 (1) 251-257 (2007)
- 5) E. Tagui, K. Nakamura, M. Ogawa, K. Saito, K. Ishibashi and Y. Yamamoto, Electrochemical and Solid-State Letters 10(7) D73-D75 (2007).
- 6) M. Suda, M. Ogawa, K. Otsuka, K. Nakamura, T. Izu, T. Morita, S. Suzuki, K. Ishibashi, M. Nakamura and Y. Yamamoto, Journal of The Electrochemical Society 157(2) D99-D102 (2010).
- 7) N. Tada, T. Izu, T. Kitaru, H. Shimada, S. Suzuki, K. Ishibashi, and Y. Yamamoto, ECS Trans. 41(3) 193-199 (2011)
- 8) Ha-Yong Lee, Sun-Il Kim, Young-Pyo Hong, Young-Cheol Lee, Young-Hwan Park and Kyung-hyun Ko, Surface and Coatings Technology 173 (2), 224-228 (2003).
- 9) Ha-Yong Lee, Young-Cheol Lee, Young-Pyo Hong and Kyung-Hyun Ko, Applied Surface Science 228 (1), 164-168 (2004).
- 10) Noriaki Yamada, Yukiko Oyama, Tohru Higuchi and Shu Yamaguchi, Solid State Ionics 172 (1), 293-297 (2004).
- 11) G.D. Wilk, R. M. Wallace, J. M. Anthony, J. Appl. Phys., 87 (1), pp.484-492, January (2000).
- 12) H. Huppertz, W. L. Engl IEEE Trans. Electron Devices 26 (4) 658-662 (1979)
- 13) A. C. Adams, VLSI Technology, 2nd ed., S. M. SZE, Editor, p. 235, McGRAW-HILL, New York (1988)
- 14) K. Kakushima, K. Okamoto, T. Koyanagi, M. Kouda, K. Tachi, T. Kawanago, J. Song, P. Ahmet, K. Tsutsui, N. Sugii, T. Hattori, H. Iwai, Microelectronic Engineering 87 (2010) 1868-1871A