

# デジタル直接駆動スピーカーシステムにおける出力ドライバの非線形性補償回路の提案

野網, 真伍 / Noami, Shingo

---

(出版者 / Publisher)

法政大学大学院理工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

60

(開始ページ / Start Page)

1

(終了ページ / End Page)

7

(発行年 / Year)

2019-03-31

(URL)

<https://doi.org/10.15002/00022026>

# デジタル直接駆動スピーカシステムにおける 出力ドライバの非線形性補償回路の提案

PROPOSAL OF NONLINEARITY COMPENSATION CIRCUIT  
FOR DRIVER OF DIGITAL DIRECT-DRIVEN SPEAKER SYSTEM

野網真伍

Shingo Noami

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

We propose compensation circuits to reduce noise caused by nonlinearly influence on driver circuit used for digital direct-driven speaker system. The proposed architecture suppresses the mismatch effect of the driver circuit when segmented pulse shaping technique. It achieves to improve the stability of the whole system and reduce out band quantization noise by about 10 dB. Also, when implemented in field programmable gate array, the number of look-up table uses is reduced by 49% and flip-flop usage by 24% than a conventional approach.

**Key Words** : *digital direct-driven speaker, delta-sigma modulator, noise shaping dynamic element matching method, segmented pulse shaping technique, nonlinearity*

## 1. はじめに

近年、半導体プロセスの微細化に伴い、デジタルオーディオの普及が進んできている。それに伴い、オーディオシステムでは高効率、低消費電力、小面積であることが要求されている。これらの要求に答えるため、 $\Delta\Sigma$  DAC、D級アンプ等が主流として用いられている。さらに、高電圧のアンプを用いず、スピーカを低電圧、大出力で駆動できるデジタル直接駆動スピーカシステム(DDSP)が研究されている[1][2][3]。

このシステムではスピーカを駆動するためのドライバ回路として、ハーフブリッジ回路を用いる2値駆動、Hブリッジ回路を用いる3値駆動が存在する。これらドライバ回路の問題点として、用いられるMOSFETスイッチ間の製造誤差によって、特性劣化が生じてしまう問題点がある[4]。

オーディオデータを量子化する際、分解能を上げれば、システムの更なる高精度化を実現できるが、このシステムでは温度計コードのビット数に応じて回路規模が大幅に増加し、駆動するスピーカ数が増える欠点がある。これらの問題を解決するため、複数のビットを単一のスピーカで駆動するセグメントパルスシェーピング技術(SPST)が提案されている[5]。これは、多ビットの温度計コードを1ビットのPDM信号に変換するシステムで、スピーカの使用個数を増やさず、分解能を増やせる特徴

がある。またSPSTを用いた回路規模の削減手法が提案されている[6]。これは、スピーカの製造誤差によるノイズにシェーピングをかけるノイズシェーピングダイナミックエレメントマッチング法(NSDEM)を振幅方向、時間方向に分割して使用することで、回路規模の削減を実現している。

SPSTを適用させた際、各スピーカを時間方向に別々にシャッフリングすると、パルスの位相がバラバラになってしまい、振幅の変動が激しくなり、高周波ノイズが増加する問題点がある。

本研究では、スピーカの非線形性による特性劣化を改善するシステムを2つ提案する。

1つ目のシステムは、Hブリッジ回路を用いた3値駆動を用いた際のドライバのMOSFETスイッチ間のミスマッチによるノイズに対してシェーピングをかける回路を導入することで特性劣化の改善をする。

2つ目のシステムは、SPSTを用いた際のパルスの位相変調を抑え、高周波ノイズを削減しつつ、従来手法より更に回路規模を削減した回路システムの提案をし、その有効性を検証する。

本紀要では、SPSTを用いた際のパルスの位相変調を抑え、高周波ノイズを削減しつつ、従来手法より更に回路規模を削減した回路システムについて記載する。

## 2. 従来手法

### (1) デジタル直接駆動スピーカーシステム(DDSP)

図1にデジタル直接駆動スピーカーシステム(DDSP)の全体図を示す。このシステムはマルチレベルの $\Delta\Sigma$ 変調器(DSM)で入力されたオーディオデータを再量子化し、多ビットの温度計コードとして出力し、各ビットに対応するスピーカーを並列駆動する。この際、各スピーカーの製造誤差によるノイズに対してNSDEMを用いてノイズシェーピングをかける[7]。このシステムはDSMの高分解能を実現できるため、低オーバーサンプリング比(OSR)であっても、高SNRを実現できる特徴がある。

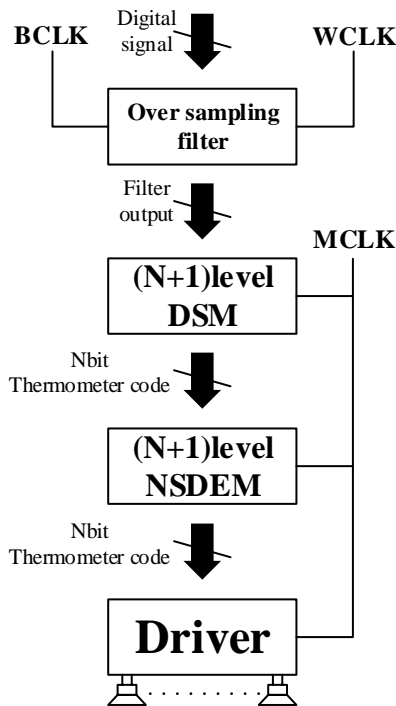


図1 デジタル直接駆動スピーカーシステム

### (2) セグメントパルスシェーピング技術 (SPST)

デジタル直接駆動スピーカーシステムにおいて、 $\Delta\Sigma$ 変調器の分解能を上げることでシステムの更なる高SNR化が図れるが、出力される温度計コードのビット数が増えてしまい、必要になるスピーカー数が増えてしまう。この問題を解決するために、セグメントパルスシェーピング技術 (SPST) が提案されている[5]。図2にSPSTの全体図を示す。この回路では、多ビットの温度計コードを1ビットのPDM信号に変換することでスピーカーの使用個数を増やさず、温度計コードのビット数を増やすことができる。図2では4ビットの信号を1ビットのPDM信号に変換している。入力信号はサンプリング周波数 $f_s$ でサンプリングされ、波形合成時、0~4の振幅をもつ信号となっている。この入力信号を $4 \times f_s$ のサンプリング周波数でパラレル-シリアル変換し、サンプリング周波数 $4f_s$ のPDM信号に変換することで、振幅方向の情報をパルスの密度で表現している。

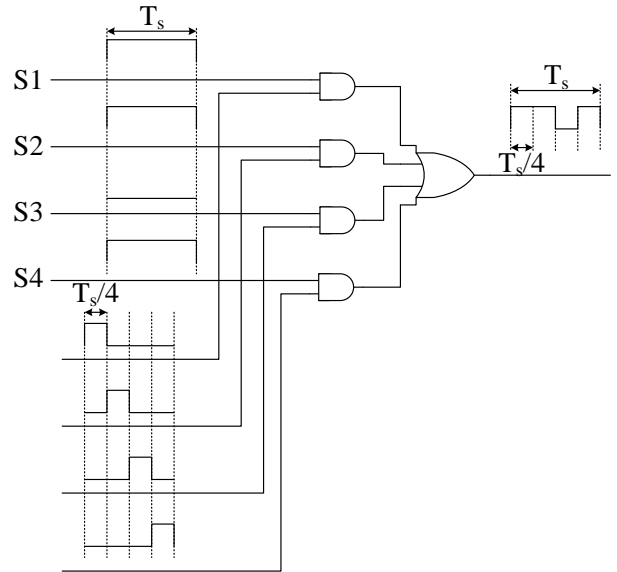


図2 セグメントパルスシェーピング技術

また、温度計コードの出力ビット数が増加すると、NSDEMのレベル数が増加する。式にNSDEMのハードウェア規模を表す式を示す[8]。

$$N_{nsdem}(N) = \frac{1}{4} N(\log N + 1) \log N + NM \quad (1)$$

$N$  : セレクトする要素数  $M$  : ループフィルタ次数

この式より、入力されるレベル数が増加すると、NSDEMの回路規模が大幅に増大することがわかる。そのため、SPSTを用いてNSDEMの回路規模を削減する手法が提案されている[6]。図3にSPSTを用いた回路規模削減手法を示す。このシステムは、温度計コードを振幅方向と時間方向それぞれにシャッフルするようにNSDEMを分割することで、回路規模を削減する。

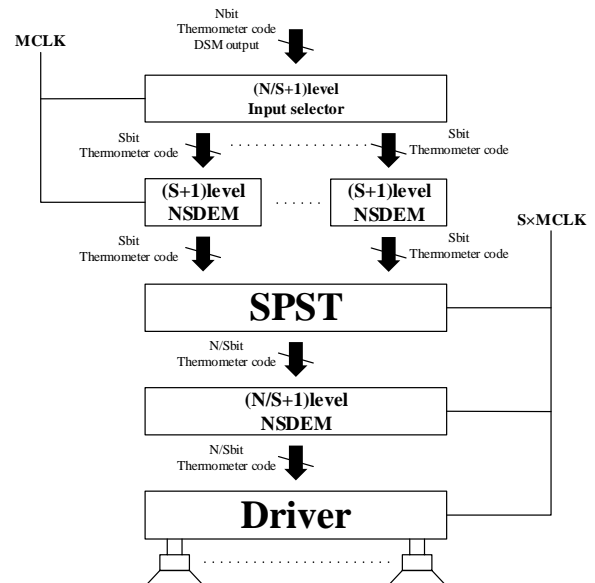


図3 SPSTを用いた回路規模を削減手法

### (3) パルスパターンの固定化によるノイズ

SPST を用いて 1 ビットの PDM 信号に変換する際、パルスのパターンが一定に固定されると、ノイズフロアが増加してしまう。図 4 に DSM の出力をそのまま SPST に接続した場合、NSDEM の後段に SPST を接続した場合の高速フーリエ変換(FFT)解析結果を示す。図 4 のようにパルスパターンが一定に固定されると、ノイズフロアが上昇してしまう。

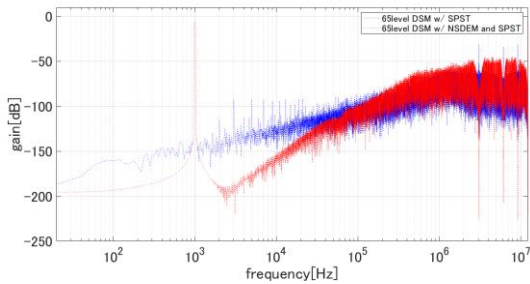


図 4 SPST の特性

これは、パルスパターンが固定されると、入力レベルに応じて、パルスの位相がずれてしまうことが原因だと考えられる。図 5 に入力レベルに応じたパルスパターンを示す。図 5 の(a)のようにパルスパターンが固定されると、位相の中心点に対して、パルスが対称になっていないことがわかる。この結果、サンプリング間隔がランダムな PWM 信号が出力されてしまうように見えてしまう[9]。図 5 の(b)のようにパルスパターンがシャッフリングされると同じ入力レベルでもパルスパターンが複数に分かれる。これらのパルスパターンを使用頻度の少ない順番から使用することで、等価的に位相の中心点にパルスを合わせることができる。そのため、図 4 のようにパルスの位相のズレによるノイズにシェーピングをかけることができる。

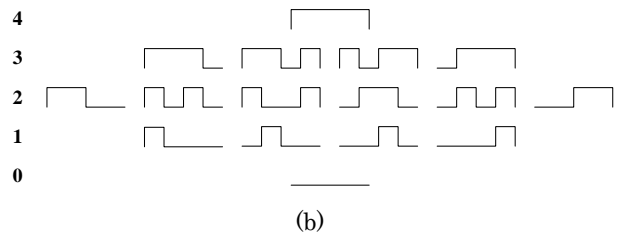
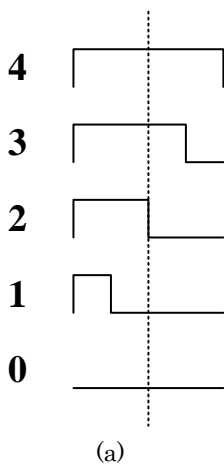


図 5 入力レベルに応じたパルスパターン  
(a)パルスパターン固定時 (b)パルスパターンシャッフリング時

### (4) SPST を用いた際の振幅変動増加問題

SPST を用いたシステムの問題点として、出力の振幅変動が大きくなり、高周波のノイズ成分が増加することが挙げられる。図 6 に DSM の出力をそのまま SPST に接続した場合、NSDEM の後段に SPST を接続した場合の時間解析結果を示す。図 6 のように NSDEM の後段に SPST を接続すると、振幅変動が大きくなっている。これは、各スピーカーを時間方向に別々にシャッフリングすると、パルスの位相がバラバラになってしまい、位相変調がかかってしまうように見えてしまうことが原因だと考えられる。そのため、振幅方向のスピーカーの使用個数を保存したまま、時間方向のシャッフリングする必要がある。

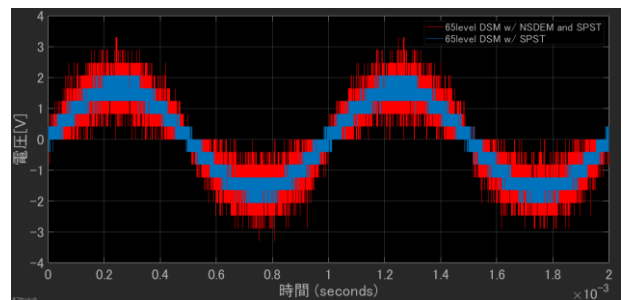


図 6 SPST を用いた際の振幅変動の比較

## 3. SPST を用いた際の位相変調抑制、回路規模の更なる削減

### (1) 提案手法

#### a) パルスパターンシャッフリング型 NSDEM

図 7 にパルスパターン型シャッフリング NSDEM を示す。この際、信号処理は下記のように行う。

- ①温度計コードを LSB 側のスピーカーの S1~S4 が埋まるように配置する。この際 S1~S4 をそれぞれ群としてとらえる。
- ②S1~S4 でそれぞれ使用するスピーカーの個数をバイナリコードにエンコードして出力する。
- ③ソート、セクタ回路によって、S1~S4 のバイナリコードをスピーカーの使用頻度の少ないステージから優先的に使用するように並び替える。
- ④セクタ回路の出力を積分器にフィードバックし、各

ステージで使用したスピーカー個数を記憶する。

⑤セクタ回路のバイナリコード出力を温度計コードにデコードして出力する。

このように、各スピーカーのパルスの位相を合わせつつ、パルスパターンシャッフリングを行うことで、振幅変動を抑制し、高周波ノイズを削減することができる。

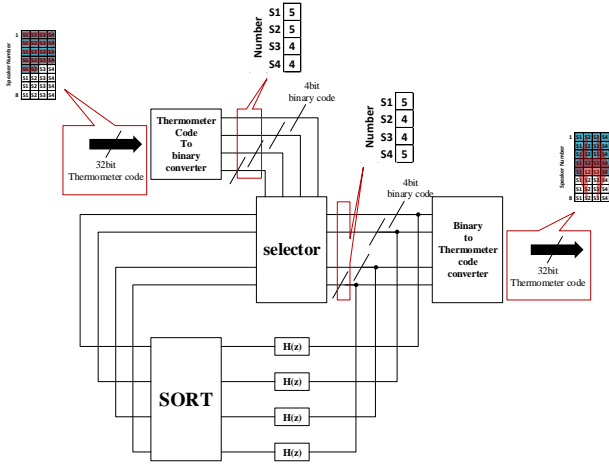


図7 パルスパターンシャッフリング型 NSDEM

b) システム全体図

図8、9にシステム全体図、信号処理過程を示す。提案手法では DSM の出力に前述したパルスパターンシャッフリング型 NSDEM、SPST、サンプリング周波数 4fs の NSDEM を接続する。提案手法では、まず、パルスパターンシャッフリング型 NSDEM で S1~S4 をそれぞれ群にしてシャッフリングを行う。これによって、各パルスの位相を合わせつつ、パルスパターンシャッフリングを行う。その後、(N/S+1)level の NSDEM で S1~S4 の群をそれぞれ振幅方向にシャッフリングを行う。

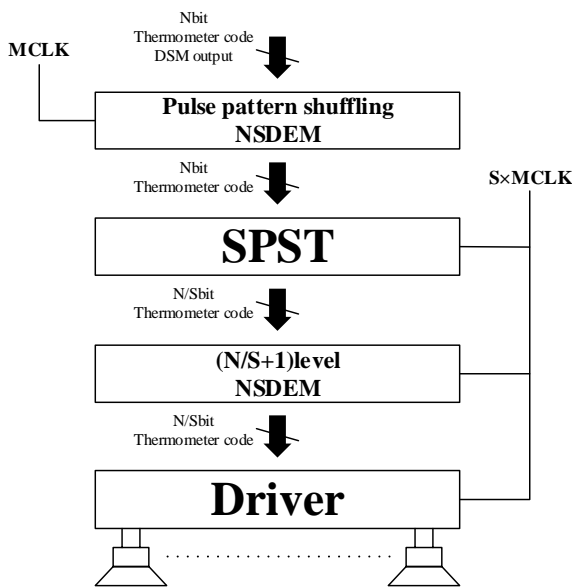
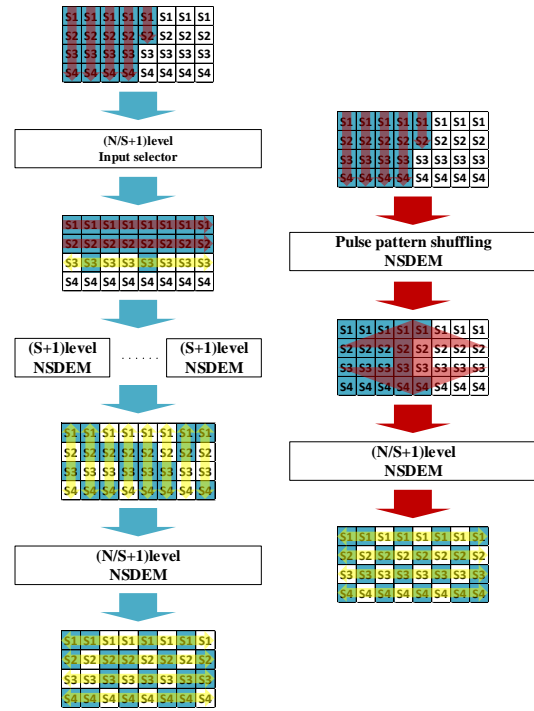


図8 提案手法のシステム全体図



(a) (b)

図9 信号処理過程

(a)従来手法 (b)提案手法

(2) シミュレーション

a) シミュレーション条件

MATLAB/simulink を用いて、DDSP を設計してシミュレーションを行った。表1にシミュレーション条件を示す。サンプリング周波数は、SPST 前段までは 3.072MHz、SPST 後段からは、12.288MHz とした。FFT のポイント数は 614400 とし、20~12.288MHz までを FFT 解析した。入力信号は 1kHz のサイン波とし、レベルは -60、-6、-0.4dBFS とした。スピーカーの mismatches は 10% を想定した。

表1 シミュレーション条件

サンプリング周波数	3.072MHz(SPST 前段) 12.288MHz(SPST 後段)
OSR	64(SPST 前段) 256(SPST 後段)
FFT ポイント数	614400
入力周波数	1kHz
入力レベル	-60,-6,-0.4dBFS
スピーカー mismatches	10%

b) MATLAB を用いた高速フーリエ変換 (FFT) 解析結果

図10~12に MATLAB を用いて FFT 解析を行った結果を示す。図10より、従来手法に比べ、シェーピング特性の改善を確認できた。図11、12よりシェーピングされたノイズ全体が、5~10dB 削減できていることが確認

できた。

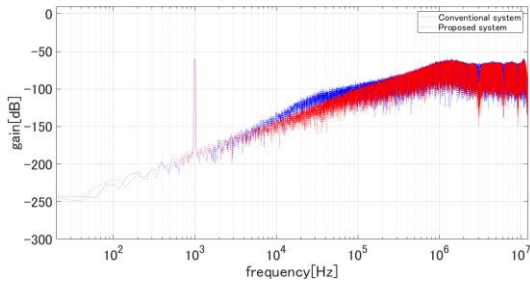


図 1 0 FFT 解析結果(入力：-60dBFs)

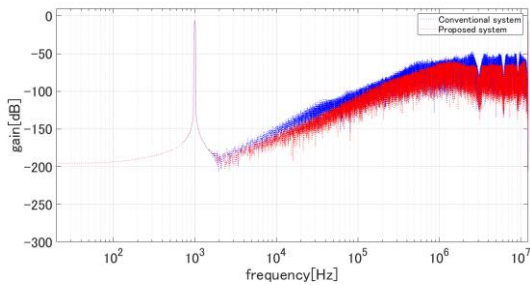


図 1 1 FFT 解析結果(入力：-6dBFs)

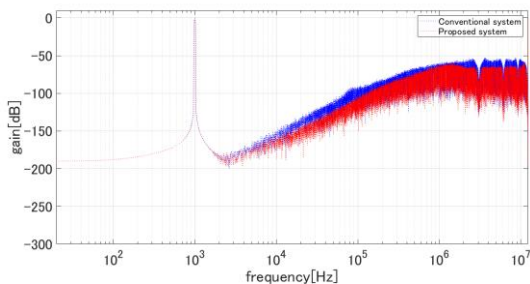


図 1 2 FFT 解析結果(入力：-0.4dBFs)

c) MATLAB を用いた時間解析結果

図 1 3 ~ 1 5 に MATLAB を用いて時間解析を行った結果を示す。図 1 3 ~ 1 5 より、従来手法に比べ振幅変動が抑えられていることが確認できた。

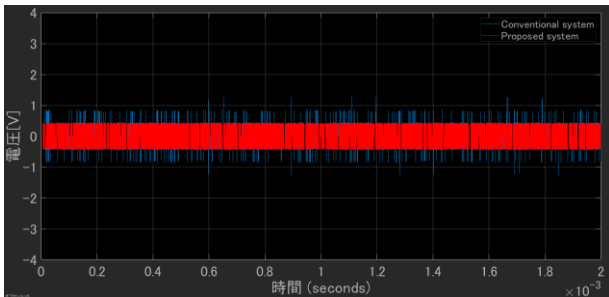


図 1 3 時間解析結果(入力：-60dBFs)

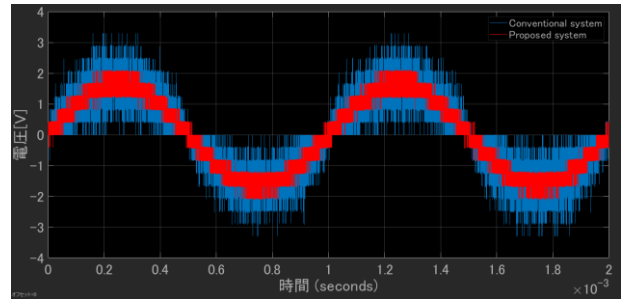


図 1 4 時間解析結果(入力：-6dBFs)

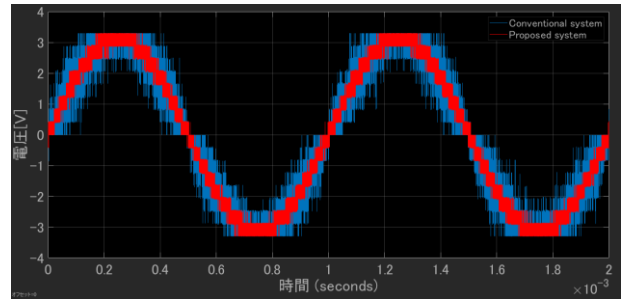


図 1 5 時間解析結果(入力：-0.4dBFs)

(3) オーディオアナライザを用いた実測結果

a) 測定環境

図 1 6、1 7 に実測をした際の測定環境、FPGA に実装したシステムを示す。測定にはオーディオアナライザ、評価基板を用いた。評価基板上には FPGA、ドライバ回路、加算回路を搭載し、FPGA にオーバーサンプリングフィルタ、図 1 7 の(a)、(b)の従来システム及び提案システムを実装した。従来手法は[6]で提案されていたシステム、提案手法はパルスパターンシャプニング型 NSDEM を用いたシステムとなっている。電源電圧として、FPGA、ドライバ回路には 3.3V、加算回路には  $\pm 15V$  を供給した。FPGA にはシステムクロックとして、3.072MHz、12.288MHz を供給し、SPST 前段までを 3.072MHz、SPST 後段以降は 12.288MHz で駆動した。また、ドライバ回路は 12.288MHz のクロックでラッチを行った。オーディオアナライザからは I<sup>2</sup>S 信号を FPGA に入力し、信号処理を行ったあと、ドライバ回路を通して加算回路に入力される。加算回路では各ビットの信号を加算し、オーディオアナライザに出力して、解析を行う。

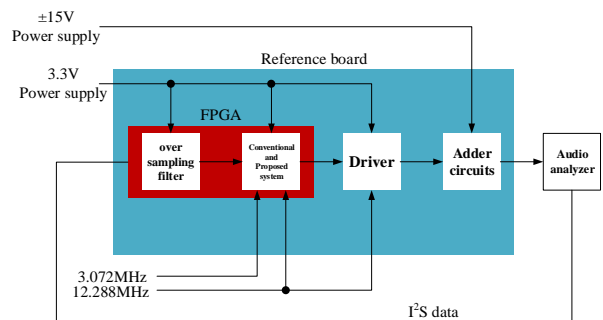


図 1 6 測定環境

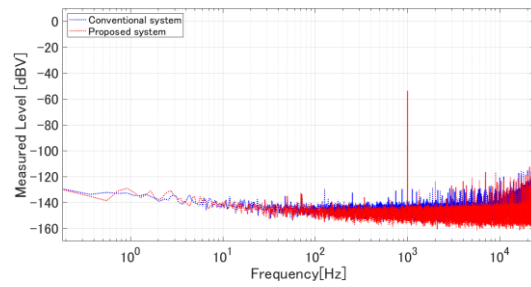
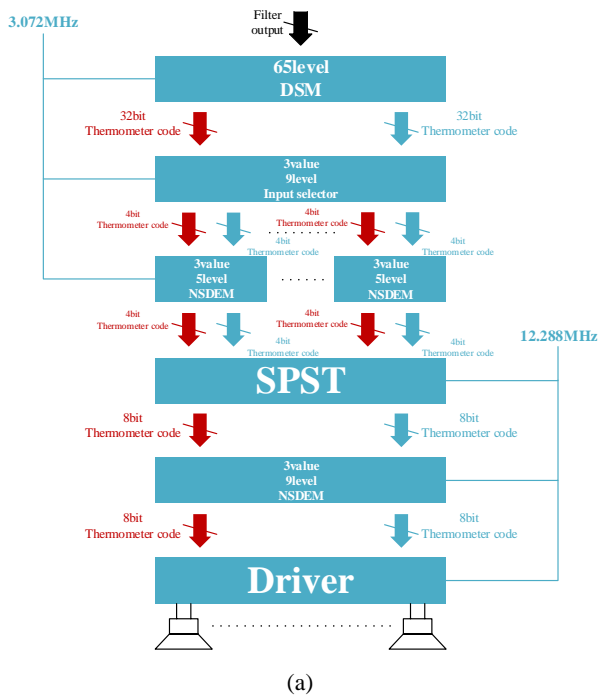


図 1 8 FFT 解析結果(入力: -60dBFs)

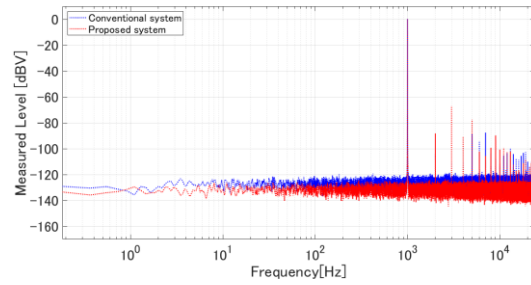


図 1 9 FFT 解析結果(入力: -6dBFs)

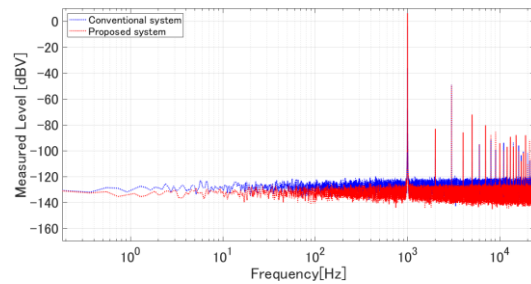


図 2 0 FFT 解析結果(入力: 0dBFs)

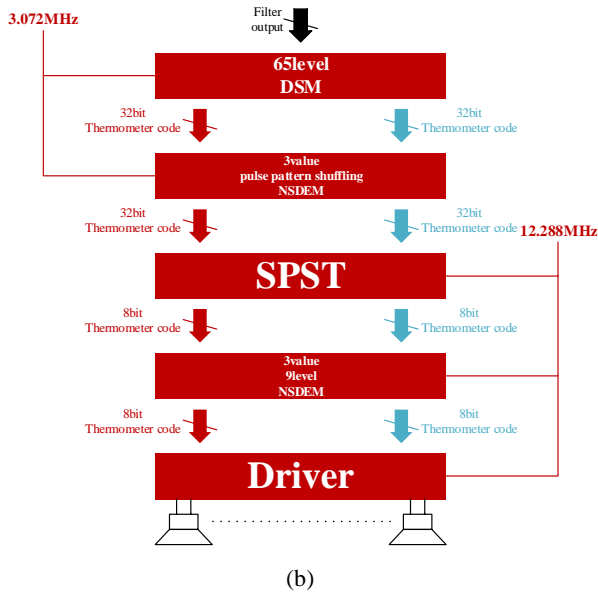


図 1 7 実装システム  
(a)従来手法 (b)提案手法

b) FFT 解析結果

図 1 8 ~ 2 0 に -60、-6、0dBFs の 1kHz のサイン波を入力した際の FFT 解析結果を示す。図 1 8 ~ 2 0 より、従来手法に比べ、提案手法ではノイズフロア、高調波の低減が確認できた。

c) 全高調波歪+ノイズ (THD+N)

図 2 1 に入力対 THD+N の実測結果を示す。従来手法に比べ、提案手法は小信号時の THD+N の低減が確認できた。

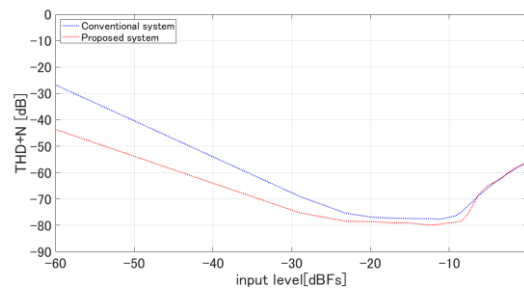


図 2 1 入力対 THD+N

d) 信号対雑音比 (SNR)

図 2 2 に入力対 SNR の実測結果を示す。従来手法に比べ、提案手法は SNR が約 3dB 上昇した。

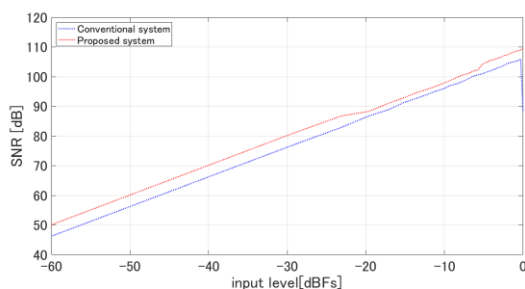


図 2 2 入力対 SNR

#### e) FPGA 実装時のリソース使用率

表 2 に FPGA 実装時のリソースの使用率を示す。表 2 より、従来手法に比べ、提案手法はルックアップテーブル (LUT) の使用率が 49.0%、フリップフロップ (FF) の使用率が 24.1%削減できた。

表 2 FPGA のリソース使用率

Resource	Utilization	
	Conventional	Proposed
LUT	9713	4952
LUTRAM	1	1
FF	3815	2895
DSP	2	2
IO	20	20
BUFG	4	4

#### 4. まとめ

SPST を用いた際の各スピーカークのパルスの位相変調によって生じる振幅変動を抑え、回路規模を更に削減するシステムを提案した。主な手法として、新たにパルスパターンシャッピング型 NSDEM を用いて、各スピーカークのパルスの位相を合わせつつ、パルスパターンをシャッピングするようにした。シミュレーション結果から、従来手法に比べ、高周波ノイズを約 10dB 削減することを確認した。また、FPGA を用いて従来手法と提案手法のシステムを実装し特性比較を行った。実測結果から、従来手法に比べ、FPGA の LUT の使用率が 49.0%、FF の使用率が 24.1%削減できた。また、FFT 解析においてノイズフロアの低減を確認できた。THD+N 測定では、小信号時において、特性の改善を確認できた。SNR 測定では、約 3dB の特性の改善を確認できた。

#### 謝辞

本研究を進めるに当たって、ご指導を戴いた法政大学理工学部電気電子工学科安田彰教授には深く感謝いたします。

また、日頃、有意義なアドバイスを下さり、実験等でご助力を戴いた安田研究室の皆様には感謝の意を表します。

#### 参考文献

- 1) M. Yoshino, M. Iwaide, D. Kuniyoshi, H. Ohtani, A. Yasuda, and J. Okamura, "A novel audio playback chip using digitally driven speaker architecture with 80% @-10dBFS power efficiency, 5.5W@3.3V supply and 100dB SNR," IEEE Custom Integrated Circuit Conf., San Francisco, CA, USA, 2011.
- 2) M. Yashiro, M. Iwaide, A. Yasuda, M. Yoshino, K. Yokota, Y. Moriyasu, K. Sakuda, and F. Nashima, "Digitally driven speaker system using direct digital spread spectrum technology to reduce EMI noise" Audio Engineering Society 133rd Convention, San Francisco, CA, USA, No. 8726, 2012, Oct.
- 3) H. Ohtani, A. Yasuda, K. Tsuihiji, R. Suzuki, D. Kuniyoshi, and J. Okamura, "A novel Universal-Serial-Bus-Powered digitally driven speaker system with low power dissipation and high fidelity", Audio Engineering Society 129th Convention, Arreys, No. 8236, 2010 Nov.
- 4) K. Nguyen, A. Bandyopadhyay, B. Adams, K. Sweetland, and P. Baginski, "A 108 dB SNR, 1.1 mW Oversampling Audio DAC With A Three-level DEM Technique", IEEE Journal of Solid-State Circuits, vol. 43, no. 12, pp. 2592-2600, Dec. 2008.
- 5) G. Harumi, S. Saikatsu, M. Yoshino, and A. Yasuda, "Digital direct-driven speaker architecture using segmented pulse shaping technique", IEEE NEW Circuits and Systems Conf., Vancouver, Canada, 2016.
- 6) S. Noami, S. Saikatsu, A. Yasuda, "A Reduction of Circuit Size of Digital Direct-Driven Speaker Architecture Using Segmented Pulse Shaping Technique", IEEE International Workshop on Signal Processing Systems, Lorient, France, 2017.
- 7) A. Yasuda, H. Tanimoto, and T. Lida, "A third-order modulator using second-order noise-shaping dynamic element matching," IEEE J. Solidstate Circuits, vol. 33, pp. 1879-1886 (1998 December).
- 8) 安田 彰.  $\Delta \Sigma$  変調技術を用いた素子バラツキにロバストなアナログ/デジタル混載回路に関する研究. 法政大学, 2000, 博士論文.
- 9) 高山強之, 田中吉一, 広田豊 (1990). MASH1bit DAC の PWM(パルス幅変調)部分の解析とデバイスの特徴 ラジオ技術, **44**, 12, 162-168.