法政大学学術機関リポジトリ HOSEI UNIVERSITY REPOSITORY

PDF issue: 2024-12-26

デジタル直接駆動スピーカーシステムにおけ る出力ドライバの非線形性補償回路の提案

野網, 真伍 / Noami, Shingo

(出版者 / Publisher)
法政大学大学院理工学研究科
(雑誌名 / Journal or Publication Title)
法政大学大学院紀要.理工学・工学研究科編
(巻 / Volume)
60
(開始ページ / Start Page)
1
(終了ページ / End Page)
7
(発行年 / Year)
2019-03-31
(URL)
https://doi.org/10.15002/00022026

デジタル直接駆動スピーカーシステムにおける 出カドライバの非線形性補償回路の提案

PROPOSAL OF NONLINEARITY COMPENSATION CIRCUIT FOR DRIVER OF DIGITAL DIRECT-DRIVEN SPEAKER SYSTEM

野網真伍

Shingo Noami 指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

We propose compensation circuits to reduce noise caused by nonlinearly influence on driver circuit used for digital direct-driven speaker system. The proposed architecture suppresses the mismatch effect of the driver circuit when segmented pulse shaping technique. It achieves to improve the stability of the whole system and reduce out band quantization noise by about 10 dB. Also, when implemented in field programmable gate array, the number of look-up table uses is reduced by 49% and flip-flop usage by 24% than a conventional approach.

Key Words : digital direct-driven speaker, delta-sigma modulator, noise shaping dynamic element matching method, segmented pulse shaping technique, nonlinearity

1. はじめに

近年、半導体プロセスの微細化に伴い、デジタルオーデ ィオの普及が進んできている. それに伴い、オーディオシ ステムでは高効率、低消費電力、小面積であることが要求 されている. これらの要求に答えるため、Δ Σ DAC、D 級 アンプ等が主流として用いられている. さらに、高電圧の アンプを用いず、スピーカーを低電圧、大出力で駆動でき るデジタル直接駆動スピーカーシステム(DDSP)が研究さ れている[1][2][3].

このシステムではスピーカーを駆動するためのドライ バ回路として、ハーフブリッジ回路を用いる2値駆動、H ブリッジ回路を用いる3値駆動が存在する.これらドラ イバ回路の問題点として、用いられる MOSFET スイッチ 間の製造誤差によって、特性劣化が生じてしまう問題点 がある[4].

オーディオデータを量子化する際、分解能を上げれば、 システムの更なる高精度化を実現できるが、このシステ ムでは温度計コードのビット数に応じて回路規模が大幅 に増加し、駆動するスピーカー数が増える欠点がある.こ れらの問題を解決するため、複数のビットを単一のスピ ーカーで駆動するセグメントパルスシェーピング技術 (SPST)が提案されている[5].これは、多ビットの温度計 コードを1ビットの PDM 信号に変換するシステムで、ス ピーカーの使用個数を増やさず、分解能を増やせる特徴 がある.また SPST を用いた回路規模の削減手法が提案さ れている[6].これは、スピーカーの製造誤差によるノイ ズにシェーピングをかけるノイズシェーピングダイナミ ックエレメントマッチング法(NSDEM)を振幅方向、時間 方向に分割して使用することで、回路規模の削減を実現 している.

SPSTを適用させた際、各スピーカーを時間方向に別々 にシャッフリングすると、パルスの位相がバラバラにな ってしまい、振幅の変動が激しくなり、高周波ノイズが増 加する問題点がある.

本研究では、スピーカーの非線形性による特性劣化を 改善するシステムを2つ提案する.

1つ目のシステムは、H ブリッジ回路を用いた 3 値駆 動を用いた際のドライバの MOSFET スイッチ間のミスマ ッチによるノイズに対してシェーピングをかける回路を 導入することで特性劣化の改善をする.

2 つ目のシステムは、SPST を用いた際のパルスの位相 変調を抑え、高周波ノイズを削減しつつ、従来手法より更 に回路規模を削減した回路システムの提案をし、その有 効性を検証する.

本紀要では、SPSTを用いた際のパルスの位相変調を 抑え、高周波ノイズを削減しつつ、従来手法より更に回路 規模を削減した回路システムについて記載する.

2. 従来手法

(1) デジタル直接駆動スピーカーシステム(DDSP)

図1にデジタル直接駆動スピーカーシステム(DDSP)の 全体図を示す.このシステムはマルチレベルのΔΣ変調器 (DSM)で入力されたオーディオデータを再量子化し、多ビ ットの温度計コードとして出力し、各ビットに対応する スピーカーを並列駆動する.この際、各スピーカーの製造 誤差によるノイズに対して NSDEM を用いてノイズシェ ーピングをかける[7].このシステムは DSM の高分解能 を実現できるため、低オーバーサンプリング比 (OSR)で あっても、高 SNR を実現できる特徴がある.



図1 デジタル直接駆動スピーカーシステム

(2) セグメントパルスシェーピング技術 (SPST)

デジタル直接駆動スピーカーシステムにおいて、ΔΣ変 調器の分解能を上げることでシステムの更なる高 SNR 化 が図れるが、出力される温度計コードのビット数が増え てしまい、必要になるスピーカー数が増えてしまう.この 問題を解決するために、セグメントパルスシェーピング 技術 (SPST) が提案されている[5]. 図2に SPST の全体 図を示す.この回路では、多ビットの温度計コードを1ビ ットの PDM 信号に変換することでスピーカーの使用個 数を増やさず、温度計コードのビット数を増やすことが できる. 図2では4ビットの信号を1ビットの PDM 信号 に変換している.入力信号はサンプリング周波数 fs でサ ンプリングされ、波形合成時、0~4の振幅をもつ信号とな っている. この入力信号を 4×fs のサンプリング周波数で パラレルーシリアル変換し、サンプリング周波数 4fs の PDM 信号に変換することで、振幅方向の情報をパルスの 密度で表現している.



図2 セグメントパルスシェーピング技術

また、温度計コードの出力ビット数が増加すると、 NSDEM のレベル数が増加する.式に NSDEM のハード ウェア規模を表す式を示す[8].

$$N_{nsdem}(N) = \frac{1}{4}N(\log N + 1)\log N + NM$$
(1)
N:セレクトする要素数 M:ループフィルタ次数

この式より、入力されるレベル数が増加すると、 NSDEMの回路規模が大幅に増大することがわかる.そのため、SPSTを用いてNSDEMの回路規模を削減する 手法が提案されている[6].図3にSPSTを用いた回路規 模削減手法を示す.このシステムは、温度計コードを振 幅方向と時間方向それぞれにシャッフリングするように NSDEMを分割することで、回路規模を削減する.



図3 SPST を用いた回路規模を削減手法

(3) パルスパターンの固定化によるノイズ

SPST を用いて1ビットの PDM 信号に変換する際、パルスのパターンが一定に固定されると、ノイズフロアが 増加してしまう.図4に DSM の出力をそのまま SPST に 接続した場合、NSDEM の後段に SPST を接続した場合の 高速フーリエ変換(FFT)解析結果を示す.図4のようにパ ルスパターンが一定に固定されると、ノイズフロアが上 昇してしまう.



これは、パルスパターンが固定されると、入力レベルに 応じて、パルスの位相がずれてしまうことが原因だと考 えられる.図5に入力レベルに応じたパルスパターンを 示す.図5の(a)のようにパルスパターンが固定されると、 位相の中心点に対して、パルスが対称になっていないこ とがわかる.この結果、サンプリング間隔がランダムな PWM 信号が出力されてしまうように見えてしまう[9].図 5の(b)のようにパルスパターンがシャッフリングされる と同じ入力レベルでもパルスパターンが複数に分かれる. これらのパルスパターンを使用頻度の少ない順番から使 用することで、等価的に位相の中心点にパルスを合わせ ることができる.そのため、図4のようにパルスの位相の ズレによるノイズにシェーピングをかけることができる.





図 5 入力レベルに応じたパルスパターン (a)パルスパターン固定時 (b)パルスパターンシャッフ リング時

(4) SPST を用いた際の振幅変動増加問題

SPSTを用いたシステムの問題点として、出力の振幅 変動が大きくなり、高周波のノイズ成分が増加すること が挙げられる.図6に DSM の出力をそのまま SPST に 接続した場合、NSDEM の後段に SPST を接続した場合 の時間解析結果を示す.図6のように NSDEM の後段に SPSTを接続すると、振幅変動が大きくなっている.こ れは、各スピーカーを時間方向に別々にシャッフリング すると、パルスの位相がバラバラになってしまい、位相 変調がかかってしまうように見えてしまうことが原因だ と考えられる.そのため、振幅方向のスピーカーの使用 個数を保存したまま、時間方向のシャッフリングする必 要がある.



図6 SPST を用いた際の振幅変動の比較

- 3. SPST を用いた際の位相変調抑制、回路規模の 更なる削減
- (1)提案手法
- a) パルスパターンシャッフリング型 NSDEM

図7にパルスパターン型シャッフリング NSDEM を示 す.この際、信号処理は下記のように行う.

- ①温度計コードをLSB側のスピーカーのS1~S4が埋まる ように配置する.この際S1~S4をそれぞれ群としてと らえる.
- ②S1~S4 でそれぞれ使用するスピーカーの個数をバイナ リコードにエンコードして出力する.
- ③ソート、セレクタ回路によって、S1~S4のバイナリコー ドをスピーカーの使用頻度の少ないステージから優先 的に使用するように並び替える.
- ④セレクタ回路の出力を積分器にフィードバックし、各

ステージで使用したスピーカー個数を記憶する. ⑤セレクタ回路のバイナリコード出力を温度計コードに デコードして出力する.

このように、各スピーカーのパルスの位相を合わせつつ、 パルスパターンのシャッフリングを行うことで、振幅変 動を抑制し、高周波ノイズを削減することができる.



図7 パルスパターンシャッフリング型 NSDEM

b)システム全体図

図8、9にシステム全体図、信号処理過程を示す.提案 手法では DSM の出力に前述したパルスパターンシャッ フリング型 NSDEM、SPST、サンプリング周波数 4fs の NSDEM を接続する.提案手法では、まず、パルスパター ンシャッフリング型 NSDEM で S1~S4 をそれぞれ群にし てシャッフリングを行う.これによって、各パルスの位相 を合わせつつ、パルスパターンのシャッフリングを行う. その後、(N/S+1)level の NSDEM で S1~S4 の群をそれぞれ 振幅方向にシャッフリングを行う.





図 9 信号処理過程 (a)従来手法 (b)提案手法

(2) シミュレーション

a)シミュレーション条件

MATLAB/simulink を用いて、DDSP を設計してシミ ュレーションを行った.表1にシミュレーション条件を 示す.サンプリング周波数は、SPST 前段までは 3.072MHz、SPST 後段からは、12.288MHz とした.FFT のポイント数は 614400 とし、20~12.288MHz までを FFT 解析した.入力信号は 1kHz のサイン波とし、レベ ルは-60、-6、-0.4dBFs とした.スピーカーのミスマッチ は 10%を想定した.

衣 1 シミュレーション米什		
サンプリング周波数	3.072MHz(SPST 前段) 12.288MHz(SPST 後段)	
OSR	64(SPST 前段) 256(SPST 後段)	
FFT ポイント数	614400	
入力周波数	1kHz	
入力レベル	-60,-6,-0.4dBFS	
スピーカーミスマッチ	10%	

1 シミュレーション条件

b) MATLAB を用いた高速フーリエ変換(FFT) 解析結果

図10~12に MATLAB を用いて FFT 解析を行った 結果を示す.図10より、従来手法に比べ、シェーピング 特性の改善を確認できた.図11,12よりシェーピング されたノイズ全体が、5~10dB 削減できていることが確認 できた.



図10 FFT 解析結果(入力:-60dBFs)



図11 FFT 解析結果(入力:-6dBFs)



c) MATLAB を用いた時間解析結果

図13~15に MATLAB を用いて時間解析を行った 結果を示す.図13~15より、従来手法に比べ振幅変動 が抑えられていることが確認できた.



図13 時間解析結果(入力:-60dBFs)



図14 時間解析結果(入力:-6dBFs)



図15 時間解析結果(入力:-0.4dBFs)

(3) オーディオアナライザを用いた実測結果

a) 測定環境

図16、17に実測をした際の測定環境、FPGA に実 装したシステムを示す. 測定にはオーディオアナライザ、 評価基板を用いた. 評価基板上には FPGA、ドライバ回 路、加算回路を搭載し、FPGA にオーバーサンプリング フィルタ、図17の(a)、(b)の従来システム及び提案シス テムを実装した.従来手法は[6]で提案されていたシステ ム、提案手法はパルスパターンシャッフリング型 NSDEM を用いたシステムとなっている.電源電圧として、FPGA、 ドライバ回路には3.3V、加算回路には±15Vを供給した. FPGA にはシステムクロックとして、3.072MHz、 12.288MHz を供給し、SPST 前段までを 3.072MHz、 SPST 後段以降は 12.288MHz で駆動した. また、ドライ バ回路は 12.288MHz のクロックでラッチを行った. オー ディオアナライザからは I²S 信号を FPGA に入力し、信 号処理を行ったあと、ドライバ回路を通して加算回路に 入力される.加算回路では各ビットの信号を加算し、オー ディオアナライザに出力して、解析を行う.





b) FFT 解析結果

図18~20に-60、-6、0dBFsの1kHzのサイン波を 入力した際のFFT解析結果を示す.図18~20より、 従来手法に比べ、提案手法ではノイズフロア、高調波の低 減が確認できた.



c) 全高調波歪+ノイズ (THD+N)

図21に入力対 THD+N の実測結果を示す. 従来手法 に比べ、提案手法は小信号時の THD+N の低減が確認で きた.



d) 信号対雑音比 (SNR)

図22に入力対 SNR の実測結果を示す. 従来手法に比べ、提案手法は SNR が約3dB 上昇した.



e) FPGA 実装時のリソース使用率

表2に FPGA 実装時のリソースの使用率を示す.表2 より、従来手法に比べ、提案手法はルックアップテーブル (LUT)の使用率が 49.0%、フリップフロップ(FF)の使用率 が 24.1%削減できた.

表2 FPGAのリソース使用率			
Resource	Utilization		
	Conventional	Proposed	
LUT	9713	4952	
LUTRAM	1	1	
FF	3815	2895	
DSP	2	2	
IO	20	20	
BUFG	4	4	

BOB

4. まとめ

SPST を用いた際の各スピーカーのパルスの位相変調 によって生じる振幅変動を抑え、回路規模を更に削減す るシステムを提案した.主な手法として、新たにパルスパ ターンシャッフリング型 NSDEM を用いて、各スピーカ ーのパルスの位相を合わせつつ、パルスパターンをシャ ッフリングするようにした.シミュレーション結果から、 従来手法に比べ、高周波ノイズを約 10dB 削減することを 確認した.また、FPGA を用いて従来手法と提案手法のシ ステムを実装し特性比較を行った.実測結果から、従来手 法に比べ、FPGA の LUT の使用率が 49.0%、FF の使用率 が 24.1%削減できた.また、FFT 解析においてノイズフロ アの低減を確認できた.THD+N 測定では、小信号時にお いて、特性の改善を確認できた.SNR 測定では、約 3dB の特性の改善を確認できた.

謝辞

本研究を進めるに当たって、ご指導を戴いた法政大学 理工学部電気電子工学科安田彰教授には深く感謝いたし ます.

また、日頃、有意義なアドバイスを下さり、実験等でご 助力を戴いた安田研究室の皆様に感謝の意を表します.

- M. Yoshino, M. Iwaide, D. Kuniyoshi, H. Ohtani, A. Yasuda, and J. Okamura, "A novel audio playback chip using digitally driven speaker architecture with 80%@-10dBFS power efficiency, 5.5W@3.3V supply and 100dB SNR, " IEEE Custom Integrated Circuit Conf., San Francisco, CA, USA, 2011.
- 2) M. Yashiro, M. Iwaide, A. Yasuda, M. Yoshino, K. Yokota, Y. Moriyasu, K. Sakuda, and F. Nashima, "Digitally driven speaker system using direct digital spread spectrum technology to reduce EMI noise" Audio Engineering Society 133rd Convention, San Francisco, CA, USA, No. 8726, 2012, Oct.
- 3) H. Ohtani, A. Yasuda, K. Tsuihiji, R. Suzuki, D. Kuniyoshi, and J. Okamura, "A novel Universal-Serial-Bus-Powered digitally driven speaker system with low power dissipation and high fidelity", Audio Engineering Society 129th Convention, Arreys, No. 8236, 2010 Nov.
- 4) K. Nguyen, A. Bandyopadhyay, B. Adams, K. Sweetland, and P. Baginski, "A 108 dB SNR, 1.1 mW Oversampling Audio DAC With A Three-level DEM Technique", IEEE Journal of Solid-State Circuits, vol. 43, no. 12, pp. 2592-2600, Dec. 2008.
- 5) G. Harumi, S. Saikatsu, M. Yoshino, and A. Yasuda, "Digital direct-driven speaker architecture using segmented pulse shaping technique", IEEE NEW Circuits and Systems Conf., Vancouver, Canada, 2016.
- 6) S. Noami, S. Saikatsu, A. Yasuda, "A Reduction of Circuit Size of Digital Direct-Driven Speaker Architecture Using Segmented Pulse Shaping Technique", IEEE International Workshop on Signal Processing Systems, Lorient, France, 2017.
- 7) A. Yasuda, H. Tanimoto, and T. Lida, "A third-order modulator using second-order noise-shaping dynamic element matching," IEEE J. Solidstate Circuits, vol. 33, pp. 1879-1886 (1998 December).
- 8)安田 彰. ΔΣ変調技術を用いた素子バラツキにロバストなアナログ/デジタル混載回路に関する研究.法政大学,2000,博士論文.
- 9)高山強之,田中吉一,広田豊 (1990). MASH1bit DAC の PWM(パルス幅変調)部分の解析とデバイスの特徴 ラ ジオ技術, 44, 12, 162-168.