

$\Delta \Sigma$ ADCへの精度要求を緩和した高精度信号変換システムの検討

鏑木, 彩加 / KABURAKI, Ayaka

(出版者 / Publisher)

法政大学大学院理工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

60

(開始ページ / Start Page)

1

(終了ページ / End Page)

5

(発行年 / Year)

2019-03-31

(URL)

<https://doi.org/10.15002/00022014>

$\Delta\Sigma$ ADC への精度要求を緩和した 高精度信号変換システムの検討

CONSIDERATION OF HIGH-PRECISION SIGNAL CONVERTERS
WITH GAIN ERROR AMPLIFIER FOR RELAXING $\Delta\Sigma$ ADC's REQUIREMENTS

鏑木 彩加

Ayaka KABURAKI

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

We introduced high precision signal converters with gain error amplifier for relaxing Delta-sigma($\Delta\Sigma$) ADC's high precision requirements. $\Delta\Sigma$ ADC is well known as its over sampling and noise shaping techniques but its power consumption and die area easily become bigger because of high precision requirements. Adopting gain error amplifier can be one of the solutions which relax $\Delta\Sigma$ ADC's requirements. Two studies are done, global feedback digital-driven speaker system and a mismatch shaper which compensate transfer gain error as well as DAC's nonlinearity. In this paper, a mismatch shaper for DAC nonlinearity and transfer gain error is introduced.

Key Words : two-step ADC, DEM, NSDEM, capacitor mismatch, SAR, Delta Sigma ADC

1. はじめに

近年、スマートフォンを始めとしたポータブル端末の発展により、オーディオシステムの小型化・低消費電力化の要請が増している[1]。誤差増幅器を導入した、前段 ADC の変換結果の残差信号を取得・増幅し、後段 ADC で変換するシステム構成によれば、低精度な変換器の組み合わせによって高精度変換を達成できることが知られている。これに関する2種類の研究を行った。本紀要では、そのうち誤差増幅器の利得誤差補正機能付き Dynamic Element Matching (DEM) システムに関して論ずる。

小型・低消費電力な ADC のひとつに、Successive Approximation Register (SAR) ADC と Discrete-time delta sigma (DT $\Delta\Sigma$) ADC から構成される、2STEP ADC が挙げられる。入力信号はまず、SAR ADC でコース変換され、誤差増幅器を通じてその残差信号は、高精度変換を特徴とする DT $\Delta\Sigma$ ADC にてファイン変換される。誤差増幅器の使用によって、DT $\Delta\Sigma$ ADC の高精度変換要求を緩和することができ、その増幅度は、前段と後段の内部キャパシタ DAC (CDAC) のキャパシタンス比にて設定される。

しかし、誤差増幅器を用いた 2STEP ADC のデメリットは、製造ばらつきによって SAR ADC 内部 CDAC, DT $\Delta\Sigma$ ADC 内部 CDAC, 誤差増幅器に利得誤差が生じ、変換精度を劣化させることである[1][2][3]。一般的に、DAC の非線形

歪を低減する手法として Data Weighted Averaging (DWA) や Noise Shaping Dynamic Element Matching (NSDEM) などのミスマッチシェーピング技術が使用される。これは単位キャパシタあたりの使用頻度を平均化し、同 DAC 内の相対ばらつきを補償する技術であるが、絶対ばらつきに対する補償は行われない。したがって、誤差増幅器の利得誤差の改善は困難である。

利得誤差対して、オーバーラップ構造を用いた解決手法が提案されているが、これは有効変換ビット数とトレードオフになる[1][2]。DAC 間のばらつきを低減するために、フォアグラウンドキャリブレーションを用いて手法が提案されているが、起動時にキャリブレーション時間を設ける必要がある[3]。

本研究では、2STEP ADC の内部 CDAC の非線形歪を改善する NSDEM に、誤差増幅器の利得誤差を解決するための 1 ユニットシフトを組み合わせた Dynamic Element Matching (DEM) システムを提案する。各々の内部 CDAC は使用する単位キャパシタを共有し、1 ユニットシフトによって時間毎に使用する単位キャパシタの変更を行うことで誤差増幅器の利得誤差を改善する。また、CDAC における単位キャパシタの使用頻度をループフィルタでカウントし、このループフィルタ出力から使用するキャパシタを決定する NSDEM の導入によって、CDAC の非線形歪と利得誤差による特性劣化を改善する[4]。

2. 誤差増幅器を用いた 2STEP ADC

(1) 2STEP ADC の構成

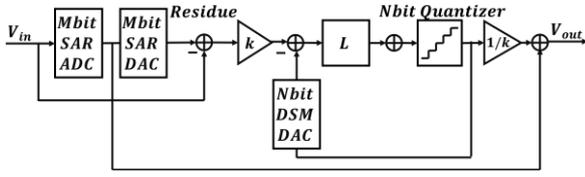


図1 2STEP ADC の概念図

一般的な SAR ADC と DT Δ Σ ADC で構成された 2STEP ADC を図 1 に示す. 2 つの ADC はそれぞれ内部に CDAC を持つ. まず, 入力信号は M bit SAR ADC にてコース変換される. 次に, 変換時に発生した残差信号は, 増幅度 k 倍された後に N bit DT Δ Σ ADC に転送する. 転送される残差信号は, SAR ADC の量子化誤差である. 最後にスケールを戻すために DT Δ Σ ADC の出力信号はデジタル領域で $1/k$ 倍されて, SAR ADC の出力信号と加算される.

(2) 2STEP ADC の動作と増幅度について

図 2 に 2STEP ADC の簡易回路図を示す. これは (2^M+2^N) 個のキャパシタアレイを持っており, 2^M 個の単位キャパシタは M bit SAR ADC の, 2^N 個の単位キャパシタは N bit DT Δ Σ ADC の内部 CDAC として動作する. コース変換を行う SAR ADC は, SAR ADC 内部 CDAC, コンパレータ, SAR ロジック回路で構成されたループ, ファイン変換を行う DT Δ Σ ADC は, DT Δ Σ ADC 内部 CDAC, 1 次積分器, 2 次積分器, 量子化器で構成されたループにてそれぞれの動作を行う.

SAR ADC は, 入力信号 V_{in} と重みづけされた参照電圧 V_{ref} との比較で, ビットを決定する. 比較の際に使用する電圧 V_{cin} は式 (1), 式 (2) から導出することができる.

$$Q_{SAR} = -\sum_{i=1}^{2^M} C_{SAR(i)} V_{in} \quad (1)$$

$$V_{cin} = -V_{in} + \frac{\sum_{i=1}^{2^M} D_{SAR(i)} C_{SAR(i)} V_{ref}}{\sum_{i=1}^{2^M} C_{SAR(i)}} \quad (2)$$

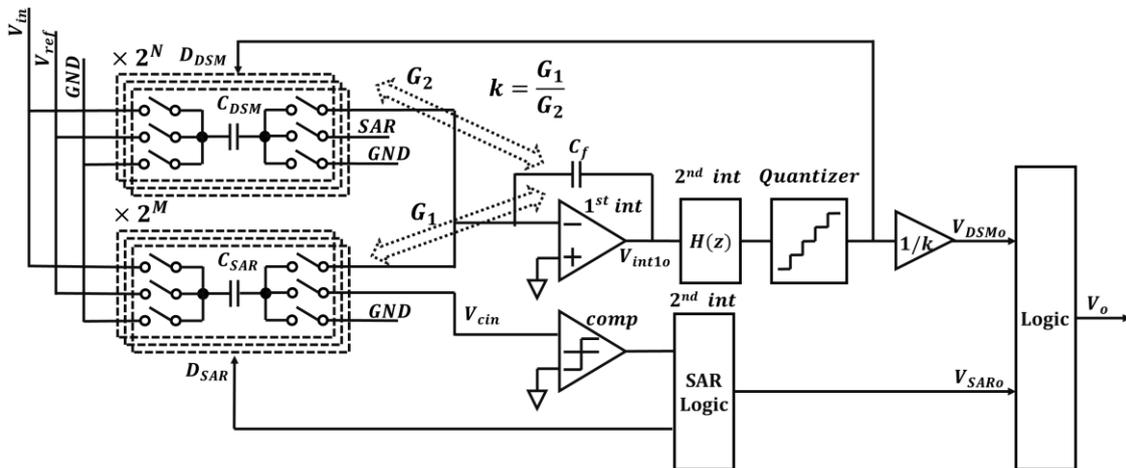


図2 2STEP ADC の簡易回路図

ここで, C_{SAR} は SAR 用 CDAC のキャパシタ, Q_{SAR} は SAR ADC 内部 CDAC にチャージされる電荷, D_{SAR} は変換中のデジタルビットである.

SAR ADC による変換が終了した際, D_{SAR} は SAR ADC の出力ビットとなる. 式より V_{cin} は変換が終了した際, SAR ADC の量子化ノイズなる.

残差信号の DT Δ Σ ADC への転送は, C_{SAR} を DT Δ Σ ADC 初段積分器の入力キャパシタとして再利用することで, 初段の入力キャパシタを削減することができる. このとき, DT Δ Σ ADC の初段積分器には, C_{SAR} と DT Δ Σ ADC に割り振られたキャパシタ C_{DSM} , 積分器の帰還キャパシタ C_f が接続されている状態となる. C_{DSM} は DT Δ Σ ADC 内部 CDAC として動作をし, Δ Σ ADC の出力信号をフィードバックする. このときの C_{SAR} , C_{DSM} , C_f に印加される総電荷 Q_{int1} は次式のように計算される.

$$Q_{int1}(t_n) = -C_f V_{int1o}(t_{n-1}) - \sum_{i=1}^{2^M} D_{SAR(i)} C_{SAR(i)} V_{ref} - \sum_{j=1}^{2^N} D_{DSM(j)} C_{DSM(j)} V_{ref} \quad (3)$$

ここで, D_{DSM} は DT Δ Σ ADC の出力ビットである.

したがって初段積分器の出力 V_{int1o} は次のように計算される.

$$V_{int1o}(t_n) = -G_1 \left(-V_{IN} + \frac{\sum_{i=1}^{2^M} D_{SAR(i)} C_{SAR(i)} V_{ref}}{\sum_{i=1}^{2^M} C_{SAR(i)}} \right) - G_2 \frac{\sum_{j=1}^{2^N} D_{DSM(j)} C_{DSM(j)} V_{ref} + V_{int1o}(t_{n-1})}{\sum_{j=1}^{2^N} C_{DSM(j)}} \quad (4)$$

ここで, $G_1 = \frac{\sum_{i=1}^{2^M} C_{SAR(i)}}{C_f}$, $G_2 = \frac{\sum_{j=1}^{2^N} C_{DSM(j)}}{C_f}$

式(4)より, SAR ADCの残差信号は G_1 倍, DT $\Delta\Sigma$ ADCのフィードバック信号は G_2 倍に見えることがわかる. したがって, DT $\Delta\Sigma$ ADCの入力信号は利得 G_1, G_2 で増幅されているように見え, これは次の式で表される.

$$k = \frac{G_1}{G_2} = \frac{\sum_{i=1}^{2^M} C_{SAR(i)}}{\sum_{j=1}^{2^N} C_{DSM(j)}} \quad (5)$$

キャパシタの再利用による残差信号の後段への転送と前後段のCDACの比によって作られる増幅度は, 2STEP ADCにおいて誤差増幅器として振る舞う. 式(5)より, これは C_{SAR} と C_{DSM} の比で決定される.

(3) 製造ばらつきによる非線形歪と利得誤差

ここではキャパシタの製造ばらつきの影響について検討する. 製造ばらつきは, CDACに非線形歪を及ぼすことが知られている. 増幅度 k 倍は, 式(5)のようなアナログ領域の値のため, 製造ばらつきが生じる. 一方で, DT $\Delta\Sigma$ ADC出力端に接続された増幅度 $1/k$ 倍はデジタル領域で作成されるため, 製造ばらつきに依存しない. したがってキャパシタの製造ばらつきは, 2STEP ADCにおいてCDACの非線形歪を生かせるのと同時に, 誤差増幅回路の増幅度 k 倍に誤差を生じさせ, 全体の変換精度を劣化させることがわかる.

DACの製造ばらつきによる非線形歪を改善する手法として, 一般的にミスマッチシェーパが使用される. これはDACの単位素子の使用頻度を平均化することで, DAC内の相対的なばらつきを平均化させる. しかし, これは平均化した絶対的な値に対して補償するものではない. したがって, 一般的なミスマッチシェーパでは, 利得誤差の改善は行われない.

3. 提案手法

(1) 利得誤差補償機能付 NSDEM の構成

2STEP ADCの製造ばらつきによるCDACの非線形歪に加え, 誤差増幅器の利得誤差も同時に補償するDEMシステムを提案する(図3). このDEMシステムは, 1ユニットシフタと2つのループフィルタを持つNoise Shaping DEM(NSDEM)で構成される.

例として, M bit SAR ADCと N bit DT $\Delta\Sigma$ ADCで構成される2STEP ADCを説明する. 2STEP ADCは, (2^M+2^N) 個の単位キャパシタを持つ. 各単位キャパシタは固有の番号を持ち, 2^M 個は C_{SAR} , 2^N 個のキャパシタは C_{DSM} として割り当てられるものとする.

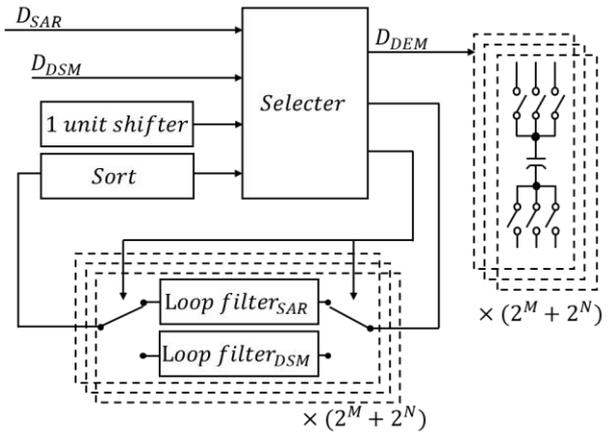


図3 利得誤差補償機能付 DEM システムの概念図

SAR ADC, DT $\Delta\Sigma$ ADCの内部CDACの非線形歪を改善するために, NSDEMを用いた. NSDEMは, ループフィルタを用いて, 任意のシェーピング特性をDACの非線形歪に掛けることができる. 単位キャパシタはそれぞれSAR用, DT $\Delta\Sigma$ 用の計2つのループフィルタを持つ. これらは各キャパシタの使用頻度を示す積分値を計算する. 各CDACにおいて, ソート回路, セレクタ回路は, 割り当てられた単位キャパシタの積分値が平均化されるように, 使用するユニットを選択する.

またこのとき, DACの非線形歪を改善のためにDWAを使用することは困難である. DWAは代表的なミスマッチシェーパの一種で, 動作や回路構成のシンプルさが特徴である[5]. これは使用されるユニットを周期的に選択することで, ユニットの使用頻度を平均化する. 提案手法では, 1ユニットシフタの働きにより, CDACに割り当てられるキャパシタ番号は常にシフトされる. よって, DWAが本来選択すべきキャパシタが, 他方のDACに割り当てられていた場合, これはエラーとして蓄積されることから, 本手法には用いなかった.

(2) 利得誤差補償機能付 NSDEM の動作

説明を簡単にするために, 2 bit SAR ADCと2 bit DT $\Delta\Sigma$ ADCで構成された2STEP ADCで提案手法の動作を説明する. 各ADCの内部CDACは4個の単位キャパシタを必要とし, 計8個のキャパシタを共有する. キャパシタの使用頻度を積分するループフィルタは, 各単位キャパシタに対して2つずつ用意されており, それぞれSAR ADC, DT $\Delta\Sigma$ ADC内部CDAC用である. 図4に提案手法のDEMシステムの動作例を示す. 各キャパシタに対して, 割り振られた変換器の積分値を太い枠線で示した. また各変換時に更新される使用されたキャパシタの積分値は, 図4内では灰色で示した.

このDEMシステムの動作を1ユニットシフタが動作するサンプル動作時とNSDEMが動作するホールド動作時に分けて説明する. またDACの非線形歪が1次ハイパス特性を示すよう, 1次のループフィルタを採用した.

$t=s$	Sampling phase							
Cap No.	1	2	3	4	5	6	7	8
Integral value _{SAR}	1	2	0	2	2	1	1	0
Integral value _{DSM}	1	2	0	1	0	0	1	2
	Holding phase							
Cap No.	1	2	3	4	5	6	7	8
Integral value _{SAR}	2	2	1	2	2	1	1	0
Integral value _{DSM}	1	2	0	1	1	1	2	2
$t=s+1$	Sampling phase							
Cap No.	1	2	3	4	5	6	7	8
Integral value _{SAR}	2	2	1	2	2	1	1	0
Integral value _{DSM}	1	2	0	1	1	1	2	2
	Holding phase							
Cap No.	1	2	3	4	5	6	7	8
Integral value _{SAR}	2	3	2	3	2	1	1	0
Integral value _{DSM}	2	2	0	1	1	2	2	2

図4 利得誤差補償機能付 DEM システムの動作例

まず、キャパシタ番号 $1 \sim 4$ ($C1 \sim C4$) が SAR ADC, $C5 \sim C8$ が $DT \Delta \Sigma$ ADC に割り当てられているとする。 $t=s$ のサンプル動作時において、1 ユニットシフトによって $C1 \sim C4$ は C_{SAR} , $C5 \sim C8$ は C_{DSM} に割り当てられる。これらはそれぞれ SAR ADC の内部 CDAC, $C5 \sim C8$ は $DT \Delta \Sigma$ の内部 CDAC として動作する。

次にホールド動作時にて、キャパシタのシャッフリングが行われる。SAR AD 内部 CDAC は C_{SAR} の SAR 用積分値を、 $DT \Delta \Sigma$ ADC 内部 CDAC は C_{DSM} の $DT \Delta \Sigma$ 用積分値を参照する。 C_{SAR} では C3, 1, 2, 4 の順に積分値が小さい。したがってこの場合は、SAR ADC 内部 CDAC で 2 個のキャパシタが必要なとき、C3 と C1 が選択される。同様に、 C_{DSM} では C5, 6, 7, 8 の順で積分値が小さい。したがって $DT \Delta \Sigma$ ADC 内部 CDAC にて 2 つのキャパシタが必要なとき、C5, 6 が選択される。各 DAC において使われたキャパシタは、そのループフィルタに 1 を加え、積分値を更新する。

次に $t=s+1$ のサンプル動作に入る。1 ユニットシフトによってキャパシタの再割り当てを行う。C2, 3, 4, 5 が C_{SAR} に、C6, 7, 8, 1 が C_{DSM} に割り当てられる。

ホールド動作時にて、各 DAC は割り当てられたキャパシタの積分値から、使用するキャパシタの決定と積分値の更新をする。

これらの動作を繰り返すことで、所望の動作を達成する。誤差増幅器の増幅度は 1 つずつ割り当てられるキャパシタをシフトすることで平均化され、各 CDAC の非線形歪は 2 つのループフィルタを持つ NSDEM によって補償される。したがって、提案する DEM システムでは、増幅器の利得誤差と CDAC の非線形歪の改善を同時に行うことができる。

4. シミュレーション結果及び考察

(1) シミュレーションモデル

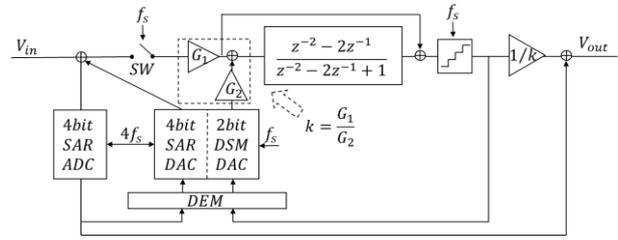


図5 シミュレーションモデル

表1 シミュレーション条件

Simulation conditions			
Amplitude [dB]	OSR	f_{in}	Plot
0	128	$\frac{1}{10} f_B$	2^{16}

提案回路の有効性を確認するために、Matlab/simulink にてシミュレーションを行った。シミュレーションに用いた simulink モデルの簡易ブロックを図5に示す。

2STEP ADC は、 $M=4$, $N=2$, すなわち 4 bit SAR ADC と 2 bit $DT \Delta \Sigma$ ADC で構成されている。2STEP ADC は計 20 個の単位キャパシタで構成されるキャパシタアレイを持ち、各キャパシタは $C1 \sim C20$ の固有の番号を持つ。

そのうち 16 個が 4 bit SAR ADC, 4 個が 2 bit $DT \Delta \Sigma$ ADC に割り当てられる。信号 V_{in} はまず SAR ADC, DEM, SAR 内部 CDAC のループにてコース変換される。このとき SW はオフである。 C_{SAR} に割り当てられた単位キャパシタの SAR 用積分値を参考に、SAR ADC 内部 CDAC はキャパシタの選択及び積分値の更新をする。

SAR ADC の変換が終わった後、その残差信号は SW をオンにすることで、 $DT \Delta \Sigma$ ADC に転送される。このとき、増幅度 k 倍は C_{SAR} と C_{DSM} の比によって決定される。本シミュレーションでは、製造ばらつきがない場合の増幅度 k は 4 倍である。

続いてループフィルタ、量子化器、DEM, $DT \Delta \Sigma$ 内部 CDAC で構成された $DT \Delta \Sigma$ ADC にて、残差信号の変換を行う。割り当てられた単位キャパシタの $DT \Delta \Sigma$ 用積分値を参考に、キャパシタの選択・積分値の更新をする。

$DT \Delta \Sigma$ の出力信号はスケールを戻すために、 $1/k$ 倍に減衰されたのち、SAR ADC の出力信号と加算される。このとき、 $1/k$ 倍はデジタル領域で作られるため、定数とする。本シミュレーションでは、キャパシタの製造ばらつきは 1% を想定した。その他のシミュレーション条件は表1に示す。

(2) シミュレーション結果

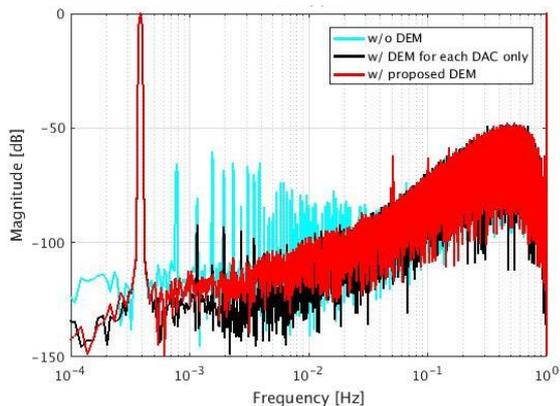


図6 出力の Fast Fourier Transform(FFT)結果

表2 シミュレーション結果の SNDR

Simulated patterns	SNDR [dB]
w/o DEM	56.5
w/ DEM for each DAC only	87.8
w/ proposed DEM	93.4

表2にシミュレーション結果を、図6にシステム出力をFFT解析した結果を示す。このとき、横軸は周波数、縦軸は振幅のマグニチュードを示す。

ミスマッチシェーパーの比較に関して、3つの条件でシミュレーションを行った。1つ目はDEMを使用しない場合で、w/o DEMとしてプロットした。キャパシタの製造ばらつきの影響によるCDACの非線形歪と誤差増幅器の利得誤差が、ノイズフロアの上昇や高調波として発生している。このときSNDRは56.5dBであった。

2つ目は、通常のNSDEMをSAR ADC、DT $\Delta\Sigma$ ADC内部CDACにそれぞれ使用した場合であり、w/ DEM for each DAC onlyとしてプロットした。増幅器利得誤差の補償にあたる1ユニットシフトは行われなため、C1~C16は常にSARADC内部CDAC、C17~C20は常にDT $\Delta\Sigma$ ADC内部CDACとして割り当てられる。シミュレーション結果より、DEMを使用しない場合に比べ、ノイズフロアや高調波の改善が確認できる。しかし、誤差増幅器の利得誤差の影響によって信号帯域に高調波が発生している。このときSNDR=87.8dBであった。

3つ目は、誤差増幅器の利得誤差補償機能を持つ提案手法を用いた場合で、w/ proposed DEMとしてプロットされている。ノイズフロアはNSDEMのみを使用したときに比べ高い。これは1ユニットシフトによって、積分器の平均化すべきキャパシタが20個に拡張されたこと、平均化に時間が掛かることが原因であると考えられる。一方、1ユニットシフトによって増幅度の平均化が行われ

たため、帯域内の高調波の改善が確認できた。また1/20dBの間隔で発生する高調波は、1ユニットシフトの影響であると考えられるが、OSR=128であるため帯域には影響は与えない。このときSNDRは93.4dBであり、通常のNSDEMと比べ5.6dBの改善を確認した。

5. まとめ

キャパシタの製造ばらつきによる誤差増幅器の利得誤差とDACの非線形歪を同時に改善するDEMを提案した。コース変換にSAR ADC、ファイン変換にDT $\Delta\Sigma$ ADCを用いた2STEP ADCを想定した。各ADCの内部CDACにて構成された誤差増幅器を通じて、SARの残差信号はDT $\Delta\Sigma$ ADCに転送される。しかしキャパシタの製造ばらつきは、増幅度とDACに影響を与え、その変換精度を制限する。提案したDEMシステムでは、DACに割り当てられるキャパシタを時間毎にシフトする1ユニットシフトで誤差増幅器の利得誤差を、2つのループフィルタを持つNSDEMは2つの内部DACの非線形歪を改善する。有効性を確認するために行ったMatlab/simulinkシミュレーションでは、製造ばらつき1%のとき提案手法では通常のNSDEMのときと比較してSNDRを5.6dB改善できる確認した。

参考文献

- Gönen, Burak, et al. : A 1.65 mW 0.16 mm² dynamic zoom-ADC with 107.5 dB DR in 20kHz BW, Solid-State Circuits Conference (ISSCC), 2016 IEEE International, IEEE, 2016.
- Chae, Youngcheol, Kamran Souri, and Kofi AA Makinwa. : A 6.3 μ W 20 bit Incremental Zoom-ADC with 6 ppm INL and 1 μ V Offset, IEEE Journal of Solid-State Circuits 48.12(2013), 3019-3027, 2013.
- Leene, Lieuwe B., and Timothy G. Constandinou. : A 0.016 mm² 12 b delta-sigma SAR With 14 fJ/conv. for Ultra Low Power Biosensor Arrays, IEEE Transactions on Circuits and Systems I: Regular Papers 64.10(2017), 2655-2665, 2017
- Yasuda, Akira, Hiroshi Tanimoto, and Tetsuya Iida. : A third-order delta sigma modulator using second-order noise-shaping dynamic element matching, IEEE journal of solid-state circuits 33.12 (1998), 1879-1886, 1998
- Neitola, Marko, and Timo Rahkonen. : A generalized data-weighted averaging algorithm, IEEE Transactions on Circuits and Systems II: Express Briefs 57.2 (2010), 115-119, 2010