法政大学学術機関リポジトリ

HOSEI UNIVERSITY REPOSITORY

PDF issue: 2024-12-27

ΔΣADCへの精度要求を緩和した高精度信号 変換システムの検討

鏑木, 彩加 / KABURAKI, Ayaka

(出版者 / Publisher) 法政大学大学院理工学研究科 (雑誌名 / Journal or Publication Title) 法政大学大学院紀要.理工学・工学研究科編 (巻 / Volume) 60 (開始ページ / Start Page) 1 (終了ページ / End Page) 5 (発行年 / Year) 2019-03-31 (URL) https://doi.org/10.15002/00022014

Δ Σ ADC への精度要求を緩和した 高精度信号変換システムの検討

CONSIDERATION OF HIGH-PRECISION SIGNAL CONVERTERS WITH GAIN ERROR AMPLIFIER FOR RELAXING $\Delta\Sigma$ ADC's REQUIREMENTS

鏑木 彩加 Ayaka KABURAKI

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

We introduced high precision signal converters with gain error amplifier for relaxing Delta-sigma($\Delta\Sigma$) ADC's high precision requirements. $\Delta\Sigma$ ADC is well known as its over sampling and noise shaping techniques but its power consumption and die area easily become bigger because of high precision requirements. Adopting gain error amplifier can be one of the solutions which relax $\Delta\Sigma$ ADC's requirements. Two studies are done, global feedback digital-driven speaker system and a mismatch shaper which compensate transfer gain error as well as DAC's nonlinearity. In this paper, a mismatch shaper for DAC nonlinearity and transfer gain error is introduced.

Key Words : two-step ADC, DEM, NSDEM, capacitor mismatch, SAR, Delta Sigma ADC

1. はじめに

近年、スマートフォンを始めとしたポータブル端末の 発展により、オーディオシステムの小型化・低消費電力 化の要請が増している[1]. 誤差増幅器を導入した,前段 ADC の変換結果の残差信号を取得・増幅し、後段 ADC で 変換するシステム構成によれば、低精度な変換器の組み 合わせによって高精度変換を達成できることが知られて いる.これに関する2種類の研究を行った.本紀要では、 そのうち誤差増幅器の利得誤差補正機能付き Dynamic Element Matching(DEM)システムに関して論ずる.

小型・低消費電力な ADC のひとつに, Successive Approximation Register (SAR) ADC と Discrete-time delta sigma (DT $\Delta \Sigma$) ADC から構成される, 2STEP ADC が挙げられる.入力信号はまず, SAR ADC でコース変換 され,誤差増幅器を通じてその残差信号は,高精度変換 を特徴とする DT $\Delta \Sigma$ ADC にてファイン変換される.誤差 増幅器の使用によって,DT $\Delta \Sigma$ ADC の高精度変換要求を 緩和することができ,その増幅度は,前段と後段の内部 キャパシタ DAC (CDAC) のキャパシタンス比にて設定され る.

しかし、誤差増幅器を用いた 2STEP ADC のデメリット は、製造ばらつきによって SAR ADC 内部 CDAC, DT $\Delta \Sigma$ ADC 内部 CDAC, 誤差増幅器に利得誤差が生じ、変換精度を劣 化させることである[1][2][3]. 一般的に、DAC の非線形 歪を低減する手法として Data Weighted Averaging (DWA) や Noise Shaping Dynamic Element Matching (NSDEM) な どのミスマッチシェーピング技術が使用される. これは 単位キャパシタあたりの使用頻度を平均化し,同 DAC 内 の相対ばらつきを補償する技術であるが,絶対ばらつき に対する補償は行われない. したがって,誤差増幅器の 利得誤差の改善は困難である.

利得誤差対して,オーバーラップ構造を用いた解決手 法が提案されているが,これは有効変換ビット数とトレ ードオフになる[1][2]. DAC 間のばらつきを低減するた めに,フォアグラウンドキャリブレーションを用いて手 法が提案されているが,起動時にキャリブレーション時 間を設ける必要がある[3].

本研究では、2STEPADC の内部 CDAC の非線形歪を改善 する NSDEM に、誤差増幅器の利得誤差を解決するための 1 ユニットシフタを組み合わせた Dynamic Element Matching (DEM)システムを提案する.各々の内部 CDAC は 使用する単位キャパシタを共有し、1 ユニットシフタに よって時間毎に使用する単位キャパシタの変更を行うこ とで誤差増幅器の利得誤差を改善する.また、CDAC にお ける単位キャパシタの使用頻度をループフィルタでカウ ントし、このループフィルタ出力から使用するキャパシ タを決定する NSDEM の導入によって、CDAC の非線形歪と 利得誤差による特性劣化を改善する[4].

2. 誤差増幅器を用いた 2STEP ADC

(1) 2STEP ADC の構成



ー般的な SAR ADC と DT $\Delta \Sigma$ ADC で構成された 2STEP ADC を図 1 に示す. 2 つの ADC はそれぞれ内部に CDAC を 持つ.まず,入力信号は M bit SAR ADC にてコース変換 される.次に,変換時に発生した残差信号は,増幅度 *k* 倍された後に N bit DT $\Delta \Sigma$ ADC に転送する.転送される 残差信号は, SAR ADC の量子化誤差である.最後にスケ ールを戻すために DT $\Delta \Sigma$ ADC の出力信号はデジタル領域 で 1/*k* 倍されて, SAR ADC の出力信号と加算される.

(2) 2STEP ADC の動作と増幅度について

図 2 に 2STEP ADC の簡易回路図を示す. これは (2^M+2^N) 個のキャパシタアレイを持っており, 2^M 個の単位キャパ シタは Mbit SAR ADC の, 2^N 個の単位キャパシタは N bit DT $\Delta \Sigma$ ADC の内部 CDAC として動作する. コース変換を行 う SAR ADC は, SAR ADC 内部 CDAC, コンパレータ, SAR ロ ジック回路で構成されたループ,ファイン変換を行う DT $\Delta \Sigma$ ADC は, DT $\Delta \Sigma$ ADC 内部 CDAC, 1 次積分器, 2 次積 分器,量子化器で構成されたループにてそれぞれの動作 を行う.

SAR ADC は,入力信号 V_{in} と重みづけされた参照電圧 V_{ref} との比較で、ビットを決定する.比較の際に使用する電 圧 V_{ein} は式(1),式(2)から導出することができる.

$$\boldsymbol{Q}_{SAR} = -\sum_{i=1}^{2^{M}} \boldsymbol{C}_{SAR(i)} \boldsymbol{V}_{in} \tag{1}$$

$$V_{cin} = -V_{in} + \frac{\sum_{i=1}^{2^{M}} D_{SAR(i)} C_{SAR(i)}}{\sum_{i=1}^{2^{M}} C_{SAR(i)}} V_{ref}$$
(2)

ここで, C_{SAR} は SAR 用 CDAC のキャパシタ, Q_{SAR} は SAR ADC 内部 CDAC にチャージされる電荷, D_{SAR} は変換中のデジタ ルビットである.

SAR ADC による変換が終了した際、 D_{SAR} は SAR ADC の出 カビットとなる.式より V_{ein} は変換が終了した際, SAR ADC の量子化ノイズなる.

残差信号の DT $\Delta \Sigma$ ADC への転送は, C_{SAR} を DT $\Delta \Sigma$ ADC 初段積分器の入力キャパシタとして再利用することで, 初段の入力キャパシタを削減することができる. このと き, DT $\Delta \Sigma$ ADC の初段積分器には, C_{SAR} と DT $\Delta \Sigma$ ADC に割 り振られたキャパシタ C_{OSM} ,積分器の帰還キャパシタ C_{f} が接続されている状態となる. C_{DSM} は DT $\Delta \Sigma$ ADC 内部 CDAC として動作をし, $\Delta \Sigma$ ADC の出力信号をフィードバ ックする. このときの C_{SAR} , C_{DSM} , C_{f} に印加される総電荷 Q_{intl} は次式のように計算される.

$$Q_{int1}(t_n) = -C_f V_{int1o}(t_{n-1}) - \sum_{i=1}^{2^M} D_{SAR(i)} C_{SAR(i)} V_{ref} - \sum_{j=1}^{2^N} D_{DSM(j)} C_{DSM(j)} V_{ref}$$
(3)

ここで、 D_{DSM} は DT $\Delta \Sigma$ ADC の出力ビットである. したがって初段積分器の出力 V_{intol} は次のように計算 される.

$$V_{int1o}(t_{n}) = -G_{1} \left(-VIN + \frac{\sum_{i=1}^{2^{M}} D_{SAR(i)} C_{SAR(i)}}{\sum_{i=1}^{2^{M}} C_{SAR(i)}} V_{ref} \right)$$

$$-G_{2} \frac{\sum_{j=1}^{2^{N}} D_{DSM(j)} C_{DSM(j)}}{\sum_{j=1}^{2^{N}} C_{DSM(j)}} V_{ref} + V_{int1o}(t_{n-1})$$

$$\subseteq \subseteq \mathbb{C}, \qquad G_{1} = \frac{\sum_{i=1}^{2^{M}} C_{SAR(i)}}{C_{f}}, G_{2} = \frac{\sum_{j=1}^{2^{N}} C_{DSM(j)}}{C_{f}}$$
(4)



式(4)より, SAR ADC の残差信号は G_1 倍, DT $\Delta \Sigma$ ADC の フィードバック信号は G_2 倍に見えることがわかる.した がって, DT $\Delta \Sigma$ ADC の入力信号は利得 G_1, G_2 で増幅されて いるように見え,これは次の式で表される.

$$k = \frac{G_1}{G_2} = \frac{\sum_{i=1}^{2^M} C_{SAR(i)}}{\sum_{j=1}^{2^N} C_{DSM(j)}}$$
(5)

キャパシタの再利用による残差信号の後段への転送と 前後段のCDACの比によって作られる増幅度は,2STEP ADC おいて誤差増幅器として振る舞う.式(5)より,これは C_{SAR}と C_{DSM}の比で決定される.

(3) 製造ばらつきによる非線形歪と利得誤差

ここではキャパシタの製造ばらつきの影響について検 討する.製造ばらつきは、CDAC に非線形歪を及ぼすこと が知られている.増幅度 k 倍は、式(5)のようなアナログ 領域の値のため,製造ばらつきが生じる.一方で、DT $\Delta \Sigma$ ADC 出力端に接続された増幅度 1/k 倍はデジタル領域で 作成されるため、製造ばらつきに依存しない.したがっ てキャパシタの製造ばらつきは、2STEP ADC において CDAC の非線形歪を生させるのと同時に、誤差増幅回路の増幅 度 k 倍に誤差を生じさせ、全体の変換精度を劣化させる ことがわかる.

DAC の製造ばらつきによる非線形歪を改善する手法と して,一般的にミスマッチシェーパーが使用される.こ れは DAC の単位素子の使用頻度を平均化することで,DAC 内の相対的なばらつきを平均化させる.しかし,これは平 均化した絶対的な値に対して補償するものではない.し たがって,一般的なミスマッチシェーパーでは,利得誤差 の改善は行われない.

3. 提案手法

(1)利得誤差補償機能付 NSDEM の構成

2STEP ADC の製造ばらつきによる CDAC の非線形歪に加 え,誤差増幅器の利得誤差も同時に補償する DEM システ ムを提案する(図3). この DEM システムは,1ユニット シフタと2つのループフィルタを持つ Noise Shaping DEM (NSDEM)で構成される.

例として、M bit SAR ADC と N bit DT $\Delta \Sigma$ ADC で構成される 2STEP ADC を説明する. 2STEP ADC は、 $(2^{M}+2^{N})$ 個の単位キャパシタを持つ. 各単位キャパシタは固有の番号を持ち、 2^M 個は C_{SAR}、 2^N 個のキャパシタは C_{DSM} として割り当てるものとする.



図3 利得誤差補償機能付 DEM システムの概念図

SAR ADC, DT $\Delta \Sigma$ ADC の内部 CDAC の非線形歪を改善す るために,NSDEM を用いた.NSDEM は,ループフィルタを 用いて,任意のシェーピング特性を DAC の非線形歪に掛 けることができる.単位キャパシタはそれぞれ SAR 用, DT $\Delta \Sigma$ 用の計 2 つのループフィルタを持つ.これらは各 キャパシタの使用頻度を示す積分値を計算する.各 CDAC において,ソート回路,セレクタ回路は,割り当てられ た単位キャパシタの積分値が平均化されるように,使用 するユニットを選択する.

またこのとき,DAC の非線形歪を改善のためにDWA を 使用することは困難である.DWA は代表的なミスマッチ シェーパーの一種で,動作や回路構成のシンプルさが特 徴である[5].これは使用されるユニットを周期的に選択 することで,ユニットの使用頻度を平均化する.提案手 法では,1ユニットシフタの働きにより,CDAC に割り当 てられるキャパシタ番号は常にシフトされる.よって, DWA が本来選択すべきキャパシタが,他方のDAC に割り 当てられていた場合,これはエラーとして蓄積されるこ とから,本手法には用いなかった.

(2)利得誤差補償機能付 NSDEM の動作

説明を簡単にするために、2 bit SAR ADC と 2 bit DT $\Delta \Sigma$ ADC で構成された 2STEP ADC で提案手法の動作を説 明する.各 ADC の内部 CDAC は 4 個の単位キャパシタを必 要とし、計8 個のキャパシタを共有する.キャパシタの 使用頻度を積分するループフィルタは、各単位キャパシ タに対して 2 つずつ用意されており、それぞれ SAR ADC、 DT $\Delta \Sigma$ ADC 内部 CDAC 用である.図 4 に提案手法の DEM システムの動作例を示す.各キャパシタに対して、割り 振られた変換器の積分値を太い枠線で示した.また各変 換時に更新される使用されたキャパシタの積分値は、図 4 内では灰色で示した.

この DEM システムの動作を1ユニットシフタが動作す るサンプル動作時と NSDEM が動作するホールド動作時に 分けて説明する.また DAC の非線形歪が1次ハイパス特 性を示すよう,1次のループフィルタを採用した.

t=s	Sampling	phase
-----	----------	-------

	Cap No.	1	2	3	4	5	6	7	8
	Integral value SAR	1	2	0	2	2	1	1	0
	Integral value DSM	1	2	0	1	0	0	1	2
	Holding phase								
	Cap No.	1	2	3	4	5	6	7	8
	Integral value SAR	2	2	1	2	2	1	1	0
	Integral value _{DSM}	1	2	0	1	1	1	2	2
t=s+1	Sampling phase								
	Cap No.	1	2	3	4	5	6	7	8
	Integral value SAR	2	2	1	2	2	1	1	0
	Integral value DSM	1	2	0	1	1	1	2	2
	Holding phase								
	Cap No.	1	2	3	4	5	6	7	8
	Integral value SAR	2	3	2	3	2	1	1	0
	Integral value DSM	2	2	0	1	1	2	2	2

図4 利得誤差補償機能付 DEM システムの動作例

まず,キャパシタ番号 1[~]4(C1[~]C4)が SAR ADC, C5[~]C8 が DT $\Delta \Sigma$ ADC に割り当てられているとする. *t=s* のサン プル動作時において,1 ユニットシフタによって C1[~]C4 は *C*_{SAR}, C5[~]C8 は *C*_{DSW}に割り当てられる. これらはそれぞ れ SAR ADC の内部 CDAC, C5[~]C8 は DT $\Delta \Sigma$ の内部 CDAC と して動作する.

次にホールド動作時にて、キャパシタのシャッフリン グが行われる. SAR AD 内部 CDAC は C_{SAR} の SAR 用積分値を、 DT $\Delta \Sigma$ ADC 内部 CDAC は C_{DSM} の DT $\Delta \Sigma$ 用積分値を参照す る. C_{SAR} では C3, 1, 2, 4 の順に積分値が小さい. したがっ てこの場合は、SAR ADC 内部 CDAC で 2 個のキャパシタが 必要なとき、C3 と C1 が選択される. 同様に、 C_{DSM} では C5, 6, 7, 8 の順で積分値が小さい. したがって DT $\Delta \Sigma$ ADC 内部 CDAC にて 2 つのキャパシタが必要なとき、C5, 6 が 選択される. 各 DAC において使われたキャパシタは、そ のループフィルタに 1 を加え、積分値を更新する.

次に t=s+1のサンプル動作に入る. 1 ユニットシフタ によってキャパシタの再割り当てを行う. C2, 3, 4, 5 が C_{SAR} に, C6, 7, 8, 1 が C_{DSM} に割り当てられる.

ホールド動作時にて,各 DAC は割り当てられたキャパ シタの積分値から,使用するキャパシタの決定と積分値 の更新をする.

これらの動作を繰り返すことで,所望の動作を達成す る. 誤差増幅器の増幅度は1つずつ割り当てられるキャ パシタをシフトすることで平均化され,各 CDAC の非線形 歪は2つのループフィルタを持つ NSDEM によって補償さ れる. したがって,提案する DEM システムでは,増幅器 の利得誤差と CDAC の非線形歪の改善を同時に行うこと ができる.

シミュレーション結果及び考察 シミュレーションモデル



図5 シミュレーションモデル

表1 シミュレーション条件

Simulation conditions					
Amplitude [dB]	OSR	f _{in}	Plot		
0	128	$\frac{1}{10}f_B$	2 ¹⁶		

提案回路の有効性を確認するために、Matlab/simulink にてシミュレーションを行った.シミュレーションに用 いた simulink モデルの簡易ブロックを図 5 に示す.

2STEP ADC は、*M*-4, *N*=2, すなわち 4 bit SAR ADC と 2 bit DT $\Delta \Sigma$ ADC で構成されている. 2STEP ADC は計 20 個 の単位キャパシタで構成されるキャパシタアレイを持ち, 各キャパシタは C1[~]C20 の固有の番号を持つ.

そのうち 16 個が 4 bit SAR ADC, 4 個が 2 bit DT Δ ADC に割り当てられる. 信号 V_{in} はまず SAR ADC, DEM, SAR 内部 CDAC のループにてコース変換される. このとき SW はオフである. C_{SAR} に割り当てられた単位キャパシタの SAR 用積分値を参考に, SAR ADC 内部 CDAC はキャパシタ の選択及び積分値の更新をする.

SAR ADC の変換が終わった後、その残差信号は SW をオ ンにすることで、DT $\Delta \Sigma$ ADC に転送される.このとき、 増幅度 k 倍は C_{SAR} と C_{DSM} の比によって決定される.本シ ミュレーションでは、製造ばらつきがない場合の増幅度 k は 4 倍である.

続いてループフィルタ,量子化器,DEM,DT $\Delta \Sigma$ 内部 CDAC で構成された DT $\Delta \Sigma$ ADC にて,残差信号の変換を 行う.割り当てられた単位キャパシタの DT $\Delta \Sigma$ 用積分値 を参考に,キャパシタの選択・積分値の更新をする.

DT $\Delta \Sigma$ の出力信号はスケールを戻すために、1/k 倍に 減衰されたのち、SAR ADC の出力信号と加算される. こ のとき、1/k 倍はデジタル領域で作られるため、定数と する. 本シミュレーションでは、キャパシタの製造ばら つきは 1%を想定した. その他のシミュレーション条件 は表 1 に示す.



図6 出力の Fast Fourier Transform(FFT)結果

Simulated patterns	SNDR [dB]
w/o DEM	56.5
w/ DEM for each DAC only	87.8
w/ proposed DEM	93.4

表 2 シミュレーション結果の SNDR

表2にシミュレーション結果を、図6にシステム出力 をFFT解析した結果を示す.このとき、横軸は周波数、 縦軸は振幅のマグニチュードを示す.

ミスマッチシェーパーの比較に関して、3 つの条件で シミュレーションを行った.1 つ目は DEM を使用しない 場合で、w/o DEM としてプロットした.キャパシタの製 造ばらつきの影響による CDAC の非線形歪と誤差増幅器 の利得誤差が、ノイズフロアの上昇や高調波として発生 している.このとき SNDR は 56.5 dB であった.

2つ目は、通常のNSDEMをSAR ADC, DT $\Delta \Sigma$ ADC 内部 CDAC にそれぞれ使用した場合であり、w/DEM for each DAC only としてプロットした. 増幅器利得誤差の補償にあた る 1 ユニットシフトは行われないため、C1[~]C16 は常に SARADC 内部 CDAC、C17[~]C20 は常に DT $\Delta \Sigma$ ADC 内部 CDAC として割り当てられる. シミュレーション結果より、DEM を使用しない場合に比べ、ノイズフロアや高調波の改善 が確認できる.しかし、誤差増幅器の利得誤差の影響に よって信号帯域に高調波が発生している.このとき SNDR=87.8 dB であった.

3 つ目は, 誤差増幅器の利得誤差補償機能を持つ提案 手法を用いた場合で, w/ proposed DEM としてプロット されている. ノイズフロアは NSDEM のみを使用したとき に比べ高い. これは1ユニットシフタによって, 積分器 の平均化すべきキャパシタが 20 個に拡張されたこと, 平 均化に時間が掛かることが原因であると考えられる. 一 方, 1ユニットシフタによって増幅度の平均化が行われ たため、帯域内の高調波の改善が確認できた.また 1/20fBの間隔で発生する高調波は、1 ユニットシフタの 影響であると考えられるが、OSR=128 であるため帯域に は影響は与えない.このとき SNDR は 93.4dB であり、通 常の NSDEM と比べ 5.6dB の改善を確認した.

5. まとめ

キャパシタの製造ばらつきによる誤差増幅器の利得誤 差と DAC の非線形歪を同時に改善する DEM を提案した. コース変換に SAR ADC,ファイン変換に DT $\Delta \Sigma$ ADC を用 いた 2STEP ADC を想定した.各 ADC の内部 CDAC にて構成 された誤差増幅器を通じて,SAR の残差信号は DT $\Delta \Sigma$ ADC に転送される.しかしキャパシタの製造ばらつきは,増 幅度と DAC に影響を与え,その変換精度を制限する.提 案した DEM システムでは,DAC に割り当てられるキャパ シタを時間毎にシフトする1ユニットシフタで誤差増幅 器の利得誤差を,2つのループフィルタを持つ NSDEM は 2 つの内部 DAC の非線形歪を改善する.有効性を確認する ために行った Matlab/simulink シミュレーションでは, 製造ばらつき 1%のとき提案手法では通常の NSDEM のと きと比較して SNDR を 5.6 dB 改善できる確認した.

参考文献

- Gönen, Burak, et al. : A 1.65 mW 0.16 mm2 dynamic zoom-ADC with 107.5 dB DR in 20kHz BW, Solid-State Circuits Conference (ISSCC), 2016 IEEE International, IEEE, 2016.
- 2) Chae, Youngcheol, Kamran Souri, and Kofi AA Makinwa. : A 6.3 μ W 20 bit Incremental Zoom-ADC with 6 ppm INL and 1 μ V Offset, IEEE Journal of Solid-State Circuits 48.12(2013), 3019-3027, 2013.
- 3) Leene, Lieuwe B., and Timothy G. Constandinou. : A 0.016 mm2 12 b delta-sigma SAR With 14 fJ/conv. for Ultra Low Power Biosensor Arrays, IEEE Transactions on Circuits and Systems I: Regular Papers 64.10(2017), 2655-2665, 2017
- 4) Yasuda, Akira, Hiroshi Tanimoto, and Tetsuya Iida. : A third-order delta sigma modulator using second-order noise-shaping dynamic element matching, IEEE journal of solid-state circuits 33.12 (1998), 1879-1886, 1998
- 5) Neitola, Marko, and Timo Rahkonen. : A generalized data-weighted averaging algorithm, IEEE Transactions on Circuits and Systems II: Express Briefs 57.2 (2010), 115-119, 2010