

RFマグネトロンコスパッタ法により形成した CeO₂+Si複合酸化物の堆積と評価

山口, 航太 / YAMAGUCHI, Kota

(出版者 / Publisher)

法政大学大学院理工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

59

(開始ページ / Start Page)

1

(終了ページ / End Page)

5

(発行年 / Year)

2018-03-31

(URL)

<https://doi.org/10.15002/00021577>

RF マグネトロンスパッタ法により形成した CeO₂+Si 複合酸化物の堆積と評価

DEPOSITION AND EVALUATION OF CeO₂ + Si MIXED COMPOUND OXIDES
USING RF MAGNETRON CO-SPUTTERING

山口 航太

Kota YAMAGUCHI

指導教員 山本康博 教授

法政大学大学院理工学研究科電気電子工学専攻修士課程

Mixed compound oxide films of CeO₂ and Si with various composition ratios were deposited on p-type Si (100) substrates by RF magnetron co-sputtering system equipped with $\phi 2''$ metal Si and sintered CeO₂ cathodes in Ar. The samples were annealed at 800 °C for 30 min in a O₂ atmosphere in order to recover the deposited films from damage caused by re-sputtering by O⁻ ions. The XPS depth profiled measurement revealed that Ce silicates and SiO₂ were formed in the middle of films and when the atomic concentration of Ce exceeded 35.1 % in the films, the formation of Ce silicates was promoted. Compared with the middle of films, Ce silicates was promoted in the vicinity of interfaces between the films and substrates. When the concentration of Ce exceeded 35.1 % in the films, Ce silicate, SiO₂ and CeO₂ existed. The samples with the atomic concentration of Ce exceeding 35.1 % in the films represented the dielectric constant close to bulk CeO₂ from C-V measurement.

Key Words : CeO₂, Ce-silicate, high-k, sputter,

1. 序論

近年の電子機器の性能向上に伴い、MOS デバイスの微細化が進んでいる。MOS デバイスの微細化によりゲート絶縁膜として用いられてきた SiO₂ は薄膜化の限界を迎え、トンネル効果によるリーク電流が問題となっており、SiO₂ の代替となる材料として高誘電率(High-k)材料の研究が盛んに行なわれきた[1]-[4]。High-k 材料を採用する事でゲート絶縁膜の膜厚を保ちつつ、電気容量を確保する事ができ、トンネル効果によるリーク電流の低減も期待できる[5][6]。

High-k 材料である CeO₂ はバルク状態で比誘電率 26 と、SiO₂ の比誘電率 3.9 と比較して約 7 倍の比誘電率を持つ。また化学的安定性があり、Si との格子不整合率は 0.35% と小さいので Si との相性が良く、良好なエピタキシャル成長をする絶縁膜の形成が期待できる[7]。しかし、CeO₂ は室温で多結晶化しやすく、堆積された膜は膜中の結晶粒界がパスとなる事によるリーク電流の増大が懸念される[8]-[10]。Ce シリケート(Ce₂Si₂O₇)は比誘電率が 21 と高く、バンドギャップが 6.1 eV であり、CeO₂ のバンドギャップである 3.4 eV と比べても大きい値であることから、スクリーニングを行うのに非常に魅力的な材料である[11]。

Ce シリケートは 3 価のセリウムによって構成されることから、本研究では、金属 Si ターゲットと焼結体 CeO₂ ターゲット有した RF マグネトロンスパッタ法によって Si 基板に CeO₂ と Si の複合酸化物を堆積した。Ce と Si の存在比率が異なる試料を作製し、X 線光電子分光(XPS)法によって各試料の膜中及び Si 基板との界面の化学結合状態を評価した。電気的特性を Capacitance-Voltage(C-V)測定を用いて調査し、各条件の比誘電率を算出し比較検討を行った。

2. 実験方法

本研究で使用した RF マグネトロンスパッタ装置の概略図を図 1 に示す。Si 基板は P 型 Si (100) 基板を用いて、アセトン(C₃H₆O) : 5 分、エタノール(C₂H₆O) : 5 分、純水リンス : 5 分、2 %フッ化水素酸(HF) : 3 分、純水リンス : 5 分の行程で化学的に洗浄し、自然酸化膜の除去及び水素終端処理を行った。表 1 に堆積条件を示す。ターゲットには焼結体 CeO₂ と金属 Si を使用した。到達真空度は 2.5×10⁻⁴ [Pa]、スパッタガスには Ar ガスを用い、堆積圧力は 0.77 [Pa]とした。また、Si ターゲットの RF 電力を 50 W に固定して CeO₂ ターゲットの RF 電力を

30~60 W まで、10 W ずつ変化させて堆積を行った。堆積した薄膜の膜厚はエリプソメータで測定し、それぞれの条件ごとに堆積レートを算出し、膜厚を 50~60 nm に統一した。また、堆積した試料にアニール処理を施した。表 2 にアニール条件を示す。

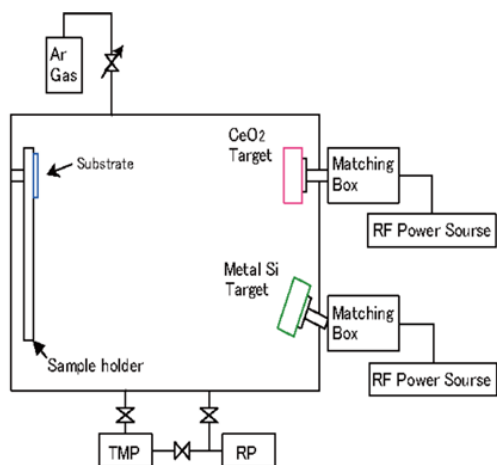


図 1 RF マグネトロンスパッタ装置概略図

表 1 堆積条件

ターゲット	焼結体 CeO ₂ 金属 Si
RF パワー	CeO ₂ 30,40,50,60 [W] Si 50 [W]
堆積圧力	0.77 [Pa]
基板温度	R.T.
スパッタガス	Ar
基板	p-type Si (100)
膜厚	50 ~ 60 [nm]

表 2 アニール条件

アニール時間	30 [min]
雰囲気	O ₂
アニール温度	800 [°C]

3. 結果および考察

(1) XPS による結合状態評価

表 3 に XPS 深さ方向分析から得られた各条件における O:Ce:Si の原子濃度比を示す。CeO₂ の RF パワーを 30W~60W まで変化させたとき、Ce の濃度は 10%程度の増加が確認された。

表 3 各条件における O:Ce:Si の原子濃度比率

	原子濃度比率[%]		
	O	Ce	Si
30W	53.0	27.4	19.6
40W	51.2	30.9	17.7
50W	51.0	35.1	13.9
60W	47.7	37.5	14.7

a) CeO₂:60W, Si:50W における結合状態変化

RF パワーを CeO₂:60W, Si:50W 供給した時の CeO₂+Si 酸化膜における堆積直後および 800°Cアニールを施した試料の化学結合状態の変化を調査した。膜中における Si 2p, O 1s スペクトルを図 2 および図 3 に示す。なお、図 3 においてピークが重なっている事からいくつかの結合が生じている事が分かるので、ピーク分離を行った。

図 2 の Si 2p スペクトルにおいて、結合エネルギーは堆積直後では Ce-Si-O 結合の 102.5 eV の位置にピークが存在していたが、800°Cアニール後では Si-O 結合の 104 eV 付近へと高エネルギー側にピークがシフトした。

図 3 の O 1s スペクトルにおいても同様にシフトしている事が分かる。堆積直後において、Ce-Si-O 結合の 531.5 eV と Ce-O 結合の 530 eV の位置にピークは存在し、800°Cアニール後では Ce-Si-O 結合と Si-O 結合の 533eV にピークが存在した。すなわち、膜中における化学結合状態は堆積直後において Ce シリケートおよび CeO₂ が混在し、800°Cアニールを施すことで、Ce シリケートおよび SiO₂ が膜中に生成したことを示している。

本研究では金属 Si と CeO₂ ターゲットを使用したコスパッタによって堆積を行っている。CeO₂ ターゲットを用いてスパッタする事により実際には酸素分圧が存在し、CeO₂ の一部は Ce₂O₃ として Si 基板の上に堆積され、金属 Si が空間中の酸素と反応し SiO₂ として堆積されることで Ce³⁺を有する Ce₂O₃ と SiO₂ が反応し、Ce シリケートが形成されたと考えられる。

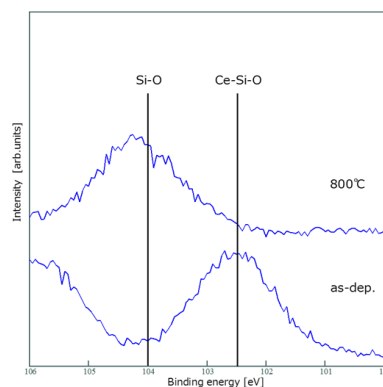


図 2 堆積直後および 800°Cアニールした膜中における Si 2p スペクトル(CeO₂:60W, Si:50W)

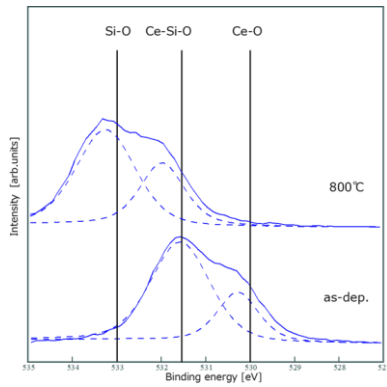


図3 堆積直後および800°Cアニールした膜中におけるO 1s スペクトル(CeO₂:60W, Si:50W)

界面付近におけるSi 2p, O 1s スペクトルを図4および図5に示す. 図5も図3と同様にピーク分離をおこなった. Si 2p スペクトルにおいて, 膜中と同様に堆積直後ではCe-Si-O結合の位置にピークが存在し, 800°Cアニールを施すとSi-O結合へのピークシフトが観測された. O 1s スペクトルにおいても同様に高エネルギー側にシフトしており, 堆積直後ではCe-Si-O結合とCe-O結合のピークが観測され, 800°Cアニールによって, Si-O結合ピークへシフトした. すなわち, 界面付近においても膜中と同様に堆積直後からCeシリケートおよびCeO₂を形成するが, 800°Cアニールを施すことでCeシリケートとSiO₂とCeO₂が混在していることを示す. また, 界面付近においてCeシリケートを生成する理由として, 金属SiターゲットによるものではなくSi基板からの影響が挙げられる. Si基板からのSiが堆積されたCeO₂と反応することで酸素を還元し, Ce³⁺を生成する. これによってCeシリケートを生成したのではないかと考えられる.

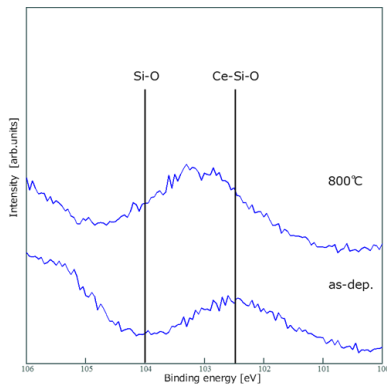


図4 堆積直後および800°Cアニールした酸化膜とSi基板の界面付近におけるSi 2p スペクトル(CeO₂:60W, Si:50W)

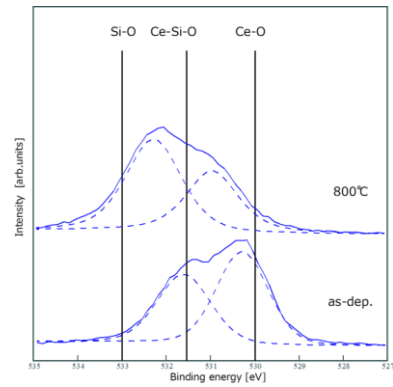


図5 堆積直後および800°Cアニールした酸化膜とSi基板の界面付近におけるO 1s スペクトル(CeO₂:60W, Si:50W)

b) 各条件で堆積したアニール800°Cにおける試料の結合状態比較

CeO₂のRFパワーが異なる条件で堆積した試料の膜中におけるSi 2p スペクトルとO 1s スペクトルをそれぞれ比較したものを図6および図7に示す. 図6のSi 2p スペクトルにおいて, Si-O結合のピークが支配的となり, 各試料間でのピークシフトは観測されなかった. 図7のO 1s スペクトルではCeO₂のRFパワーが30Wおよび40Wの試料はSi-O結合のピークが支配的となり, RFパワーが50W, 60Wと大きくなるにしたがってCe-Si-O結合のピークも観測された. これは, Ceの原子濃度が35.1%を越えると膜中におけるCeシリケートの形成が促進されることを示す.

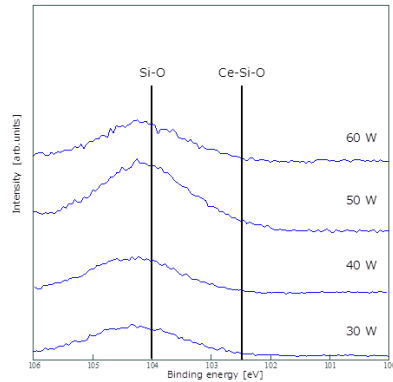


図6 CeO₂+Si酸化膜中における堆積条件別のSi 2p スペクトル

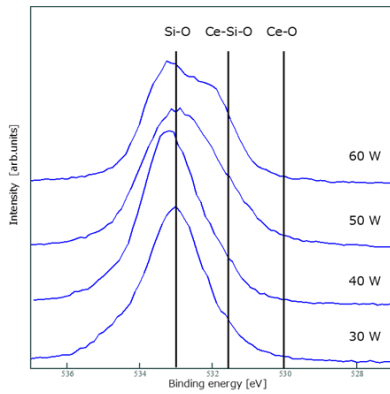


図7 CeO₂+Si 酸化膜中における堆積条件別の O 1s スペクトル

膜中と同様に、各試料の界面付近における Si 2p スペクトルと O 1s スペクトルをそれぞれ比較したものを図8および図9に示す。図8の Si 2p スペクトルでは、膜中のスペクトルと比較して各試料において低エネルギー側へのピークシフトが観測された。図9の O 1s スペクトルにおいても、低エネルギー側へとシフトし、50W のピークは 30W, 40W に比べて半値幅が広がっている。3.2.1 で述べたように 800°C アニールにおける 60W の試料で Ce-O 結合が確認できることから、50W でも Ce-O 結合のピークが生じていると考えられる。したがって、界面付近では各試料において主に Ce シリケートと SiO₂ が存在しているが 50W, 60W の試料において CeO₂ も加えて形成されていることが分かる。

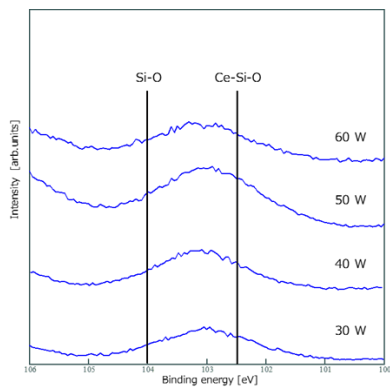


図8 界面付近における堆積条件別の Si 2p スペクトル

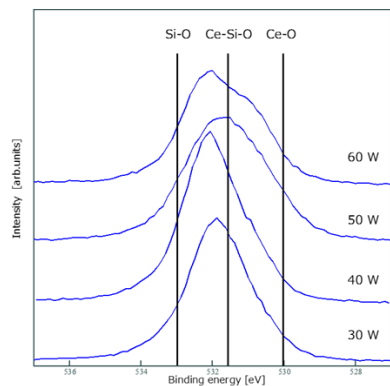


図9 界面付近における堆積条件別の O 1s スペクトル

(2) C-V 測定による電気的特性評価

CeO₂ 薄膜および各条件で堆積した試料の電気特性を正規化したものを図10に示した。なお、CeO₂ 薄膜は本研究で使用したスパッタ装置で堆積し、800°C アニールを施したものである。CeO₂ 薄膜と比較して CeO₂+Si 複合酸化膜は急峻なカーブを描いた。また、フラットバンドも CeO₂ 薄膜は負の方向にシフトしていたが、複合酸化膜では 0 バイアス付近に落ち着いた。

表4に各試料の比誘電率を算出したものを示す。CeO₂ の RF パワーが 30W, 40W の時と比較して 50W, 60W では急激に誘電率が高くなり、CeO₂ のバルク値に近い値をとった。急激に大きくなった理由として、界面付近の SiO₂ が減少し、CeO₂ が形成されたことが挙げられる。

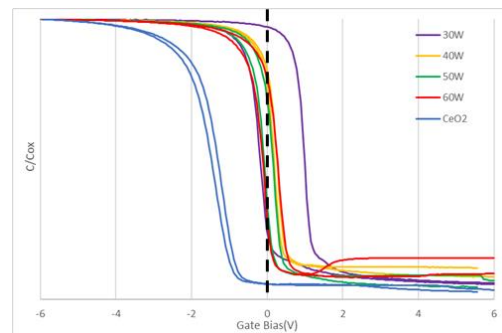


図10 800°C アニールにおける堆積条件別の C-V カーブ

表4 各堆積条件における比誘電率

CeO ₂ [W]	30	40	50	60
比誘電率ε	8.7	10.5	27.4	28.6

4. 結論

スパッタ法によって P 型 Si(100) 基板上に堆積した CeO₂+Si 複合酸化物はダメージが著しく、欠陥を取り除くために 800°C アニールを施した。CeO₂ の RF パワーが 60W である試料(O:Ce:Si=47.7%:37.5%:14.7%)において、膜中および界面付近ともに堆積直後から Ce シリケートと CeO₂ が混在し、800°C アニールによって膜中では Ce シリケートおよび SiO₂ を生成し、界面付近では Ce シリケートおよび SiO₂, CeO₂ が混在した。CeO₂ の RF パワーを 30W~60W まで変化させて堆積した試料において、膜中では SiO₂ および Ce シリケートを形成した、50W, 60W の試料(Ce の原子濃度が 35.1% を越える試料)は膜中において Ce シリケートの形成が促進されることを示した。界面付近では膜中と比べて Ce シリケートの形成が各試料において促進され、50W, 60W の試料は、加えて CeO₂ を形成した。C-V 測定より、50W および 60W における CeO₂+Si 複合酸化膜の誘電率は CeO₂ のバルク値に近い値を示した。

5. 謝辞

本研究を進めるにあたり、ご指導ご鞭撻を賜りました山本康博教授をはじめ、ご協力やご助言を頂きました株式会社コメットの鈴木摂様、石橋啓次様に深謝いたします。また、同研究グループである高澤健己氏をはじめとした山本研究室の皆様にも研究活動、私生活の両面に渡り大変お世話になりました。心より御礼申し上げます。私を支えてくださったすべての方々に心から感謝の気持ちと御礼を申し上げまして、謝辞とさせていただきます。

参考文献

- [1] J.H. Lee, Y.H. Kwon, B.H. Kong, J.Y. Lee, H.K. Cho, *Cryst. Growth Des.* 12 (2012).
- [2] C.S. Oh, C.J. Youn, G.M. Yang, K.Y. Lim, J.W. Yang, *Appl. Phys. Lett.* 85 (2004).
- [3] H.C. Kang, S.H. Seo, H.W. Jang, D.H. Kim, D.Y. Noh, *Appl. Phys. Lett.* 83 (2003).
- [4] Y. Kakehi, S. Nakao, K. Satoh, T. Kusaka, *J. Cryst. Growth* 237 (2002).
- [5] G. D. Wilk, R. M. Wallace, J. M. Anthony, *J. Appl. Phys.* 89 5243 (2001).
- [6] A. I. Kingon, J. P. Maria, S. K. Streiffer, *Nature (Lond.)* 406 1032 (2000).
- [7] I. Iordanova, L. Popova, P. Aleksandrova, G. Beshkov, E. Vlahkov, R. Mirchev, B. Blagoev, *Thin Solid Films* 515 (2007) 8078–8081
- [8] H. Y. Lee, S. I. Kim, Y. P. Hong, Y. C. Lee, Y. H. Park, and K.H. Ko, *Surface and Coatings Technology* 173, 224 (2003).
- [9] H. Y. Lee, Y. C. Lee, Y. P. Hong, and K. H. Ko, *Applied Surface Science* 228, 164 (2004).
- [10] N. Yamada, Y. Oyama, T. Higuchi, and S. Yamaguchi, *Solid State Ionics* 172, 293 (2004).
- [11] K. Kakushima, K. Okamoto, T. Koyanagi, M. Kouda, K. Tachi, T. Kawanago, J. Song, P. Ahmet, K. Tsutsui, N. Sugii, T. Hattori, H. Iwai, *MicroelectronicEngineering* 87(2010)1868–1871A