

## 化合物半導体デバイスプロセスの研究

OHTA, Hiroshi / 太田, 博

---

(出版者 / Publisher)

法政大学大学院理工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

59

(発行年 / Year)

2018-03-31

## 論文要旨

No. 1/4

理工学	研究科	電気電子工学	専攻
		プログラム コース	系 領域
氏名	太田 博		

論文題目	化合物半導体デバイスプロセスの研究
------	-------------------

## 論文の要旨

本論文は化合物半導体を用いた高速デバイスおよびパワーデバイスの開発について述べたものである。

本論文は全 6 章で構成されている。

第 1 章では、本研究の背景、目的および本論文の概要について述べた。

高速デバイスとしては、自動車衝突防止システム用ミリ波車載レーダーへの搭載を目的とした AlGaAs/InGaAs/GaAs High Electron Mobility Transistor (HEMT) の開発を行った。

ミリ波とは、波長が 1~10mm 程度で、周波数が 30G~300GHz の電波であり、ミリ波レーダーには 60GHz 帯、76GHz 帯、79GHz 帯が割り当てられている。ミリ波車載レーダーは、パワーアンプ、レシーバー（ローノイズアンプ+ミキサ）、発振器等で構成されており、これらは主に同一半導体基板上に回路素子を配置した Monolithic Microwave Integrated Circuit (MMIC) として開発が進められている。

続いてパワーデバイスとしては、様々な電気機器の主に電源部分に用いられるパワーコントロールユニット (Power Control Unit: PCU) の構成部品であるコンバーターやインバーターへの搭載を目的とした自立 GaN 基板上 p-n ダイオードの開発を行った。

PCU は使用される電圧、電流共に大きくなることが予想され、半導体デバイスは高耐圧化、大電流化が強く要求されている。また、コンバーターやインバーターは半導体デバイスの他にコイルやコンデンサーで構成されており、これらは PCU 全体の約 4 割程度の体積を占めている。このことから PCU 小型化のためにはコイルやコンデンサーの小型化が重要である。

第 2 章は超高速化合物半導体デバイスプロセスと題し、HEMT 高性能化のためのデバイスプロセスの検討結果について述べた。

HEMT の高性能化のためには、高周波動作時に特性に大きな影響を及ぼす寄生成分であるゲート・ドレイン間容量  $C_{gd}$  を低減し、同時に、同じく特性に影響の大きい寄生成分であるソース抵抗  $R_s$  の増大を防止することが有効である。これを実現するために、ゲート・ソース間に比べゲート・ドレイン間の距離が大きくなっているオフセットゲート構造

HEMT の開発を行った。その結果、ノンオフセットゲート構造に比べ  $C_{gd}$  を約 25% 低減することが出来、最大発信周波数  $f_{max}=170\text{GHz}$  が得られた。また、シミュレーションにより求めた最大有能電力利得 (Maximum Available Gain : MAG) は、周波数 77GHz において 9.2dB となり、これはノンオフセット構造 HEMT に比べ 3dB 高い値となった。

また、同 HEMT を 3 段接続した 3 段パワーアンプを試作し、ドレイン・ソース間電圧  $V_{ds}=3.5\text{V}$  印加時、周波数 77GHz において小信号利得 16.5dB が得られた。同 3 段パワーアンプについて試料温度 175°C、 $V_{ds}=3.5\text{V}$ 、ゲート・ソース間電圧  $V_{gs}=-0.2\text{V}$  の条件で簡易寿命試験を行ったところ、測定時間 160hr においても小信号利得は約 11dB を維持し一定の値となった。これは、活性化エネルギーを 1.5eV と仮定して寿命を計算すると、85°C で 30 年の寿命に相当する。

第 3 章はパワー半導体デバイスプロセスと題し、p-n ダイオードのデバイスプロセスの検討結果について述べた。

最初に p 形電極とフィールドプレート電極を接続するコンタクトホール加工プロセスのドライエッチング化を行った。その結果、従来よりも電極金属の被覆性を向上することが出来た。次に、素子間分離のためのメサ構造形成 Inductive Coupled Plasma-Reactive Ion Etching (ICP-RIE) 時のエッチングダメージ低減プロセスの検討を行った。ICP-RIE 時、エッチングマスクである Ni をエッチング時に発生するイオン等が通り抜けることによって、p-GaN 層表面へダメージが発生する恐れがある。そこで、エッチングダメージ低減のために、エッチングマスクに SOG (Spin on Glass) /SiO<sub>2</sub>/Ni の 3 層構造を用いた。これにより p-n ダイオードの順方向 I-V 特性におけるオン抵抗は、従来の Ni 単層マスク構造の  $1.39\text{m}\Omega\text{cm}^2$  に対し、3 層マスク構造では  $1.22\text{m}\Omega\text{cm}^2$  と約 15% 低減することが出来た。しかし、3 層マスク構造ではメサ側面へのドライエッチングダメージは回避することが出来ないため、アニールによりエッチングダメージの回復を試みた。メサ側面にアニール保護膜として SiN を形成し、N<sub>2</sub> 中で 850°C 30 分のアニールを行った結果、p-n ダイオードの耐圧がアニール前の約 4.1kV に比べ約 4.25kV に回復した。さらにドライエッチング自体のダメージを低減させるために、エッチング時の加速エネルギーを 150W から 50W に減少させてメサ構造形成エッチングを行った。その結果、逆方向電圧 2kV 以上で逆方向リーク電流を低減することが出来、3kV における電流値は 150W の  $1.7\times 10^{-9}\text{A}$  に対し 50W では  $7\times 10^{-10}\text{A}$  と半分程度となった。

第 4 章はパワー半導体デバイスの高耐圧化と題し、p-n ダイオードの高耐圧化の検討結果について述べた。この章では大きく分けてダイオードの層構造の検討とデバイス構造の検討を行った。

ダイオードの層構造として、トリプルドリフト層構造および、可逆性 p-n ダイオード構造の検討を行った。トリプルドリフト層構造とは、不純物ドーピング濃度の異なる 3 層の n-GaN 層をドリフト層として配置した構造である。最も電界強度が高くなる p-n 接合付近のドーピング濃度を減少することで耐圧の向上を図り、p-n 接合付近以外のドーピング濃度を順次高くすることでオン抵抗の増大防止を図っている。これにより耐圧 4.7kV という自立 GaN 基板上 p-n ダイオードとしては世界トップデータが得られた。この時のオン抵抗は  $1.6\text{m}\Omega\text{cm}^2$  となった。耐圧とオン抵抗の関係から、パワーデバイスの性能を評価する

指標として用いられるバリガの性能指数 ( $= V_b^2/R_{on}$  ( $V_b$ : 耐圧、 $R_{on}$ : オン抵抗)) を計算すると、GaN の理論性能値である  $10\text{GW}/\text{cm}^2$  を大きく超える  $13.8\text{GW}/\text{cm}^2$  が得られた。

可逆性 p-n ダイオードとは、逆方向電圧印加によりダイオードが降伏しても、再測定時にはほぼ同じ特性が得られるダイオードである。p-n ダイオードに逆方向電圧を印加すると、p-n 接合界面から p 形層、n 形層それぞれに空乏層が広がる。印加電圧を増加し p 形層中全域が空乏化されると p 形層側空乏層中に電子をキャリアとした導電性が生じ電流が流れる。このような現象はパンチスルー現象と呼ばれている。パンチスルー現象は電流の増加の仕方が緩やかなため p-n ダイオードは破壊されにくい。本研究では p-GaN 層のアクセプタ濃度が通常の構造に比べ  $1/4 \sim 1/9$  程度の結晶を用いる事で、アバランシェ降伏が生じるより先にパンチスルー現象を生じさせ、耐圧  $4.8\text{kV}$  で可逆性が生じる p-n ダイオードを実現した。このような特性は過去に報告例がなく極めて優れた結果である。

デバイス構造として、ガードリング構造 p-n ダイオードおよび、p-GaN 層薄層化 p-n ダイオードの検討を行った。ガードリング構造 p-n ダイオードとは、p-n ダイオードの周辺部分にリング状 p-n ダイオードを配置した構造の p-n ダイオードにおいて、リング状部分とメイン p-n ダイオード部分の間に抵抗素子を挿入した構造で (このようなリング状 p-n ダイオード部分をガードリングと呼ぶ)、逆方向電圧印加時にメイン p-n ダイオード部分とガードリング部分の間に生じる電圧降下を利用して、ガードリング部分に印加される電圧を実質的に低くすることで耐圧の向上を図るものである。同構造により耐圧  $5.0\text{kV}$  が得られた。この値はそれまでの世界トップデータである  $4.7\text{kV}$  を上回る極めて優れた結果である。

p-GaN 層薄層化 p-n ダイオードとは、p-n ダイオードの p 形電極端からメサ端までの p-GaN 層の一部または全部を薄層化した p-n ダイオードである。これにより逆方向電圧印加時に薄層化した部分の p-GaN 層が全空乏化し高抵抗化する。逆方向電圧印加時に p-GaN 層が高抵抗化するため p 形電極端、メサ端間で電圧降下が生じ、ガードリング構造 p-n ダイオードと同様の耐圧向上効果が得られる。本構造ではガードリング部分が存在しない分 p-n ダイオードの小型化が可能となる。同 p-n ダイオードを試作評価した結果、通常構造 p-n ダイオードに対し約  $200\text{V}$  耐圧が向上した。これはガードリング構造 p-n ダイオードとほぼ同等な耐圧向上効果であった。また、p-GaN 層薄層化 p-n ダイオードはメサ端での電界集中がより緩和されるため、p-GaN 層中の電界分布が均一化され、アバランシェ降伏による電流増加から p-n ダイオード破壊に至るまでの許容エネルギーであるアバランシェ耐量が向上する。このため p-GaN 層薄層化 p-n ダイオードは破壊が生じにくく、可逆性を示すという効果も得られた。

第 5 章はパワー半導体デバイスの大電流化と題し、p-n ダイオードの大電流化の検討について述べた。この章では p-n ダイオードの大電流化のためにキーとなる現象であるフォトンリサイクリング現象に関して、電流密度の異なる 4 つ領域からなるモデルを用いて実測結果とフィッティングを行い、現象の妥当性について検討した。その結果、電極径が  $100\ \mu\text{m}$  以下の p-n ダイオードに関しては計算値と実測値が良く一致し、電流の増幅効果は電極周辺約  $10\ \mu\text{m}$  で発生しているという結果となった。これは過去の報告例とほぼ等しい結果であった。

また、同現象を最大限利用して大電流化を図る構造として楕形電極 p-n ダイオードを試作評価した。その結果通常の円形ダイオードに対しオン抵抗が約 20%減少した。

第 6 章は結論と題し、結言および今後の課題について述べた。