

フィードフォワード型ジッタシェーパーDAC の試作と評価

峯村, 亮佑 / MINEMURA, Ryosuke

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

58

(開始ページ / Start Page)

1

(終了ページ / End Page)

3

(発行年 / Year)

2017-03-31

(URL)

<https://doi.org/10.15002/00014195>

フィードフォワード型ジッタシェーパーDACの試作と評価

IMPLEMENTATION AND MEASUREMENT OF A DELTA-SIGMA DAC WITH JITTER-SHAPER

峯村亮佑

Ryosuke MINEMURA

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

We present a novel delta-sigma digital-to-analog converter using a jitter shaper to reduce the noise caused by clock jitter. Intermodulation between the quantization noise and clock jitter produces wide spectrum noise, which degrades the signal-to-noise ratio (SNR) of the delta-sigma DAC. The accuracy of the delta-sigma DAC is determined by the jitter; it is improved by reducing the effects of jitter. The delta-sigma DAC requires jitter compensation for SNR degradation caused by clock jitter. The jitter shaper can reduce noise in the signal band by shaping the noise caused by the clock jitter. It is designed for a 0.18 μm complementary metal-oxide semiconductor (CMOS) and comprises switched capacitor and sample-and-hold circuits. We implement and measure the DAC with a jitter shaper circuit. The complete system is implemented on a single chip that is fabricated with a 0.18 μm CMOS technology for a 1.8 V operation with a die size of 6.25 mm².

Key Words : D/A converter, delta-sigma modulator, jitter shaper

1. はじめに

オーバーサンプリングとノイズシェーピング特性により高精度な変換を実現することができるため、オーディオ用の高精度なデジタル-アナログ変換器 (DAC) には ΔΣDAC が一般的によく用いられている。ΔΣDAC は、アナログ信号出力時にクロックジッタと高域の量子化ノイズとの位相変調作用により、ホワイトノイズやスプリアストーンが発生し、特性が悪化する。対策法の一つとして、ΔΣ変調器 (DSM) の後ろにジッタシェーパー (JS) を接続する方法が提案された[1].

JS は DSM の構成を利用したフィードバック制御であり、DSM 同様に制御器にあたる積分器の性能が重要である。そこで DSM では、積分器に用いる OPAMP の要求仕様緩和のためにフィードフォワード型 (FF 型) を用いることがある。JS においても FF 構成は有用であると考えられる。そこで本論文では FFJS を提案し実装、測定結果を示す。

2. 提案手法

図 1 に提案手法の FFJS のブロック図を示す。実際には、積分器とサンプルホールドはスイッチトキャパシタ DAC を兼ねる。このシステムは連続系と離散系が混在するので、s-z 変換を用いて z 領域で考える。従来の JS の構成

に FF パスを追加することで、式 (1) の伝達関数を実現する

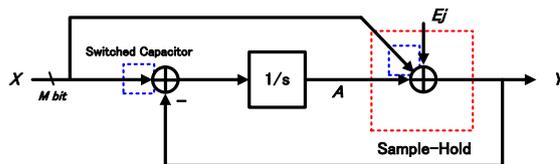


図 1 提案する FFJS のシステム構成

$$Y(z) = X(z) + 2(1 - z^{-1}) / (3 - z^{-1}) \cdot E_j(z) \quad (1)$$

$$A(z) = -(1 + z^{-1}) / (3 - z^{-1}) \cdot E_j(z) \quad (2)$$

式 (1) からサンプルホールドで発生するジッタによるノイズ E_j に 1 次のシェーピングを持つことがわかる。これにより出力時のクロックジッタの影響を低減する。また積分器出力 A の伝達関数は式 (2) のようになり、入力信号を含まない。よって積分器の出力振幅は小さくなる。この FFJS を DSM の後段の DAC に適用する。

3. システムシミュレーション結果

MATLAB/simulink によるシミュレーション結果を示す。図2はFFTであり、クロック周波数は1に正規化してある。ジッタはクロック周期の0.1%である。

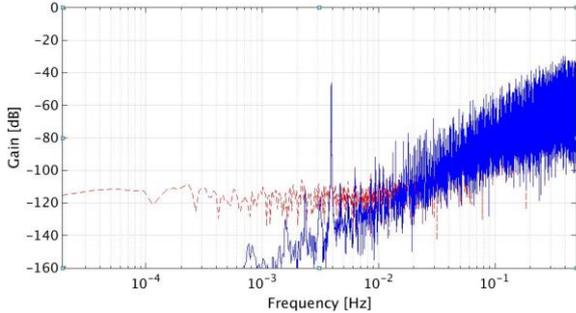


図2 ジッタ0.1%時のFFT 2次DSM(破線), 2次DSM+FFJS(実線)

図2における赤が2次DSM出力にジッタを与えたもの、青が同じDSMにFFJSを接続してジッタを与えたものである。SNRは赤が60dB、青が107dBで、ジッタシェーピングの効果により47dBの改善が得られることが確認できる。また通常のJSとFFJSの積分器の出力信号を図3に示す。

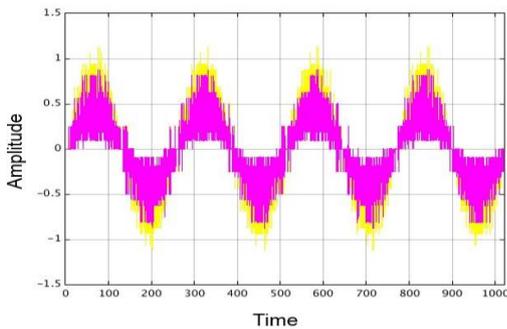


図3 積分器の出力信号

図3よりFF型にしたほうが、積分器の出力振幅が小さくなっていることがわかる。

4. SPICE シミュレーション

Virtuoso/spector を用いてジッタシェーパ回路をトランジスタレベルで設計し、シミュレーションを行う。図4はJSの回路図を示す。積分器とS/Hから構成されており、前段はSCマルチDACである。また図5は回路で使用されているオペアンプを示している。電源電圧1.8Vである。

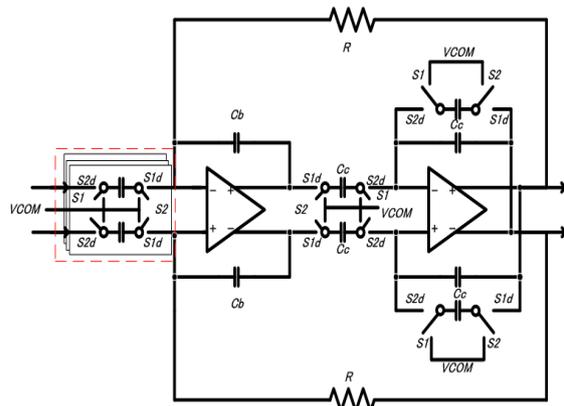


図4 JSの回路図

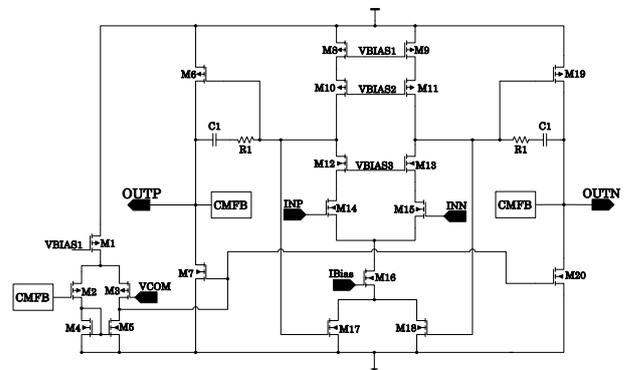


図5 OPAMPの回路図

図6はJS回路のSCDACに入力信号として3次の $\Delta\Sigma$ 変調器によって変調された正弦波を入力し、スイッチを動かすクロック信号に1%のランダムジッタを加えて行ったものを、MATLABを使用しFFTをしたものである。緑はJSなし、青はJSありを示している。

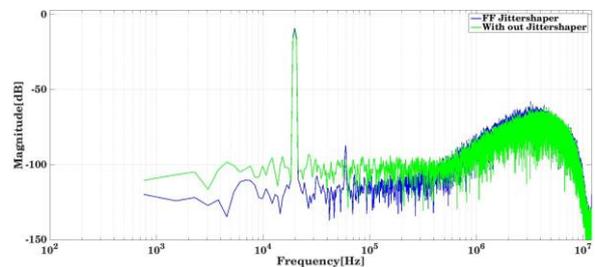


図6 JSのFFT結果

図6からわかるようにSPICEシミュレーションでもジッタに対してJSは有効であることがわかる。SNRは緑が76dB、青が93dBで、ジッタシェーピングの効果により

17dBの改善が得られることが確認できる。図7積分器からの出力波形が示し、FB構成に比べ、FF構成では出力振幅が小さいことがわかる。

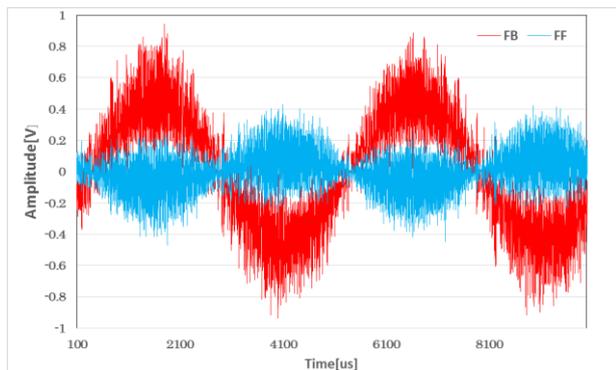


図7 FF構成(青)とFB構成(赤)の積分器出力

5. 実装と測定

ここでは先に述べたJS型 $\Delta\Sigma$ DACの実装について述べる。ジッタシェーパはローム社0.18 μ m CMOSにて設計を行った。チップ写真を図8に示す。

評価方法としては作成したチップをPCB上実装し、入力、クロック信号はFPGAボードを用いて出力をDAC機能有するジッタシェーパに入力する。

ジッタシェーパの出力をLPFを通して、オシロスコープまたはオーディオアナライザ(UPV)にて測定を行う。



図8 チップ写真

図9はオシロスコープでJSの出力波形をFFT処理したものである。広域で見たときに、入力信号を復元できており、DACとして動作していることが確認できる。

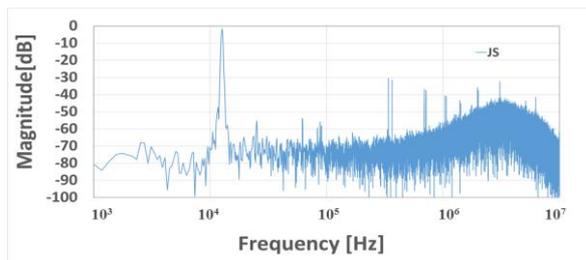


図9 オシロスコープ実測のFFT結果

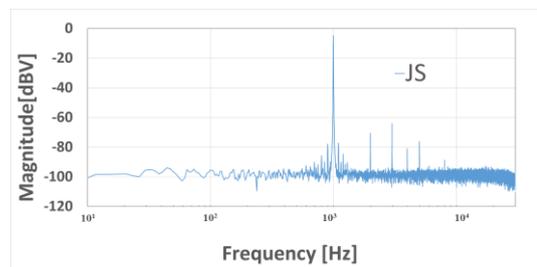


図10 UPVによる実測のFFT結果

また、図10ではUPVで測定した結果を示しており、測定精度が高いためSPICEシミュレーションに近い結果となっている。

6. 結論

本研究ではJSをFF構成にする手法を提案し、JSのクロックジッタの影響を低減する効果を維持していることを確認した。そして積分器の出力振幅を低減できることを示した。これにより、積分器に用いるOPAMPの性能要求緩和が期待できる。

謝辞：

本研究を進めるにあたりご指導ご鞭撻いただいた法政大学理工学部電気電子工学科安田彰教授、吉野理貴先生に深く感謝いたします。また日頃、有意義なアドバイスを下さった安田研究室の皆様にも心から感謝しております。本研究は東京大学大規模集積システム設計教育研究センター(VDEC)を通じ日本ケイデンス株式会社の協力の下で行われたものであり、ここに深く感謝します。

参考文献

- 1) Yuki Watanabe, Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda, "Delta-sigma DAC with jitter-shaper reducing jitter noise", Analog Integrated Circuits and Signal Processing, November 2015, Volume 85, Issue 2, pp
- 2) Schreier, R., & Temes, G.C. (YEAR). An introduction to $\Delta\Sigma$ analog / digital converters (translated from the Japanese by T. Waho & A. Yasuda), Maruzen Co., Ltd.