法政大学学術機関リポジトリ

HOSEI UNIVERSITY REPOSITORY

PDF issue: 2024-12-22

MOCVD 法により形成した CeO2-SiO2複合酸化 物薄膜の特性

古矢, 智也 / Furuya, Tomoya

(出版者 / Publisher) 法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要.理工学・工学研究科編 / 法政大学大学院紀要.理工学・工 学研究科編

(巻 / Volume)
58
(開始ページ / Start Page)
1
(終了ページ / End Page)
4
(発行年 / Year)
2017-03-31
(URL)
https://doi.org/10.15002/00014191

MOCVD 法により形成した CeO₂-SiO₂ 複合酸化物薄膜の特性

CHARACTERIZATION OF COMPOUND THIN FILMS OF CeO2 AND SiO2 DEPOSITED BY MOCVD

古矢智也

Tomonari FURUYA 指導教員 山本康博 教授

法政大学大学院理工学研究科電気電子工学専攻修士課程

The compound oxide was deposited on p-type Si (100) substrates by pyrolytic MOCVD with the intermittent introduction of TEOS (TetraEthoxyOrthoSilicate) for 10 sec every 3, 5, or 10 min. No SiO₂ interfacial layer was observed in the sample with TEOS introduction for 10 sec per 3 min. The amount of Si in the film with TEOS introduction for 10 sec per 3 min was higher than other sample. Cerium silicate formation in the film prepared with TEOS introduction was confirmed. The leakage current density was attributed to the band gap of the film. The relative dielectric constant ranged between 16.6 and 21.6 depending on the TEOS introduction interval.

Key Words : high-k, MOCVD, CeO2, SiO2

1. 序論

近年 MOS トランジスタの微細化に伴ってゲート絶縁膜 を通して流れるリーク電流が問題となっている. そこで 我々はリーク電流を減少させるために、従来の SiO2(誘電 率 3.9)に代わる高誘電率(high-k) 材料に注目した. high-k 材料は誘電率が SiO2 と比べて高いため、電気的容量を維 持しつつゲート絶縁膜の物理的膜厚を増加することがで きる. そのため, 量子効果によるリーク電流を抑制するこ とが可能となる. [1][2] 数ある high-k 材料の中でも、CeO2 は誘電率が 26 と高く, Si との格子不整合率が 0.35 %と小 さい. そのため Si との界面特性がよく, 界面準位の発生 を防ぐことが出来るため,次世代高誘電率薄膜として期待 されている. 有機原料として Ce(OCEt₂Me)4 を用いて MOCVD で CeO2 薄膜を堆積させた. [3]-[7] しかしながら, CeO2 は室温で多結晶化しやすく結晶粒界がリーク電流の パスになると懸念されている. [8]-[10]そこで、結晶化を抑 制する方法として薄膜の中に異なった結晶構造を持つ材 料を混ぜるという方法に着目し、 異なった結晶構造を持 つ材料として SiO2を選択した. SiO2は CeO2と同じ4価の 結晶構造を持つ材料で混ぜ合わせたときに欠陥の形成を 最小限にできると期待される材料である.[11] 我々は SiO2 の原料(TEOS)として Si(OEt)4, CeO2 の原料として Ce(OCEt₂Me)₄ を使用し, CeO₂-SiO₂ 複合酸化物薄膜を形 成しようとした.しかし Ce(OCEt2Me)4 の堆積レートは 350℃を越えると急速に減少してしまう[3][4], 一方 TEOS の堆積レートは600℃以上でないと有用な堆積レートを得 られない[12][13], つまり同時に原料を導入しても薄膜は 堆積しないことが判明した.

そこで我々は, Ce(OCEt₂Me)₄分解時に発生する H₂O に 着目し H₂O を使って TEOS を加水分解し分解温度を下げ られるのではないかと考えた. Ce(OCEt₂Me)₄の熱分解過程 を以下に示す.

 $Ce[OC(C_2H_5)_2CH_3]_4 \rightarrow CeO_2 + 4(C_2H_5)_2C = CH_2 + 2H_2O$ (1)

この反応によって生成された H₂O を使い TEOS を加水 分解する. TEOS の加水分解過程を以下に示す.

 $Si(OC_2H_5)_4 + 2H_2O \rightarrow SiO_2 + 4C_2H_5OH$ (2)

この方法によって,我々は CeO2-SiO2 複合酸化物薄膜の形成に成功した.しかし,複合酸化物薄膜中の Si 濃度を TEOS 導入時間によって変化させることができなかった. そこで TEOS の導入間隔を変えることによって,Si 濃度を 変化させることを試みた.本研究では MOCVD 法により CeO2-SiO2 複合酸化物薄膜を形成し,薄膜の組成および化 学結合状態を X 線電子分光(XPS)法,結晶性を X 線回折 (XRD)法,結晶構造を透過型電子顕微鏡(TEM),表面粗さ を原子間力顕微鏡(AFM),電気的特性を調査した.

2. 実験

本研究では、全実験を通して基板は p-type Si(100)を使用 した. 堆積前の処理として Si 基板は濃度 2%のフッ化水素 酸(HF)を用いて自然酸化膜の除去を行った.本研究に用い た MOCVD 装置の概略図を図 1 に示す. 堆積条件を表 1 に熱処理条件を表 2 に示す. CeO₂ 原料と SiO₂ 原料(TEOS) の堆積サイクルを図 2 に示す. TEOS の導入間隔は, 3, 5, 10 分おきに 10 秒導入し, CeO₂ のみ, TEOS3 分間隔, TEOS5 分間隔, TEOS10 分間隔の 4 つの条件で試料を作成した. 4 つの試料は堆積後に酸素雰囲気中において 500℃で 30 分間アニールを行った.



図1 MOCVD 装置概略図

表1 堆積条件

基板	p型Si(100)
基板温度	350 [℃]
堆積圧力	50 [Pa]
堆積時間	30 [min]
蒸気圧力(Ce76℃, TEOS 25℃)	2.8, 101.7 [Pa]
バランスガスおよびキャリアガス	N 2
バランスガス流量	100 [sccm]
キャリアガス流量(Ce, TEOS)	50, 1 [sccm]

± ^	表 1 4 1 7 1 2 1 4
X 1	至凡 小儿 十円 ごと 14-
1 4	

温度	500 [°C]
雰囲気	O 2
時間	30 [min]



図2 堆積サイクル

3. 結果と考察

(1) 薄膜の組成,組成深さ方向分析,化学結合状態

図3に各試料のXPSの深さ方向分析を示す.(b),(c), (d)よりTEOSを間欠的に導入したが,膜中Si濃度は深さ 方向に対して均一であった.これはCeO2原料の熱分解時 に発生するH2OとTEOSが連続的に反応したためである と考えられる.(b),(c)のSi濃度はほぼ同じ値となったが, (d)においては表面付近に向かって,Si濃度が高くなった. これはTEOSの供給間隔が短くチャンバー内に残留した TEOSが反応したためであると考えられる.

図4に各試料のSi2sスペクトルを示す.TEOSを導入した堆積膜はCe-silicateが形成されたことが確認された.



(2) 結晶性,結晶構造,表面粗さ

図5に、各試料の断面TEM画像を示す.CeO2のみの試料では、柱状結晶が確認された.TEOSを導入した試料では、柱状結晶が見られず、導入間隔を短くするのにしたがって堆積膜が平坦になり、CeO2薄膜の結晶化を抑制できたと考えられる.CeO2のみ、TEOS5分間隔、TEOS10分間隔の試料には界面のSiO2が観測された.TEOS3分間隔で導入したものには界面のSiO2が観測されず、Si基板と堆積膜が直接接合されていると分かった.

図6に各試料のXRDパターンを示す. CeO₂のみの試料 では,はっきりとした CeO₂のピークが現れた. TEOS を 導入した試料では,わずかな CeO₂のピークが現れた. こ れは,TEOS を導入した試料では CeO₂ 薄膜の結晶化を抑 制できたと考えられる.この結果は,TEM の結果と一致 している.

図7に, CeO2のみの試料とTEOSを導入した試料のAFM 画像を示す. CeO2のみの試料では,平均面粗さが 8.108 [nm]であったが,TEOSを導入した試料では,平均面粗さ が1.153 [nm]に減少した.これは CeO2薄膜の結晶化を抑 制できたことで堆積膜が平坦になったと考えられる.



図 5 堆積膜の断面 TEM 画像 (a):CeO₂のみ, (b)TEOS 10 分間隔, (c)TEOS 5 分間隔, (d)TEOS 3 分間隔



図 6 堆積膜の XRD パターン (a):CeO₂のみ, (b)TEOS 10 分間隔, (c)TEOS 5 分間隔, (d)TEOS 3 分間隔



図7 堆積膜の AFM 画像 (a)CeO₂のみ, (b)TEOS 導入した試料

(3) 電気的特性

今回の電気的特性の測定には、抵抗率 $1 \sim 50$ [Ω cm]の p 型 Si 基板を使用した。図 8 に各試料の I-V 測定結果を示す. 低電界(0~-0.8 [MV/cm])では,界面の SiO₂のバンドギャッ プ(約 8.9 [eV])が広いため、CeO₂のみの試料が他の試料よ り電流値が低かったと考えられる.高電界(-0.9~-1.5 [MV/cm])では,界面の SiO₂が薄くなり、トンネル効果に よって電子がすりぬけてしまう.そのため,堆積膜のバン ドギャップ(CeO₂:約 3.2[eV], Ce-silicate:約 6.1[eV])が大き い, TEOS 3 分間隔で導入した試料の電流値が低かったと 考えられる.

表3にC-V測定から得られた実効誘電率を示す.TEOS3 分間隔で導入した試料の誘電率が19.9であり,他の試料の 誘電率16.6よりも高くなった.これはTEOS3分間隔で導 入した試料の界面にSiO2層が形成されなかったためであ ると考えられる.

また, Ce-silicate の誘電率は 21 と報告されている事例があ り[14], 今回得られた誘電率 19.9 と近い値となった.



(b)TEOS 10 分間隔, (c)TEOS 3 分間隔

表3 実効誘電率

試料条件	誘電率
CeO2のみ	16.6
TEOS 10 分間隔	16.6
TEOS 3 分間隔	19.9

4. 結論

MOCVD 法により p 型 Si(100)基板上に CeO₂-SiO₂ 複合酸化物薄膜を形成した. TEOS 導入間隔を変えることで, TEOS を 3 分間隔導入した試料と TEOS 5 分, 10 分間隔で 導入した試料で薄膜中の Si 濃度を変えることに成功した. TEOS を 3 分間隔で導入した試料では界面の SiO₂が観測さ れなかった. 低電界(0~-0.8 [MV/cm])では, CeO₂のみの試 料が他の試料より電流値が低く,高電界(-0.9~-1.5 [MV/cm])では, TEOS 3 分間隔で導入した試料の誘電率が 19.9 であり,他の試料の誘電率 16.6 よりも高くなった.

謝辞

本研究に当たり,ご指導ご鞭撻を賜りました山本康博 教授をはじめ,研究を進めるに当たりご協力いただいた 株式会社コメットの鈴木摂様,石橋啓次様,法政大学精 密分析室の賀川善裕様,原田義之様に感謝致します.また CVD 班の菊地健介氏並びに山本研究室の皆様に深く御礼 を申し上げ謝辞とさせていただきます.

参考文献

- G. D. Wilk, R. M. Wallace, J. M. Anthony, J. Appl. Phys. 89 5243 (2001).
- A. I. Kingon, J. P. Maria, S. K. Streiffer, Nature (Lond.) 406 1032 (2000).
- H. Ohno, K. Sakurai, K. Tagui, T. Morita, S.Suzuki,
 K. Ishibashi, and Y.Yamamoto, Electrochemical and Solid-State Letters 9(3) G87-G89 (2006)
- K. Ishibashi, K. Nakamura, K. Tagui, M.Ogawa,
 K. Saitoh, S. Suzuki, and Y.Yamamoto, ECS Trans., 6 (1) 251-257 (2007)
- E. Tagui, K. Nakamura, M. Ogawa, K. Saito,
 K. Ishibashi and Y. Yamamoto, Electrochemical and Solid-State Letters 10(7) D73-D75 (2007).
- M. Suda, M. Ogawa, K. Otsuka, K.Nakamura, T. Izu, T. Morita, S. Suzuki, K.Ishibashi, M. Nakamura and Y. Yamamoto, Journal of The Electrochemical Society 157(2) D99-D102 (2010).
- N. Tada, T. Izu, T. Kitaru, H. Shimada, S.Suzuki,
 K. Ishibashi, and Y. Yamamoto, ECS Trans. 41(3) 193-199 (2011)

- Ha-Yong Lee, Sun-Il Kim, Young-Pyo Hong, Young-Cheol Lee, Young-Hwan Park and Kyung-hyun Ko, Surface and Coatings Technology 173 (2), 224-228 (2003).
- Ha-Yong Lee, Young-Cheol Lee, Young-Pyo Hong and Kyung-Hyun Ko, Applied Surface Science 228 (1), 164-168 (2004).
- Noriaki Yamada, Yukiko Oyama, Tohru Higuchi and Shu Yamaguchi, Solid State Ionics 172 (1), 293-297 (2004).
- G.D. Wilk, R. M. Wallace, J. M. Anthony, j.Appl. Phys., 87 (1), pp.484-492, January (2000).
- H.Huppertz, W. L. Engl IEEE Trans. Electron Devices 26 (4) 658-662 (1979)
- A. C. Adams, VLSI Technology, 2nd ed., S. M.SZE, Editor, p. 235, McGRAW-HILL, New York (1988)
- 14) K. Kakushima, K. Okamoto, T. Koyanagi, M. Kouda, K. Tachi, T. Kawanago, J. Song, P. Ahmet, K. Tsutsui, N. Sugii, T. Hattori, H. Iwai, Microelectronic Engineering 87 (2010) 1868–1871A