

$\Delta\Sigma$ 型変調器における同期現象に関する研究

石間, 泉 / ISHIMA, Izumi

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

58

(開始ページ / Start Page)

1

(終了ページ / End Page)

5

(発行年 / Year)

2017-03-31

(URL)

<https://doi.org/10.15002/00014161>

ΔΣ型変調器における同期現象に関する研究

A Study on Synchronization Phenomenon of ΔΣ Modulators

石間 泉

Izumi ISHIMA

指導教員 安田 彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

This paper discovers synchronization of output signals when output signal of a 2nd-order ΔΣ modulator inputs to another ΔΣ modulator. This synchronization is appeared by initial value of a integrator. The initial value of another ΔΣ modulator inputting signal that is outputted by the ΔΣ modulator effects synchronization. This synchronization phenomenon is appeared only when the first ΔΣ modulator is second order. When feedback gains of the each ΔΣ modulator are somewhat different, synchronization phenomenon is observed.

Key Words : ΔΣ modulator, synchronization, Initial Value

1. はじめに

ΔΣ型変調器はオーバーサンプリングによる信号帯域内の量子化雑音のパワースペクトル密度の低減と量子化雑音に周波数特性をもたせて量子化誤差のパワースペクトル密度の低減を実現するAD/DA変換器である。この特徴からΔΣ型変調器は通信やオーディオの分野で広く活用される。

また、工学の分野では同期現象と呼ばれる現象がみられる。具体的には、自励発振器に外部信号を強制注入することにより発振器が外部信号に同期する注入同期(injection locking)と呼ばれる現象などがある[1]。このような同期現象は通信分野において活用されている。

本稿では、2つのΔΣ型変調器を直列につないだ際のそれぞれのΔΣ型変調器の出力の同期現象について考察する。

2. ΔΣ型変調器

高次ΔΣ型変調器のブロック図を図1に示す。

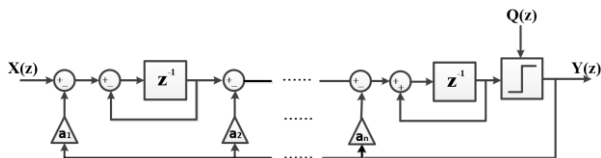


図1 高次ΔΣ型変調器のブロック図

ΔΣ型変調器は積分器と量子化器、フィードバック回路から構成される。積分器には入力と量子化器の出力の差

分の値、すなわち量子化誤差が積分器に入力されて積分される。そして、この量子化誤差を補正するように次の量子化器の出力が決定されるため量子化誤差が0に近づくようにΔΣ型変調器は動作し続ける。

ΔΣ型変調器は、積分器の個数が1つで構成されるΔΣ型変調器を1次ΔΣ型変調器、積分器の個数が2つで構成されるΔΣ型変調器を2次ΔΣ型変調器と呼ぶ。すなわちn個の積分器で構成されたΔΣ型変調器はn次ΔΣ型変調器となる。

ΔΣ型変調器の入力信号をX(z)、出力信号をY(z)、量子化器によって生じる量子化誤差をQ(z)としたとき、ΔΣ型変調器の伝達関数は以下のように表される。

$$Y(z) = z^{-n} X(z) + (1 - z^{-1})^n Q(z) \quad (1)$$

(1)式より、入力信号はnクロック遅延されて出力される。量子化誤差Q(z)は(1 - z⁻¹)ⁿ倍されて出力される。ここで、周波数領域で考えると(1 - z⁻¹)は

$$|1 - z^{-1}| \approx \omega T \quad (2)$$

となるため周波数が高くなるにつれて量子化誤差Q(z)が大きくなるのがわかる。さらにn次ΔΣ型変調器では、(2)式のn乗となるため次数大きくなるにつれて量子化誤差は周波数に対応して急峻に変化する。周波数領域において1次ΔΣ型変調器の場合は20[dB/decade]、2次ΔΣ型変調器の場合は40[dB/decade]、3次ΔΣ型変調器の場合

は60[dB/decade]の傾きをもつ. このように $\Delta\Sigma$ 型変調器は量子化誤差に傾きをもたせることができ, この特性をノイズシェーピング特性と呼ぶ.

高次 $\Delta\Sigma$ 型変調器は急峻なノイズシェーピング特性をもたせることができる一方で, 安定性の問題が生じる. 特に3次以上の $\Delta\Sigma$ 型変調器では $\Delta\Sigma$ 型変調器の極を z 平面上の原点以外の単位円内に配置されるよう係数の設定を行う必要がある.

図2に1次 $\Delta\Sigma$ 型変調器, 2次 $\Delta\Sigma$ 型変調器, 3次 $\Delta\Sigma$ 型変調器のFFT結果をそれぞれ示す.

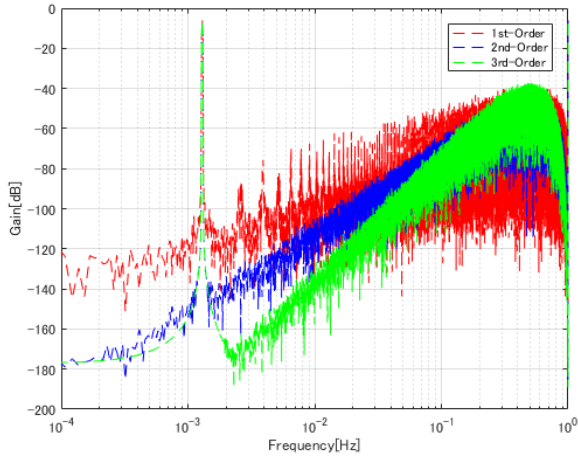


図2 $\Delta\Sigma$ 型変調器のFFT結果(1次, 2次, 3次 $\Delta\Sigma$ 型変調器)

3. 提案する $\Delta\Sigma$ 型変調器を用いた同期回路

2つの2次 $\Delta\Sigma$ 型変調器を直列に接続した回路を図3に示す. ここで, 2つの $\Delta\Sigma$ 型変調器について外部から信号が入力される側の $\Delta\Sigma$ 型変調器を1段目 $\Delta\Sigma$ 型変調器, 1段目 $\Delta\Sigma$ 型変調器の出力を入力信号とする側を2段目 $\Delta\Sigma$ 型変調器と表す. また2段目 $\Delta\Sigma$ 型変調器を構成する2つの積分器の前段側をIntegrator1, 後段側をIntegrator2と表す. フィードバックゲインについては, 1段目 $\Delta\Sigma$ 型変調器のフィードバックゲインをGain1, 2段目 $\Delta\Sigma$ 型変調器のフィードバックゲインをGain2と表す.

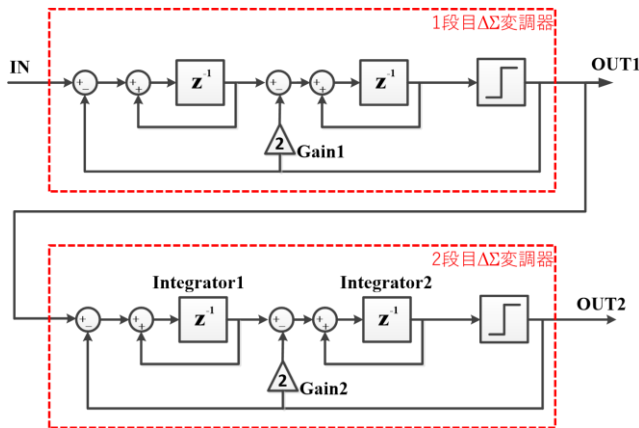


図3 提案する回路

4. シミュレーション結果

(1) $\Delta\Sigma$ 型変調器の同期現象

MATLAB/Simulink R2016bにより, 表1の条件でシミュレーションを行なった. 図3のOUT1とOUT2のそれぞれFFTの結果を図4に示す. また, OUT1, OUT2のそれぞれの時間軸波形の結果を図5に示す.

表1 シミュレーション条件

Sampling Times	1
OSR	32
Full-Scale	2^{16}
Input Signal	Sine Wave
Amplitude	2^{14}
$\Delta\Sigma$ Order	2
Quantization Level	1bit
Initial Value of Integrator	0
$\Delta\Sigma$ Feedback Gain	2

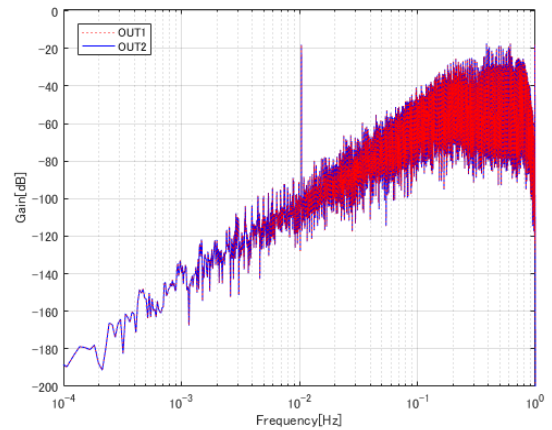


図4 FFT結果

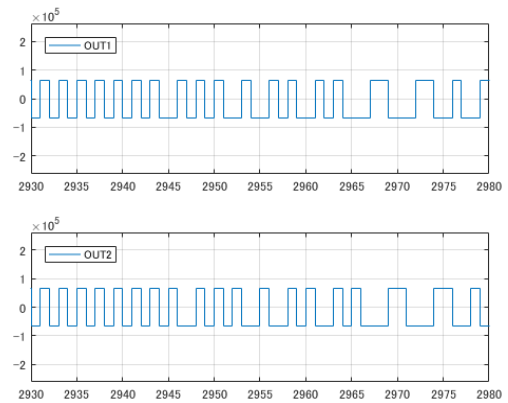


図5 時間軸波形

図4および図5よりOUT1とOUT2は2クロック遅延して同期していることがわかる。2クロック遅延しているのは、2次 $\Delta\Sigma$ 型変調器を使用しているからであると考えられる。

また、2段目 $\Delta\Sigma$ 型変調器の量子化器の入力信号の時間軸波形図6に示す。量子化器の入力信号は量子化誤差である。図6より同期現象がみられる場合、量子化誤差が0になることがわかる。

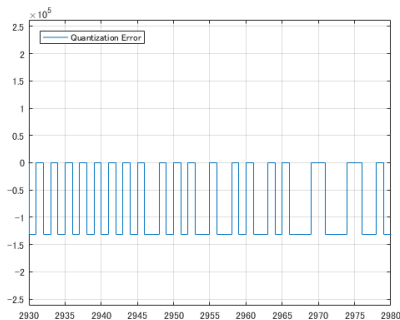


図6 量子化器の入力信号

(2) 積分器の初期値と同期現象の関係

表1のシミュレーション条件から図3にIntegrator1と示した積分器の初期値を0から 2^{10} に変更しシミュレーションを行なった。OUT1, OUT2のFFTの結果を図7に、時間軸波形の結果を図8に示す。

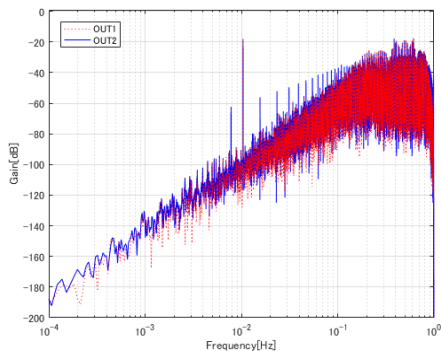


図7 FFT結果(Integrator1の初期値 2^{10})

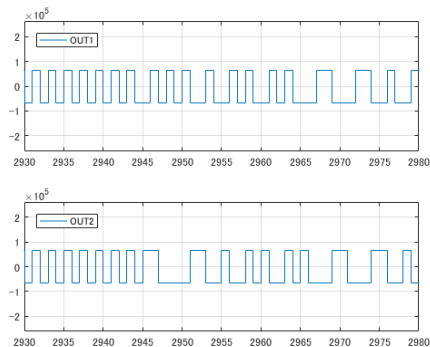


図8 時間軸波形(Integrator1の初期値 2^{10})

図7および図8より積分器の初期値を変更した際にOUT1, OUT2の同期現象がみられなくなった。すなわち、この同期現象は $\Delta\Sigma$ 型変調器を構成する積分器の初期値に影響されることが考えられる。

表2に表1のシミュレーション条件から積分器Integrator1およびIntegrator2の値を0, 2, ..., 2^{16} に変更した際にOUT1とOUT2が同期する場合には”○”,同期しない場合には”×”で表した表を示す。

表2 積分器の初期値と同期現象の関係

		Integ2																
		0	2	2 ²	2 ³	2 ⁴	2 ⁵	2 ⁶	2 ⁷	2 ⁸	2 ⁹	2 ¹⁰	2 ¹¹	2 ¹²	2 ¹³	2 ¹⁴	2 ¹⁵	2 ¹⁶
Integ1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	2	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ²	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ³	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ⁴	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ⁵	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ⁶	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ⁷	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ⁸	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ⁹	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ¹⁰	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ¹¹	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ¹²	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ¹³	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ¹⁴	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ¹⁵	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
	2 ¹⁶	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

表2よりこの同期現象は積分器Integrator1の初期値が0の場合にみられ、積分器Integrator2の初期値は同期現象に影響を及ぼさないことがわかる。

(3) $\Delta\Sigma$ 型変調器の次数と同期現象の関係

表1のシミュレーション条件で1段目・2段目の $\Delta\Sigma$ 型変調器の次数を2または3に変更してシミュレーションを行なった。シミュレーション結果について、 $\Delta\Sigma$ 型変調器の次数と同期現象の関係について表3に示す。なお、OUT1とOUT2が同期した際には”○”,同期しない場合には”×”で示している。

また、1段目 $\Delta\Sigma$ 型変調器の次数を3,2段目 $\Delta\Sigma$ 型変調器の次数を2とした場合のFFT結果を図9に、1段目 $\Delta\Sigma$ 型変調器の次数を2,2段目 $\Delta\Sigma$ 型変調器の次数を3とした場合のFFT結果を図10にそれぞれ示す。

表3 次数と同期現象の関係

		次数(2段目 $\Delta\Sigma$ 変調器)	
		2次	3次
次数 (1段目 $\Delta\Sigma$ 変調器)	2次	○	×
	3次	○	○

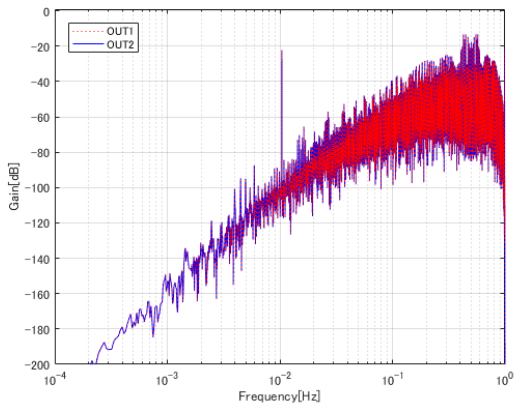


図9 FFT結果(1段目3次,2段目2次)

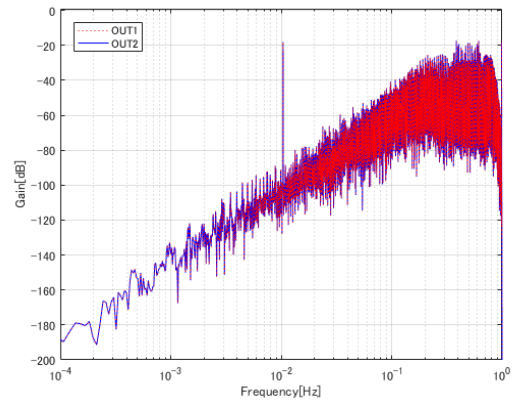


図11 FFT結果(Gain1 = 2, Gain2 = 2.1)

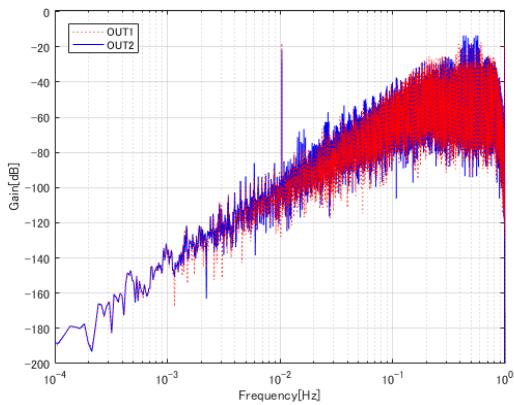


図10 FFT結果(1段目2次,2段目3次)

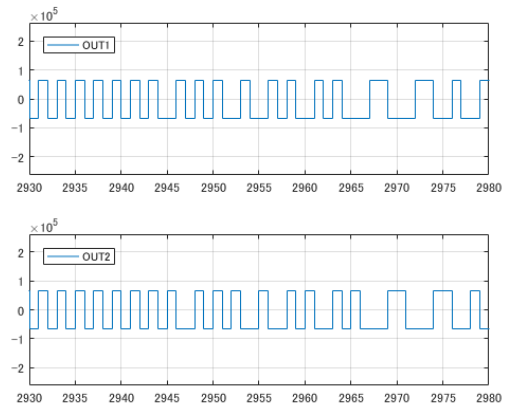


図12 時間軸波形(Gain1 = 2, Gain2 = 2.1)

表3および図10より $\Delta\Sigma$ 型変調器の2段目の $\Delta\Sigma$ 型変調器を3次 $\Delta\Sigma$ 型変調器にした際に同期しなかった。すなわち、この同期現象は2段目の $\Delta\Sigma$ 型変調器の次数が2の場合のみにみられることがわかる。

(4) フィードバックゲインと同期現象の関係

表1のシミュレーション条件で図3のフィードバックゲインGain1およびGain2を1.9, 2, 2.1, 2.2と変更させシミュレーションを行なった。この場合のフィードバックゲインと同期現象についての関係を表4に示す。なお、OUT1とOUT2が同期した際には”○”,同期しない場合には”×”で示している。

また、Gain1の値を2, Gain2の値を2.1とした場合のOUT1, OUT2のFFT結果を図11に、OUT1とOUT2の時間波形を図12に示す。

表4より2段目の $\Delta\Sigma$ 型変調器のフィードバックゲインの値を2.1へ変更した場合にも同期現象がみられた。

5. まとめ

本稿では、2つの2次 $\Delta\Sigma$ 型変調器を直列に接続した回路について、2つの $\Delta\Sigma$ 型変調器の出力がそれぞれ2クロック遅延して同期することをシミュレーションにより確認した。この同期現象は、 $\Delta\Sigma$ 型変調器の出力信号を入力信号とする側の $\Delta\Sigma$ 型変調器の構成に依存する。具体的には、 $\Delta\Sigma$ 型変調器を構成する前段の積分器の初期値が0より大きくなると同期しなくなる。また、2次 $\Delta\Sigma$ 型変調器から3次 $\Delta\Sigma$ 型変調器に変更した際にも同期現象がみられなかった。フィードバックゲインの係数に関しても、理想係数から数値を多少変更した際にも同期現象がみられたが数値を理想係数から離れていくにしたがって同期現象がみられなくなった。

表4 フィードバックゲインと同期現象の関係

		Feedback Gain(2段目 $\Delta\Sigma$ 変調器)			
		1.9	2	2.1	2.2
Feedback Gain (1段目 $\Delta\Sigma$ 変調器)	1.9	×	○	○	×
	2	×	○	○	×
	2.1	×	○	○	×
	2.2	×	○	○	×

謝辞：本研究を進めるにあたり、多くのご指導と助言をしていただいた法政大学理工学部安田彰教授に深く感謝申し上げます。また、本研究にご協力いただいた安田研究室の皆様にもこの場をお借りして感謝申し上げます。

参考文献

- 1) 田中 久陽 : 注入同期の物理限界, 応用数理, vol24(3), pp.103-109, Sep, 2014
- 2) Richard Schreier, Gabor C. Temes 著, 和保 孝夫, 安田 彰 監訳 : $\Delta\Sigma$ 型アナログ/デジタル変換器入門, 丸善出版, 2007
- 3) 安田 彰, 岡村 喜博 : ハイレゾオーディオ技術読本, オーム社, 2014