

法政大学学術機関リポジトリ

HOSEI UNIVERSITY REPOSITORY

PDF issue: 2024-12-22

$\Delta\Sigma$ 構造を用いたTDCの変換誤差低減に関する研究

赤松, 雄仁 / Akamatsu, Yuki

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

58

(開始ページ / Start Page)

1

(終了ページ / End Page)

4

(発行年 / Year)

2017-03-31

(URL)

<https://doi.org/10.15002/00014158>

ΔΣ 構造を用いた TDC の 変換誤差低減に関する研究

RESEARCH ON QUANTIZATION NOISE REDUCTION OF TIME TO DIGITAL
CONVERTER USING A DELTA-SIGMA STRUCTURE

赤松雄貴
Yuki AKAMATSU
指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

In this paper, we propose a new Time-to-Digital Converter (TDC) using delta-sigma structure. The circuit has a third-order noise shaping by error feedback type ΔΣ structure. It can reduce the quantization error. We simulate the TDC in MATLAB/Simulink. As a result, the proposed circuit improves SNR of 41[dB].

Key Words : TDC, delta-sigma structure, noise shaping

1. はじめに

近年の LSI プロセスの微細化・集積回路性能向上により、現在では PLL のような RF 回路もワンチップ IC で構成できるようになっている。このような傾向により、時間方向において高い分解能を実現できる”Time-To-Digital Converter (TDC)”[1]が注目されている。

TDC とは、計測対象となる 2 つの信号間の時間差をデジタルコードで出力するコンバータのことである。その用途は、All Digital Phase Locked Loop (ADPLL) や Analog to Digital Converter (ADC)[2] など様々である。TDC は時間方向のアナログ情報を取り扱うため LSI 技術の進歩に適した回路といえる。

LSI プロセスの微細化により TDC の時間分解能は向上するが、一方で素子のバラツキによる影響や寄生容量の影響は大きくなり、変換精度の劣化が生じる。

変換精度を改善する手法として、Gated Ring Oscillator (GRO) TDC[3]がある。GRO TDC は、変換誤差にノイズシェーピングをかけ、誤差を動作帯域外にシフトする特性をもつが、変換過程で時間差情報をアナログの電圧情報に置き換えるため、寄生容量の影響を受けやすい。

本稿では、アナログの電圧情報に置き換えずに、時間差情報のまま ΔΣ 構成を実現し、変換精度の改善を図る方法を提案する。さらに、TDC の変換誤差にかかるシェーピングを高次化することで変換精度の改善を図る。

2. TDC

(1) Ring Delay Line (RDL)-TDC

図1に従来型 TDC である Ring Delay Line (RDL)-TDC のアーキテクチャを示す。この回路は 1 つの NAND 回路と n 個の遅延素子、カウンタ回路で構成されている。入力 NAND 回路に接続され、NAND 回路と n 個の遅延素子がリング状に接続され、最後の遅延素子がカウンタ回路に接続されている。まず Start 信号が入力されるとリングオシレータが発振を開始し、発振した回数がカウントされる。次に Stop 信号が入力されるとカウンタ回路から発振した回数が出力される。そのタイムチャートを図2に示す。時間分解能は NAND 回路の遅延時間 t_n と遅延素子 1 つあたりの遅延時間 t_a の和から以下の式で表される。

$$\Delta t = 2(t_n + n \times t_a) \tag{1}$$

この回路の量子化誤差は最後にパルスがカウンタに入力されてから Stop 信号が立ち上がるまでのパルス幅となる。

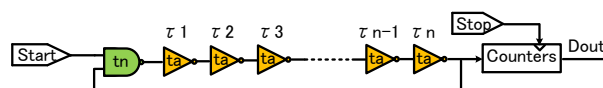


図1 RDL-TDC のアーキテクチャ

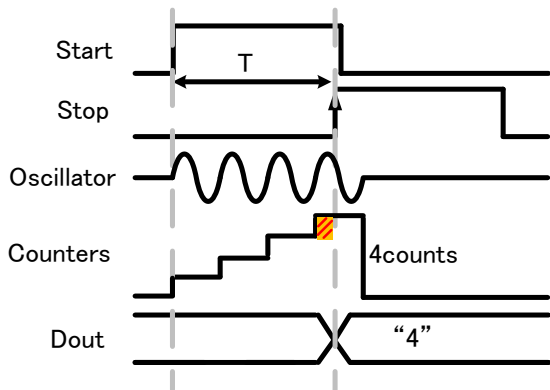


図2 RDL-TDCのタイムチャート

(2) Gated Ring Oscillator (GRO)-TDC とその問題点

図3に Gated Ring Oscillator(GRO)-TDC のアーキテクチャを示す。この回路は リングオシレータとカウンタで構成されており、リングオシレータを構成するインバータには制御端子が接続されている。Enable 信号が立ち上がっている間だけ GRO が発振し、それぞれのインバータ出力で発振信号をカウントする。Enable 信号でカウント値をリセットし、それと同時にカウントされた値を出力する。そのタイムチャートを図4に示す。

GRO-TDC は、1 次のノイズシェーピング特性を持つ。これは、インバータのゲートがオフからオンになると前回のオンのときの電圧情報が保存されるため次にオンに切り替わると、前回の状態から発振が開始される。これにより、量子化誤差を次の時間差に加算しながら量子化を行うので、1 次のノイズシェーピング特性が得られる。ここで、オフからオンに切り替わる時点を $Start[k]$ 、オンからオフに切り替わる時点を $Stop[k]$ とすると入力信号 $In[k]$ は次式で表される。

$$In[k] = Stop[k] - Start[k] \quad (2)$$

次に量子化された信号を $Out[k]$ 、発生する量子化誤差を $Error[k]$ とすると入出力特性は次式で表される。

$$In[k] - Error[k-1] = Out[k] - Error[k] \quad (3)$$

最後に、(3)式を z 変換することで(4)式を得ることができる。

$$Out(z) = In(z) + Error(z) \cdot (1 - z^{-1}) \quad (4)$$

このことより量子化誤差に対し一次のノイズシェーピングがかかる事が分かる。

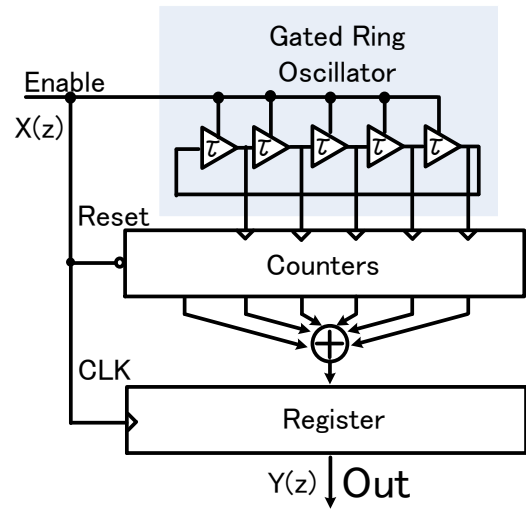


図3 GRO-TDCのアーキテクチャ

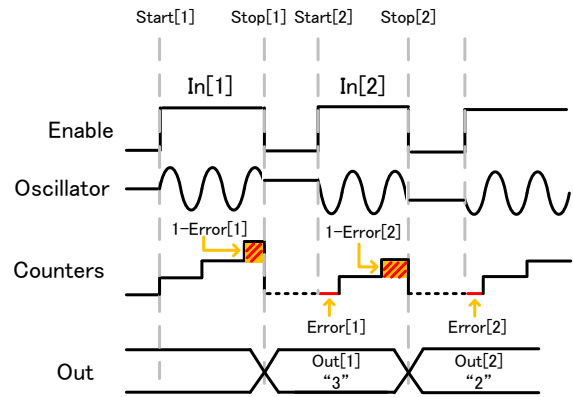


図4 GRO-TDCのタイムチャート

GRO-TDC の利点は 1 次のノイズシェーピング特性により、量子化誤差を低減できる点である。しかし、変換の際に時間差情報をアナログの電圧情報に置き換えているので、回路レイアウト上の寄生容量による影響を受けやすい。また、アナログの電圧情報に置き換えているので、集積回路の微細化の流れにそぐわない。

3. 提案手法

GRO-TDC はノイズシェーピング特性により量子化誤差を低減できるが、変換の際に時間差情報をアナログの電圧情報に置き換えて積分しているので、回路レイアウト上の寄生容量による影響を受けやすい。そこで、アナログの電圧情報に置き換えずに時間差情報のままで積分を行う。しかし、TDC は時間差情報を量子化するので、単純に積分をすることができない。下記に本研究における時間差情報の積分方法を示し、カスケード型 $\Delta\Sigma$ 変調器の構成を応用して高次化する方法を提案する。

(1) 時間積分回路

図5に時間積分回路の回路図を示す。時間情報を積分する場合には、単純に加算することができない。入力され

たパルスに対して、位相が重ならないように1周期と1/n周期の遅延量で入力が遅延させ、遅延させたパルスを次の入力とOR演算をする。そうすることによりn回分のパルスを時間積分することができる。ただし、入力できるパルス幅と時間積分回数はトレードオフの関係にある。パルス幅が狭いほど、時間積分回数を多くすることができる。図6にnが4の場合のタイムチャートを示す。

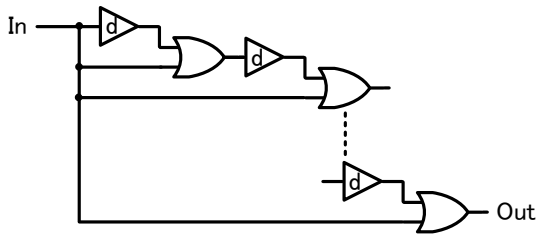


図5 時間積分回路の回路図

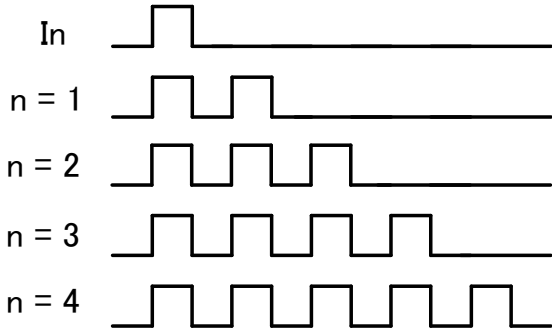


図6 時間積分回路のタイムチャート

(2) 提案システム

図7に提案TDCのシステム構成図を示す。時間積分回路、RDL-TDC、数値処理部で構成されている。入力の時間差信号は時間積分回路により、n回複製される。そして、複製された時間差信号はRDL-TDCで量子化される。その際に、RDL-TDCの発振回路はリセットせずに、常に発振状態にしなが複製された時間差信号を量子化する(複製された時間差信号がHighの区間のみ量子化する)。これにより、n+1倍されたカウント値が得られる。次に量子化された値が数値処理部に入力される。数値処理部では、まず初めに量子化された値をn+1で割り算をする。次に割った値の小数点以下を切り捨て、n+1倍する。そして、n+1で割る前の値との減算をして、打ち切り誤差を取り出す。本システムではこの打ち切り誤差を量子化誤差のように扱い、フィードバックを形成してエラーフィードバック型のΔΣ構成を実現する。時間差の量子化誤差成分をアナログ値に戻すことはできないが、打ち切り誤差を量子化誤差のように扱うことで、誤差成分をデジタル値で扱うことができる。時間差情報のフィードバックを形成するにあたり、デジタル値で扱われる打ち切り誤差の数値分だけ入力信号を遅延させる遅延器の数が選ばれる。こうすることで、打ち切り誤差を次の時間差に加算することが

できる。さらに、カスケード型ΔΣ変調器の構成を応用して数値処理部の高次化を行った。このような構成にすることにより、一般的なアナログ積分器を用いずに、時間情報のままでΔΣ構成を実現できる(電圧情報に置き換えずにΔΣ構成を実現できる)。

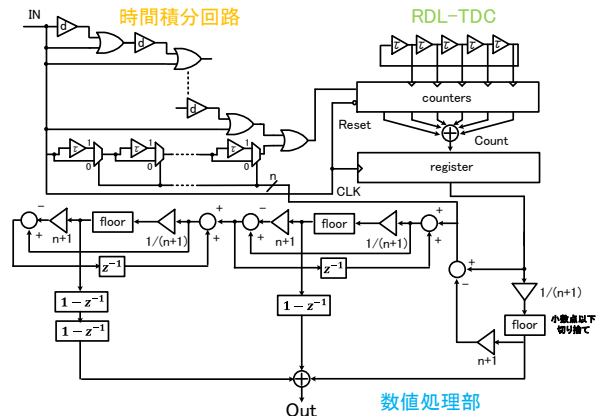


図7 提案TDCのシステム構成図

4. シミュレーション

シミュレーションにはMATLAB/simulinkを使用した。シミュレーション条件を表1に示す。なお、サンプリング周波数は1に正規化して行った。

表1 シミュレーション条件

入力周波数 [Hz]	1.28×10^{-3}
サンプリング周波数 [Hz]	1
帯域幅 [Hz]	2.50×10^{-3}
プロット数	2^{15}
OSR	256
入力の積分回数[回]	9

次に、RDL-TDC、提案型TDC一次、提案型TDC二次、提案型TDC三次のFFT解析結果の比較を図8に示す。

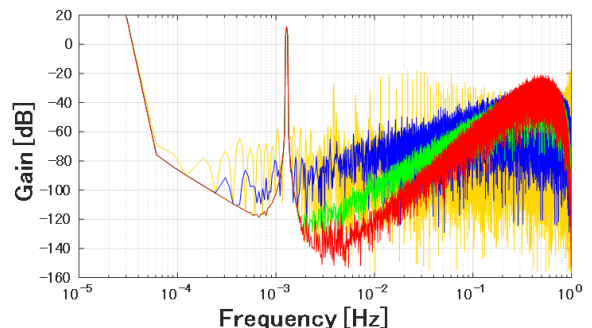


図8 従来回路と提案回路のFFT解析結果の比較

図8を見ると、提案回路のFFT解析結果はノイズシェーピング特性が確認できる。これにより、帯域内のノイズ

が低減されている。各 TDC の信号/雑音比(SNR)は、従来の RDL-TDC は 46[dB]、提案型 TDC 一次は 64[dB]、提案型 TDC 二次は 80[dB]、提案型 TDC 三次は 87[dB]であった。

提案型 TDC 二次と提案型 TDC 三次の SNR を比較したところ、大きな改善は見られなかった。これは、提案型 TDC で用いた時間積分回路では、積分回数を 9 回としたため、理想的な積分器の入出力特性を十分に得られなかったためであると考えられる。そのため、積分回数を増やすことで理想的な積分回路の特性に近づけることができ、より理想的なノイズシェーピング特性が得られると考えられる。

5. 結論

本研究では、一般的なアナログ積分器を用いずに、時間情報のままで $\Delta\Sigma$ 構成を実現する手法を検証してきた。時間差情報を電圧情報に置き換えていないので、寄生容量の影響を受けにくくなる。また、発振器以外の回路をデジタル回路で構成できるので回路構成が容易になる。提案回路では打切り誤差を量子化誤差のように扱い、フィードバックを形成してエラーフィードバック型の $\Delta\Sigma$ 構成とし、TDC の帯域内雑音を低減させた。さらに、カスケード型 $\Delta\Sigma$ 変調器の構成を応用して数値処理部の高次化を行い、更なる帯域内雑音の低減を図った。

通常の RDL-TDC と提案型 TDC 一次との SNR を比較すると約 18[dB] の改善がみられた。さらに次数を上げていき 16[dB]、7[dB] の改善がみられた。

このことから、デジタル PLL の位相比較器に本システムを用いると、より高精度な周波数シンセサイザを実現することができると考えられる。

なお、提案回路の有効性は MATLAB/simulink を用いてシミュレーションを行って確認したものである。

謝辞

本研究を作成するにあたり、多大なる協力、ご指導を頂きました。法政大学理工学部安田彰教授、吉野理貴先生に多大なる感謝を申し上げます。また、ともに所属されている研究室の学生の皆様にも多くの助言を頂き、本研究を作成できたことに深く感謝申し上げます。

参考文献

- 1) Y. Arai, T. Baba, "A CMOS Time to Digital Converter VLSI for High-Energy Physics", IEEE Symposium on VLSI Circuits (1988).
- 2) G. Taylor and I. Galton, "A Mostly-Digital Variable-Rate Continuous-Time Delta-Sigma Modulator ADC," IEEE J. Solid-State Circuits, vol. 45, no. 12, pp. 2634–2646, Dec. 2010.
- 3) K. Okuno, T. Konishi, S. Izumi, M. Yoshimoto, and H. Kawaguchi, "A 62-dB SNDR Second-Order Gated Ring Oscillator TDC with Two-Stage Dynamic D-Type Flipflops as A Quantization Noise Propagator," IEEE International New Circuits and Systems (NEWCAS), pp. 289–292, Jun. 2012.
- 4) Kazuya Kobayashi, Yusuke Fukazawa, Akira Yasuda, "Noise reduction of TDC by using a GROTD and a noise shaping structure" IEEE Int'l Analog VLSI Workshop, 2010.