# 法政大学学術機関リポジトリ

### HOSEI UNIVERSITY REPOSITORY

PDF issue: 2024-12-21

# 大出力システム実現のためのパワー半導体デ バイスおよび回路技術に関する研究

吉野, 理貴 / YOSHINO, Michitaka

(開始ページ / Start Page) 1 (終了ページ / End Page) 164 (発行年 / Year) 2017-03-24 (学位授与番号 / Degree Number) 32675乙第226号 (学位授与年月日 / Date of Granted) 2017-03-24 (学位名 / Degree Name) 博士(工学) (学位授与機関 / Degree Grantor) 法政大学(Hosei University) (URL) https://doi.org/10.15002/00013954

### 法政大学審查学位論文

# 大出力システム実現のための

# パワー半導体デバイスおよび

# 回路技術に関する研究

### 吉野 理貴

概要

本論文は、大出力システム実現のためのパワー半導体デバイスおよび回路技術 に関してまとめたものである.

大出力化システムの実現には,半導体デバイスの高耐圧化とそのデバイスが活 用できる回路技術の両方が必要となる.

パワー素子としての半導体デバイスは,材料やデバイス構造で最大となる電界 強度が変わるため,高耐圧化には電界強度分布の解析が欠かせない.その上で適 切な電界緩和手法を適用しつつ半導体デバイスを設計するが,より高耐圧を実現 しようとすると既存の電界緩和手法だけでは十分ではない.本論文では,既存の 電界緩和手法を適用しつつ,高誘電体絶縁材料を用いて最大となる電界強度を緩 和する方法について述べる.

回路技術においては,電源電圧を昇降圧して出力電圧範囲を広げる方法が使わ れている.電源電圧を変化させるためには大きな部品を追加する必要があり,シ ステム全体の面積が増大してしまう問題があった.本論文では,電源電圧を変化 させることなく,電源電圧範囲よりも大きな出力が出せる回路構成について述べ る.別の方法として,デジタルスピーカーシステムを大出力システムに用いた場 合に必要となる技術についても述べる.

### Abstract

The thesis summarizes the power semiconductor device and circuit technologies to realize high power systems.

For realizing high power systems, both device technology for high breakdown voltage and circuit design technology to utilize the devices are needed.

In power semiconductor devices, because the maximum electric field varies depending on material and device structure, it is indispensable to analyze electric field strength distribution to achieve high breakdown voltage. Then, it is usual that semiconductor devices are designed by applying appropriate electric field relaxation methods, but existing electric field relaxation methods are not sufficient to realize higher breakdown voltage. In the thesis, methodologies to relax maximum electric field for high-k will be described, while applying existing electric field relaxation methods.

In the circuit design technology, output voltage range can be extended by changing a source voltage up and down. To vary source voltages, it is necessary to add large size components, which causes increased area for the whole system. In the thesis, a novel circuit configuration which can generate outputs that is higher than source voltage range without changing source voltages. Another techniques needed for digital speaker systems to apply to high output systems will be also presented.

#### 目次

第1章			
序論			5
1.1	研究	の背景	5
1.2	研究	の目的	8
1.3	概要	I	8
第2章			
大出力	1化手法.		11
2.1	はじ	めに	11
2.2	パワ	ーエレクトロニクス	11
2.3	パワ	ーエレクトロニクスの応用	13
2.4	パワ	ーエレクトロニクスの大電力音響(オーディオ)システムへの	・応用16
2.5	オー	ディオの大出力化	16
2.6	大出	力化に適したデジタルスピーカーシステム	
2.7	大出	力化のためのスイッチング増幅回路	19
2.8	半導	体デバイスの高耐圧化	20
2.9	まと	ø	21
第3章			
電源電圧を超える電圧を出力可能な D 級増幅器の提案23			
3.1	はじ	めに	23
3.2	従来	の D 級増幅器	24
3.3	三角	波比較方式	26
3.4	出力	信号	27
3.5	スイ	ッチング電源回路	28
	3.5.1	降圧型 DC-DC コンバーター	28
	3.5.2	昇圧型 DC-DC コンバーター	29
	3.5.3	昇降圧型 DC-DC コンバーター	30
	3.5.4	動作モードを切り替えた昇降圧型 DC-DC コンバーター	31

3.6	提案	ミ手法を用いた昇圧と降圧モードを有する D 級増幅器	32
	3.6.1	スイッチング信号の制御	33
	3.6.2	PWM 生成回路	34
3.7	シミ	ュレーション	35
3.8	さら	なる大出力化への対応	39
3.9	まと	め	41
第4章			
高出ナ	<b>ウデジタ</b>	ル直接駆動スピーカーシステム	43
4.1	はじ	とめに	43
4.2	アナ	- ログオーディオ再生システム	44
4.3	デシ	<sup>ゞ</sup> タルスピーカーシステムの概要	
4.4	基本	5的な DDSP システム	
	4.4.1	基本構造	
	4.4.2	マルチビット ΔΣ 変調器	51
	4.4.3	温度計コード	51
	4.4.4	NSDEM 回路	54
	4.4.5	ソート・セレクタ回路	55
	4.4.6	ドライバー回路	57
	4.4.7	スピーカーユニット	57
4.5	大出	力化に適した3値駆動 DDSP システム	60
	4.5.1	H ブリッジドライバー回路	62
	4.5.2	H ブリッジ制御回路	64
	4.5.3	3 値 NSDEM	66
4.6	DDS	SP システムの利点	69
4.7	DDS	SP システムの問題点	69
4.8	提案	きする DDSP システム	69
	4.8.1	構成	69
	4.8.2	タイミングチャート	73
4.9	測定	·結果	79

4.10	)	とめ		
第5章				
半導体デバイスの高耐圧化89				
5.1	は	じめに		
5.2	電界強度		90	
	5.2.1	平行平板コンデンサ	90	
	5.2.2	pn 接合	92	
	5.2.3	実際のデバイス	96	
5.3	ディ	バイスシミュレーション	96	
5.4	高	耐圧化手法		
	5.4.1	デバイス材料による高耐圧化		
	5.4.2	ドリフト層による電界低減	101	
	5.4.3	メサ構造による電界低減	102	
	5.4.4	フィールドプレート構造による電界低減	110	
	5.4.5	接合ターミネーションエクステンションによる電界低減	114	
5.5	ま	とめ	115	
第6章				
高誘電率材料を用いた高耐圧化手法の提案11′				
6.1	はじめに			
6.2	ダ	イオードのデバイス構造	117	
6.3	シ	ミュレーション	120	
6.4	高調	秀電率絶縁膜材料	127	
6.5	セ	リウム・シリコン複合酸化物膜	128	
6.6	ま	とめ	137	
第7章				
結論			139	
参考文南	犬			
謝辞				
発表論文	ζ			

3

# 第1章

## 序論

#### 1.1 研究の背景

世界の電力使用量は、増加の一途をたどっている.電力使用量の増大にともない、化石燃料を燃やした際に排出される二酸化炭素(CO<sub>2</sub>)の排出も増大している[1]. 温室効果ガスである CO<sub>2</sub> 濃度の上昇は気候変動を引き起こす一因とされており、削減が強く求められている[2].そのため、発電や送電に伴う損失の低減や、電気機器のエネルギー効率の向上が課題となっている.

スイッチングコンバータは、電気機器の出力電力制御を高効率に行うことを可 能とするが、この際必要不可欠なデバイスがパワー半導体である.パワー半導体 デバイスには、ダイオード、サイリスタ、バイポーラトランジスタ (BJT)、電界 効果トランジスタ (MOSFET)、絶縁ゲートバイポーラトランジスタ (IGBT) などがある.これらのパワー半導体デバイスは、電力の変換やモーターの制御な どの分野で使われている.しかし、これまでは電子機器や白物家電など動作電圧 がそれほど高くない機器に用いられていた.これは、従来のケイ素 (Si:シリコ ン)を用いたパワー半導体デバイスでは、絶縁破壊電圧を上げるとオン抵抗が高 くなりエネルギー効率が悪くなってしまうためである[3].このため、発熱が増え 冷却機構が大きくなり小型化の障害となっていた[4,5].また、シリコンを用いた デバイスの耐圧は、シリコン材料の物性限界に近付いており、これ以上の絶縁破 壊電圧の向上は望めなくなってきている[6].そこで、次世代の半導体材料の開発 が進み、炭化ケイ素 (SiC) や窒化ガリウム (GaN)を用いた化合物半導体がパ ワー半導体デバイスの主流になりつつある.

SiC や GaN はシリコンに比べてバンドギャップが広く、絶縁破壊電界が高い

という特徴がある.このような特徴から,シリコンを用いたパワー半導体デバイ スでは絶縁破壊電圧が足りずに使えなかった,産業機器,鉄道,自動車などのよ り高電圧動作が求められる分野で採用されつつある.また,高温環境下でも安定 して動作できるため,冷却機構の小型化や冷却機構自体をなくすことができ,小 型化にも貢献できる.さらに,オン抵抗も低くできるためエネルギー効率が高く, 省エネルギーに向いたデバイスである.

半導体デバイスは,半導体に用いた材料の絶縁破壊電界を超えた場所から壊れ る. 化合物半導体材料の絶縁破壊電界は,シリコンと比較して SiC で約7倍, GaN で約 10 倍優れている. しかしながら,近年のパワーシステムに求められる 絶縁破壊電圧はシリコンデバイスの 10 倍以上であり,SiC や GaN などの高い 絶縁破壊電界を有する半導体材料を用いただけでは,十分な耐圧を実現すること はできない.その上,半導体デバイスは,3次元構造のため,電界強度が最大と なる場所が決まっているわけではない.電界強度が最大となる場所は,デバイス の形状や厚さ,不純物濃度分布などで決まってくる.そこで,半導体材料が有す る絶縁破壊電界より最大電界強度が低くなるように,半導体デバイスを設計する 必要がある.

上記のような半導体デバイスを開発しても,実際の機器として使う際には,回路としてシステムに組み込む必要がある.そこで,省エネルギー性に対応しつつ,より高電圧で高出力に対応できる回路の開発が求められている.

増幅器は回路には欠かすことのできない,重要な回路である.増幅回路はほとんどの回路で使われているといっても過言ではなく,増幅器を高効率にすることができれば,消費電力の削減効果は大きい.そこで増幅器として最も身近なオーディオ用のパワーアンプで検討を行った.

最近まで、オーディオアンプの出力先はスピーカーかヘッドホンであった.近 年、新たな素材の開発により、今までになかった新しいスピーカーが登場しつつ ある. ピエゾフィルムや高導電性フィルムでできたスピーカーは、とても薄くフ レキシブルで透明なものも実現できるという特徴がある. しかし、駆動するため の電圧が非常に高く、1000 V 程度もしくはそれ以上が必要となる. このような 新しいスピーカーを駆動させるために、オーディオアンプの出力電圧を上げつつ、 同時に小型化も求められている.

従来,オーディオアンプには,トランジスタの動作点が異なる,A級,AB級 などの増幅器が使われてきた.しかし,これらの増幅器のエネルギー効率は低く, 約 1/3 が熱として放出されてしまうため,大型の放熱器が必要であり,小型化や 高出力化には限界がある.また,大量の電力を必要とするため,バッテリーで動 作する機器では使えない問題があった.

そこで、エネルギー効率が高く大出力化しやすい、D 級増幅器が用いられるようになった. D級増幅器は、従来の増幅器と比較して、高パワー出力時に加え低パワー出力時のエネルギー効率も高いところに特徴がある. 通常、音楽を再生している場合、アンプの出力はほとんどの時間で低パワー出力になっている. D級増幅器は、電池寿命が重要なオーディオ内蔵携帯機器用アンプとして最適であり多くの機器で採用されている. D級増幅器は、入力されたアナログ信号をパルス幅変調 (PWM) 変調またはパルス密度変調 (PDM) し、PWM または PDM 信号でパワーデバイスをスイッチングさせることで増幅されたパルス信号を発生し、これらのパルス信号をローパスフィルタに通して音声信号を取り出す. しかし、A 級から D 級増幅器は、電源電圧の範囲内で入力信号を増幅するため、出力される信号は電源電圧を超えられない. このため、D 級増幅器の大出力化には、昇圧型と降圧型のスイッチング電源回路を追加する必要があった. しかし、スイッチング電源回路の損失が加わるため、電力効率が低下し、回路規模が大きくなる問題がある.

オーディオアンプとしては、D 級増幅器とは全く異なる仕組みを有する、デジ タルスピーカー (DDSP) システムがある[7]. DDSP システムは、ΔΣ変調器を 用いて入力から出力までの全ての信号をデジタルで処理する方法である.入力信 号をデジタル信号のまま扱い、出力時の D/A 変換も必要ないため、設計が難し いアナログ回路がなく、チップ面積が削減でき、消費電力も低減できる. DDSP システムも低パワー出力時を含めた全てのエネルギー効率が高い.しかし、従来 の増幅器と同様、出力される信号は電源電圧を超えられない.

#### 1.2 研究の目的

そこで本論文では,高出力化のために必要な半導体デバイスの開発と,高出力 化に対応したシステムと回路構成を組み合わせることにより,高出力化を図るこ とを目的とする.

高耐圧な半導体デバイスの実現に関して,そのデバイスの最大となる電界強度 を低減する方法を論じ,その解決を図る.また,大出力が必要な回路で電源電圧 より高い電圧を出力しようとすると,システム全体が大型化してしまう問題に関 して,回路構成および信号処理を組み合わせることで課題の解決を図る.

#### 1.3 概要

本論文は、次の順序で記述を進める.第2章では、高出力化の手法について概 説する.本論文の目的は、エネルギー効率向上のために必要な半導体デバイスの 開発とそのような半導体デバイスを活用した回路構成などを実現することにあ る.本章では、高出力化の手法について解説する.半導体デバイスの高耐圧化や 回路構成による高出力化の手法を理解することは、高出力化を実現する上で重要 である.

第3章では、大出力を実現する際に問題となる、電源電圧以上の電圧を出力で きる D 級増幅器の回路構成について述べる.多くの増幅器の出力電圧は、電源 電圧の範囲内に制限される.電源電圧以上の電圧を出力するには、昇圧回路を用 いて電源電圧を昇圧しており、小型化しにくい問題があった.本章では、電源電 圧を昇圧することなく、D 級増幅器の出力を上げることができる回路構成を提案 する.提案方法では、出力段に H ブリッジ型昇降圧コンバーターを用いる.し かし、H ブリッジ型昇降圧コンバーターは、通常の同期整流式コンバーターと比 較して、スイッチング時のリンギングが大きく回路が損傷する可能性があること と、貫通電流の増加によるスイッチング損失が大きくなる問題がある.そこで、 H ブリッジ回路に保護ダイオードを付け、スイッチング信号をデッドタイム生成 回路で制御することで解決している.出力電圧を大きくした場合の保護ダイオー ドには、第6章で作製したような高耐圧なダイオードが必要となる.

第4章では、高出力化に対応した DDSP システムについて述べる. DDSP シ ステムは、 $\Delta$ - $\Sigma$ 変調器を用い、出力まで完全なデジタル信号のまま扱えるため、 高効率である.しかし、出力信号は"0"、"1"の2値であり出力は電源電圧の範囲 内となる.本章では、DDSP システムの出力段に H ブリッジ回路を採用するこ とで、"-1"、"0"、"1"の3値に拡張でき、出力電圧を大きくできる.また、出力 電圧を上げることに加え、スピーカーの数を増やすことでさらなる大出力に対応 できる.

第5章では、半導体デバイスの高耐圧化手法について概説する. 半導体デバイ スの基本は pn 接合であり、シリコンを用いた半導体でも、SiC や GaN を用い た化合物半導体でも共通している. したがって、高耐圧化手法についても同じ手 法が用いられている. 本章では、pn 接合のみを有し、単純な構造でできている pn 接合ダイオードを例に、電界強度を低減する手法について概説するとともに、 GaN に適用した場合のシミュレーション結果も示す. 半導体デバイス内の電界 強度が高くなる場所や各手法の効果を理解することは、高耐圧なデバイスを設計 する上で重要である.

第6章では、第5章の電界低減手法を用いても、最大となる電界強度を GaN の破壊電界強度まで低減できず、デバイスが破壊されてしまう問題を解決する方 法を提案する.本章では、高誘電率絶縁膜を用いると、電界強度分布が変化する ことをシミュレーションにより示す.シミュレーション結果より、最大となる電 界強度は、絶縁膜の比誘電率により変化し、最適な比誘電率が存在する.そこで、 最適な比誘電率を探すとともに、実際のデバイスを作製するのに必要な高誘電率 絶縁膜材料について述べる.そして、最適な高誘電率材料としてセリウム・シリ コン混合絶縁膜を使った縦型 GaN ダイオードを作製した.縦型 GaN ダイオー ドとセリウム・シリコン混合絶縁膜の作製方法と測定した特性を示す.

# 第2章

# 大出力化手法

#### 2.1 はじめに

低炭素社会の実現に向けて様々な解決策が模索されている.社会インフラの多 くで電気をエネルギーとする電気機器で構成されている.電気が生み出されてか ら消費されるまでの全てにおいて損失を減らさなければ,低炭素社会は実現でき ない.このような課題に対してパワーエレクトロニクスを用いて解決しようとす る流れが主流となっている.

#### 2.2 パワーエレクトロニクス

パワーエレクトロニクスは、パワー(電力,電気機器),エレクトロニクス(回 路,半導体デバイス)とこれらを制御(情報,制御)する技術の上に立つ学際的 な分野であるとされた(図 2-1)[8]. これらの分野を組み合わせて,電力を効率 よく制御することがパワーエレクトロニクスの核である.電力を効率よく制御す るためには、パワー半導体デバイスが欠かせない.機械式スイッチでもスイッチ ングすることはできるが、機械的な操作のために動作は低速であり、動作回数や 寿命にも制約がある.したがって、単純なオン・オフの動作に限定されてしまう. パワーエレクトロニクスでは、パワー半導体デバイスを用いて高速なスイッチン グ動作を実現することにより、電力を効率的に変換している.そのため、低損失、 高速動作、高耐圧、高信頼性なパワー半導体デバイスが求められる.そして、パ ワー半導体を用いた変換装置(回路)を用いて対象装置を制御することで、高効 率性を実現している(図 2-2).



図 2-1 パワーエレクトロニクスの分野



図 2-2 電力変換と制御の基本機能

#### 2.3 パワーエレクトロニクスの応用

パワーエレクトロニクスは、電力変換のみならず、様々な分野に応用されてい る. これは、パワーエレクトロニクスが、省エネルギー化、高機能化、小型化に 対応しつつ、新しい機能をも実現する技術だからである. パワーエレクトロニク スの適用範囲を図 2-3 に示す[9]. この図より、電力が大きくない家電やコンシュ ーマー機器から、周波数の高い情報・通信機器の電源、動作周波数もやや高く電 力も大きな電気自動車、電力の大きい電気鉄道や電力システムなど、広い範囲の 動作周波数と電力で活用されている.



図 2-3 パワーエレクトロニクスの適用範囲

パワーエレクトロニクスの応用例を表 2-1 に示す[9,10].家庭から自動車,鉄 道,産業,電力設備から宇宙まで,あらゆる領域に応用されている.また,代表 的な機能は,モーター制御,電力変換,電力制御,D級増幅器などがあり,これ らの機能を用いて様々な機器が開発されている.

表 2-1 パワーエレクトロニクスの応用例

領域	例	代表的な機能	
家庭	エアコン・冷蔵庫・洗濯機・掃除機	モーター制御	
	蛍光灯	高周波点灯・安定化	
	炊飯器・電磁調理器	誘導加熱	
	VTR,CD,DVD,HDD	モーター制御	
	オーディオ	D 級アンプ	
	白熱灯の調光	交流電力制御	
	太陽電池のパワーコンディショナ	直流交流変換,系統連系	
	携帯電話	バイブレーション,充電器	
自動車	電気自動車	モーター制御	
	ハイブリッド自動車	充電制御,走行制御	
	電動パワーステアリング、電動カーエアコン	モーター制御	
ビル・公共	エレベーター,電源,水道・排水ポンプ	モーター制御	
施設	エスカレーター	CVCF 電源	
鉄道	電車	モーター駆動	
	照明・空調	直流交流変換	
	変電所	交流直流変換	
工場・産業	ロボット,サーボモーター	モーター制御	
	印刷機, 輪転機	モーターの同期制御	
	めっき, 加熱炉	電力制御	
	誘導加熱	高周波電力制御	
電力補償	アクティブフィルタ	電力波形補償	
	STATCOM	力率補償	
電力設備	可変速揚水発電	モーター制御	
	直流送電	交流直流変換	
	燃料電池・風力発電	系統連系	
	エネルギー貯蔵	直流交流変換	
宇宙・航	フライバイワイヤ	モーター制御	
空・船舶	衛星搭載電源	太陽電池	
	電気推進船	モーター制御	

#### 2.4 パワーエレクトロニクスの大電力音響(オーディオ)

#### システムへの応用

オーディオアンプには、アナログのアンプが使われてきた.アナログアンプに は、トランジスタの動作点の違いにより、A級、B級、C級、AB級があり、そ れぞれ一長一短あるが、どれも電力効率が悪く、大量の熱として放出されていた. この問題を解決すべく、スイッチング技術を導入した D級パワーアンプが登場 した[11]. D級パワーアンプは、高効率に電力を増幅できるため、小型、軽量化 しつつ大出力化できるという特徴がある.このような特徴からバッテリー駆動の ポータブル機器から放送機器や屋外ライブ用の大音響 SR (Sound Reinforcement)システムまで広く使われている.D級パワーアンプは、入力信 号をデジタル化して処理しているため、デジタルアンプとも言われている.

#### 2.5 オーディオの大出力化

大出力が求められる用途としては、大きなライブ会場でのコンサート、スタジ アムの放送、防災無線の放送や船舶用の汽笛など、身近なものから生死にかかわ る重要なものまである.

大出力化には、1 台のスピーカーの駆動電圧を高くする方法と、スピーカーを 複数台並列に接続して電流量を増加させる方法がある.スタジアムのように会場 が広く商用電源がある場合は、スピーカーを並列に多数配置して全体の出力を大 きくする方法がとられることが多い.しかし、地震や津波で商用電源が断たれて しまう場合や、バッテリーで動作させなければならない場合は、電流量を大きく してしまうと動作できる時間が短くなってしまう.そこで、電圧を上げる必要が 出てくる.また、電圧を上げるもう一つの理由としては、一般的に使われている ラウドスピーカー以外のスピーカーを駆動したいという要望がある[12-19].図 2-4 にスピーカーの印加電圧と出力をおおまかにまとめた.もっとも普及してい るラウドスピーカーに印加する電圧は 100 V 程度であるのに対して、フィルム 型圧電スピーカーは 10 V 程度から 1k V, コンデンサ型スピーカーは数 k V で あり, プラズマスピーカーは数十 k V の高電圧でないと音が出ない[20-24]. コ ンデンサ型スピーカーは何十年も前に発売されているが,高電圧を作るためのト ランスが必要なため重く大きくなったり,高電圧によりデバイスが故障しやすか ったりする問題があり普及しなかった.しかし,全面駆動型のスピーカーであり, 薄くて軽い膜を振動板に使える上に,中高音域の音がクリアであると評判は高い. フィルム型の圧電スピーカーは,数百ボルトを印加する必要があるが,薄くてフ レキシブルな特徴があり,衣服につけるスピーカーとしても期待されている.し かし,せっかく衣服につけることができるとしても,アンプが大きく重いままで は意味がなく,高電圧かつ小型で軽量なアンプが必要とされている.



このような背景より,パワーエレクトロニクスの手法を用いて大出力に適した システムの検討を行った.

図 2-4 スピーカーの印加電圧と出力

#### 2.6 大出力化に適したデジタルスピーカーシステム

大出力化に適した,高電圧で駆動するスピーカーシステムに必要な技術を,パ ワーエレクトロニクスの観点から図2.5 に示す.まず,出力負荷としてスピーカ ーがある.スピーカーには一般的なラウドスピーカーから高電圧駆動が必要なス ピーカーまで対応できるようにする必要がある.そのために,スピーカーを駆動 するためのスイッチング増幅回路には,高耐圧なデバイスと大出力を実現する回 路構成が求められる.高効率を実現するために,スイッチング増幅回路に使う高 耐圧なデバイスは低損失であることが求められる.次に,スイッチング増幅回路 を駆動する信号を生成する制御回路が必要となる.制御回路はデジタル回路のみ で構成できることから,デジタル信号処理を組み込み,負荷の特性に応じて制御 することを目指した.これにより,ノイズの低減や音質の向上を図る一方,大出 力スピーカーシステムであっても,入力信号が小さい場合には出力電力を小さく できるようにしつつ,高効率である必要がある.大出力時のみでなく小出力時の 電力効率も向上させる方法として,DDSPを開発している.DDSPの詳細につい ては,第4章で述べる.



図 2-5 大出力スピーカーシステムに必要な技術

#### 2.7 大出力化のためのスイッチング増幅回路

負荷を駆動するスイッチング増幅回路は、これまでに述べたような高耐圧で低 損失なデバイスで構成されるのが望ましい.デバイスが高耐圧に対応した後に問 題となるのは、どのようにして高電圧を作り出すかである.

スイッチング増幅回路で出力を高電圧にする一般的な方法は,電源電圧を出力 電圧の範囲まで拡張することである.電源電圧の範囲を拡張するのに一般的で簡 単な方法は,変圧器による電圧の変換である.変圧器による電圧変換は簡単にで きる反面,面積が大きく重たくなるというデメリットがある.そこで,電子回路 では DC-DC コンバーター,三端子レギュレータを用いたリニア電源回路,発振 回路,PWM 方式を用いたスイッチング回路,チャージポンプ回路(スイッチト キャパシタ)などで電圧の変換を行っている.しかしこれらの回路は面積が大き く,システム全体の小型化の妨げとなる.また,DC-DC コンバーター等とスイ ッチング増幅器の2つの回路を通して,電源から負荷に電力を出力することにな り,それぞれの回路で損失が生じ,効率が低下してしまう.

そこで、電源電圧を変換するのではなく、回路構成で電源電圧以上の出力が得 られる回路を提案した.この増幅回路では、出力段に H ブリッジを用いた DC-DC コンバーターの構造を組み込むことで、電源電圧を変えることなく、出力電 圧範囲を拡張することが可能になった.これにより、DC-DC コンバーター等が 不要となり、効率向上が図れる.第3章で詳細について述べる.

さらに、スイッチング増幅回路をモーターなどに適用した場合、コイルに流れ る電流は MOS をオフにした後も流れ続けるために、この電流を逃すためのフラ イホールダイオードをつける必要がある.また、スイッチング時に大きなリンギ ングが発生するのを抑えるためにも保護用の高耐圧なダイオードを入れる必要 がある.この保護用デバイスとして、第6章で提案する高耐圧なダイオードを使 うことができる.

#### 2.8 半導体デバイスの高耐圧化

半導体デバイスには、高耐圧、低オン抵抗、高電流出力、高速・高周波動作な どが求められているが、これらの要求を全て満たすことは難しい.本論文の目的 は、大出力システムを実現することであり、そのためには、負荷を駆動するため のスイッチング増幅回路で用いる半導体デバイスの高耐圧化が欠かせない.第4 章で述べる DDSP システムでは、従来とは異なる特徴を有するスピーカーを駆 動するために、高耐圧で高効率なデバイスが必要とされている.このために必要 なデバイスとしては、増幅素子としての FET や保護ダイオードがある.そこで、 出力電圧を高電圧にするのに必要な、高耐圧な半導体デバイスを開発するにあた り、構造が簡単でかつ pn 接合を有する縦型 GaN ダイオードに高耐圧化手法を 適用し、効果を確認することとした.

高耐圧化するためには、デバイス内で最大となる電界強度を、半導体材料の物 性限界で決まる絶縁破壊電界以下に低減する必要がある. 絶縁破壊電界が高い半 導体材料を使うことで高耐圧にできる. また、不純物プロファイルやドリフト層 の厚さなどを適切に設計することでも高耐圧化することができる. さらに、エッ ジターミネーションなどの電界強度低減手法も広く用いられている. これらの手 法については、第5章で述べる. さらにこれらの手法を用いつつ、高誘電率材料 を用いて電界強度を低減する手法を提案し、シミュレーションと作製したデバイ スで検討を行った. これについては、第6章で述べる.

#### 2.9 まとめ

本章では、低炭素社会実現のために、パワーエレクトロニクスを用いて高効率 な電力変換が行われていることを説明した.パワーエレクトロニクスは小型,軽 量、省エネルギーを実現するために、様々な機器に応用されている.パワーエレ クトロニクスの応用として、大出力化のための DDSP システムを取り上げた. 高電圧でしか駆動できないスピーカーを駆動するために、スイッチング増幅回路 を高耐圧にする必要があるが、高耐圧な半導体デバイスがなければ実現すること はできない.そこで、半導体デバイスの高耐圧化を検討した.高耐圧化に適した 材料を探すとともに電界強度の低減手法について検討した.さらに小型、軽量化 のために、高耐圧な半導体デバイスを用いたスイッチング増幅回路の検討も必要 である.そして、スイッチング増幅回路を制御するデジタル信号技術により、負 荷の特性に応じたノイズ低減や音質向上の機能を入れることができる.

このように、パワーデバイス、回路技術、電力増幅、制御を組み合わせること で高効率な大出力システムが実現できる.

### 第3章

# 電源電圧を超える電圧を出力可能な D級増幅器の提案

3.1 はじめに

従来,オーディオアンプには,トランジスタの動作点の異なる,A級,B級, AB級,C級増幅器が使われてきた.しかし,これらの増幅器のエネルギー効率 は低く,約1/3が熱として放出されてしまうため,大型の放熱器が必要であり, 小型化や高出力化には限界がある.また,大量の電力を必要とするため,バッテ リーで動作する機器では使えないという問題があった.

そこで、エネルギー効率が高く、大出力化しやすい D 級増幅器が用いられる ようになった. D級増幅器は、従来の増幅器と比較して、低パワー出力時のエネ ルギー効率が高いことに特徴がある.一方、通常、音楽を再生している場合、ア ンプの出力はほとんどの時間で低パワー出力になっている.したがって、オーデ ィオ内蔵携帯機器、すなわち、ノートブック PC、携帯電話、スマートフォン、 CD プレイヤー等の電池寿命は、その機器が搭載しているオーディオアンプの低 パワー出力時のエネルギー効率に大きく依存している.以上より、D級増幅器は、 電池寿命が重要なオーディオ内蔵携帯機器用アンプとして最適であり多くの機 器で採用されている[25,26].D級増幅器は、デジタル信号(パルス信号)の特徴を 活かしているが、音声信号を純粋な"0"、"1"のデジタル信号として扱うわけでは なく、変調したパルス信号を処理している.D級増幅器は、入力されたアナログ 信号をバルス幅変調 (PWM) 変調またはパルス密度変調 (PDM) し、PWM ま たは PDM 信号でパワーデバイスをスイッチングすることで増幅されたパルス 出す.しかし,A級からD級増幅器は,電源電圧の範囲内で入力信号を増幅する ため,出力される信号は電源電圧を超えられない.このため,D級増幅器の大出 力化には,昇圧型スイッチング電源回路を追加し,昇圧した電源電圧を供給する 必要があった.しかし,小型化に適したD級増幅器が,追加回路のために大きく なってしまうというトレードオフが生じる.

#### 3.2 従来のD級増幅器

図 3-1 に示すように, D 級増幅器は, 入力信号と三角波(鋸波)を比較し PWM 信号を生成する回路, スイッチング段を有する増幅回路と出力信号をアナログ信 号に戻す LPF で構成される. PWM では, 出力波形のパルス幅は入力信号の電 圧に比例する. D 級増幅器は, スイッチングにより電力増幅しているため, 出力 段での電力損失が少なく, 90%を超える電力効率を実現している. しかし, 出力 信号の正確さは三角波に依存しているため, フィードバック構成にして精度を上 げた図 3-2 の構成が広く使われている[27]. フィードバックループはエラーを減 らすように動作するため, 比較器により生成された PWM 信号は, 出力スイッチ のエラーを補償するように動作する. よって, フィードバックループは, 出力ト ランジスタと三角波の非線形による歪とノイズを低減することができる.



図 3-1 PWM 波形を用いた基本構成の D 級増幅器



図 3-2 フィードバックループ構造の D 級増幅器

#### 3.3 三角波比較方式

アナログ入力信号から PWM 信号への変換は、参照となる三角波と入力信号 をコンパレーターで比較して生成する(図 3·3) [28]. この三角波は、入力信号 より十分に高い周波数である必要がある. PWM への変換は、入力信号が三角波 より高い間は"High"を出力し、入力信号が三角波より低い間は"Low"を出力する (図 3·4). これにより、入力信号の振幅は、コンパレーターでパルス幅に変換さ れ、2 値のデジタル信号である PWM 信号となる.



図 3-3 PWM 信号を生成するコンパレーター



図 3-4 PWM 信号の生成

#### 3.4 出力信号

D 級増幅器の出力振幅は、電源電圧の範囲内に制限される.出力振幅を電源電 圧より高くしたい場合は、昇圧のための DC-DC 変換器が必要となる.特に、バ ッテリーで動作するポータブルデバイスでは、電源電圧はバッテリーから出力さ れる電圧で決まる.リチウムイオンバッテリーで昇圧型 DC-DC 変換器を用いた 典型的な D 級増幅器のブロック図を図 3-5 に示す.しかし、この構造は追加的 なハードウェアを必要とし、小型化に適しているという D 級増幅器の利点が失 われてしまう.



図 3-5 昇圧型 DC-DC 変換器を有する D 級増幅器

#### 3.5 スイッチング電源回路

スイッチング電源回路は、直流の入力電圧をスイッチング動作により、入力電 圧とは異なる電圧に変換する回路である.スイッチング電源回路は3種類ある.

- 降圧型 DC-DC コンバーター
- 昇圧型 DC-DC コンバーター
- 昇降圧型 DC-DC コンバーター

#### 3.5.1 降圧型 DC-DC コンバーター

図 3-6 の降圧型 DC-DC コンバーター回路は、入力電圧より低い電圧を出力する.入力電圧 V<sub>ref</sub>と出力からフィードバックされた信号が誤差増幅のためのオペアンプを通過し、三角波と比較することで PWM 信号へと変換され、スイッチングによって作られた方形波を出力段の LC フィルタで平均化することで、電源電

圧より低い直流電圧を出力できる.スイッチング段には,ハーフブリッジを使う.



図 3-6 降圧型 DC-DC コンバーター

#### 3.5.2 昇圧型 DC-DC コンバーター

図 3-7 の昇圧型 DC-DC コンバーター回路は,入力電圧より高い電圧を出力す る.入力電圧 V<sub>ref</sub>とフィードバック信号が誤差増幅のためのオペアンプを通過し, 三角波と比較することで PWM 信号へと変換される.スイッチング段と電源 V<sub>dd</sub> の間には直列にインダクタが接続されており,スイッチング段を高速に動作させ ることでインダクタに蓄えられたエネルギーにより,電源電圧より高い直流電圧 を出力できる.スイッチング段には,ハーフブリッジを使う.



図 3-7 昇圧型 DC-DC コンバーター

#### 3.5.3 昇降圧型 DC-DC コンバーター

昇降圧型 DC-DC コンバーターは、昇圧型と降圧型を組み合わせた動作となり、 出力電圧を入力電圧よりも大きくも小さくもできる回路である. 図 3-8 に示す昇 降圧型 DC-DC コンバーターは、4 個のトランジスタとインダクタで構成され、 アルファベットの'H'に似た形をしているため、H ブリッジと呼ばれる. H ブリ ッジ回路では、対角線上で対となる  $Q_1 - Q_4 \approx Q_2 - Q_3$ を制御信号で交互にオン とオフにする.

 $Q_1 \ge Q_4$ がオンの時、インダクタは in と GND に接続される.  $Q_2 \ge Q_3$ がオ ンの時、インダクタは out と GND に接続され、電力は out に出力される. した がって、出力電圧は、GND から in に印加された入力電圧を超えた範囲で制御で きる. しかしながら、 $Q_1$ から  $Q_4$ の4つのトランジスタを動作させるため、スイ ッチングによる損失が大きくなり、電力効率は落ちる.



図 3-8 H ブリッジ型昇降圧 DC-DC コンバーター

#### 3.5.4 動作モードを切り替えた昇降圧型 DC-DC コンバーター

図 3-8 の H ブリッジ回路の左半分(Q<sub>1</sub> と Q<sub>2</sub>)は,図 3-6 の降圧型 DC-DC コ ンバーター,H ブリッジ回路の右半分(Q<sub>3</sub> と *Q*4)は,図 3-7 の降圧型 DC-DC コンバーターと同じ形をしている.

目標とする出力電圧が電源電圧より低い時は,H ブリッジ回路を降圧型 DC-DC コンバーターとして動作させる(降圧モード).降圧モードで動作している 時,Q<sub>3</sub>は常にオンであり,Q<sub>1</sub>とQ<sub>2</sub>は交互にオンとオフを繰り返す.

次に,目標とする出力電圧が電源電圧より高い時は,Hブリッジ回路を昇圧型 DC-DC コンバーターとして動作させる (昇圧モード).昇圧モードで動作してい る時,Q1は常にオンであり,出力電圧を昇圧するために,Q3とQ4は交互にオン とオフを繰り返す.

昇圧と降圧モードで動作している時, どの時間においても2つのトランジスタ のみがオンとオフになるので, 高い効率が得られる. インダクタの電流が連続で あるとすると, 昇圧と降圧動作時の出力電圧 V。はそれぞれ,
$$V_o = \frac{T_{ON}}{T_{ON} + T_{OFF}} V_I$$
 (降圧モード) (3-1)

$$V_o = \frac{T_{ON} + T_{OFF}}{T_{ON}} V_I \ (昇圧モード)$$
(3-2)

で表せる.ここで、 $T_{ON}$ は $Q_1$ と $Q_4$ がオンとなっている時間であり、スイッチング周波数でのオンデューティーである。 Kは入力電圧である.

## 3.6 提案手法を用いた昇圧と降圧モードを有する D 級増幅

器

提案手法を用いた昇圧と降圧モードを有する D 級増幅器を図 3-9 に示す.従来の D 級増幅器で用いられていたハーフブリッジ回路を図 3-8 の H ブリッジ回路に置き換えている.詳細な回路図を図 3-10 に示す.



図 3-9 提案手法を用いた D 級増幅器のブロック図



図 3-10 提案手法を用いた D 級増幅器の回路図

#### 3.6.1 スイッチング信号の制御

H ブリッジ回路を駆動する PWM 信号は,図 3-11 に示す論理回路で生成される. ループフィルタの出力電圧が V<sub>dd</sub> / 2 より高い時,H ブリッジ回路は昇圧モードで動作する.対照的に,ループフィルタの出力電圧が V<sub>dd</sub> / 2 より低い時,H ブリッジ回路は降圧モードで動作する.ここで重要なのは,降圧モードと昇圧モードの切り替えが途切れることなく行われる必要がある.



図 3-11 スイッチング信号の制御

#### 3.6.2 PWM 生成回路

2つの動作モードを連続的に切り替えるために、PWM 信号の生成に2つの鋸 波を使う(図 3-12). ループフィルタの出力電圧が V<sub>dd</sub>/2より低い時、電圧範囲 は GND から V<sub>dd</sub>/2の鋸波を使う. インダクタの電流が連続であるとすると、昇 降圧モード動作における増幅器の出力電圧は PWM 波形のデューティー比に依 存する. 理想的な鋸波を用いたとすると、式(3-1)と(3-2)より昇圧と降圧の動作は 連続的に切り替えることができる. 2つの鋸波を切り替えるタイミングは、クロ ック信号に同期した D 型フリップフロップ (D-FF) を用いて、それぞれの鋸波 が立ち下がるタイミングで切り替えている.



図 3-12 昇降圧型 PWM 生成回路

### 3.7 シミュレーション

提案した D 級増幅器を Spice シミュレーター(Cadence 社の Spectre)で行った. Spice モデルは TSMC 社の  $0.35 \mu$  mCMOS プロセスを用いた.提案方法の効果を確かめるために、シミュレーションでは論理回路と出力段のトランジスタ以外は理想素子を用いた.電源電圧は 3.3V である.出力電圧範囲は 0 V から電源電圧の 2 倍までである.

シミュレーション回路を図 3-13 に示す.出力の電力と歪を改善するために, バランス構成の差動出力にしている.この回路にはフィードバックループがある. オペアンプを用いた 2 次の積分器は,ループフィルタとして働く.直流電流源 IDC は,出力ノードのコモンモード電圧を制御している.デッドタイム生成器

 (Deadtime generator)は、H ブリッジ DC-DC(H Bridge DC-DC)と論理制 御スイッチ(Switch Logic Control)の間に入れている.Q<sub>1</sub>とQ<sub>2</sub>やQ<sub>3</sub> とQ<sub>4</sub>を 通って V<sub>dd</sub>から GND に流れる電流を防ぐために、図 3-14 に示す、デッドタイ ム生成回路で出力トランジスタを制御している.

回路半分の利得 G は,

$$G = \frac{R_2}{R_1} \cdot \frac{R_4}{R_3} \tag{3-3}$$

で表せる. シミュレーションでは, それぞれ  $R_1 = 10 \text{ k}\Omega$ ,  $R_2 = 20 \text{ k}\Omega$ ,  $R_3 = 10 \text{ k}$  $\Omega$ ,  $R_4 = 20 \text{ k}\Omega$ としている. したがって, 入力から出力への利得 G は式(3-3)より 4 となる. 鋸波の周波数は, 2 MHz とした. 提案した回路のシミュレーション波 形を図 3-15 に示す. 入力信号が 1 kHz, 振幅 1.65 V の正弦波の出力電圧は, 6.6 V となった. これより, 電源電圧の 3.3 V より 2 倍高い出力電圧が得られた. シミュレーションの出力波形には, リップルが見られるが, 可聴周波数よりもか なり高いため, 問題はない.

出力のスペクトラムを図 3-16 に示す. この時の入力信号の正弦波の周波数は 1 kHz であり,振幅は 1.1 V である. 従来の昇圧型 DC-DC コンバーターを用い た D 級増幅器のスペクトラムを比較のために点線で示している. 従来型も提案 型も同じテクノロジーである.

シミュレーションした回路の特性を表 3-1 に示す. 従来の回路のシミュレーションには、500  $\mu$  F と大きな平滑化キャパシタと 1  $\mu$  H のインダクタを追加する 必要がある. これらの電子部品を外部に素子として取り付ける面積を考慮すると かなり大きくなるが,提案回路には必要なく,回路サイズを減らすことができる. Signal-to-noise and distortion ratio (SNDR) は、従来の回路が 76.2 dB に対 して、提案した回路は 85.0 dB となった. 提案回路の電気特性は良く、追加の DC-DC コンバーターを必要とせず、電源電圧を超えた出力振幅を得ることがで きる.



図 3-13 スイッチング電源回路を用いた D 級増幅器



図 3-14 デッドタイム生成回路



図 3-15 1 KHz 入力時の出力波形



図 3-16 1 KHz 入力時の周波数スペクトラム

## 3.8 さらなる大出力化への対応

さらなる大出力化へ対応する際に,図 3-8の回路では,スイッチング時のリン ギングの影響で回路が損傷する可能性がある.そこで,保護ダイオードを付けて トランジスタが壊れないようにする必要がある.図 3-17 に保護ダイオードを付 けた H ブリッジ型昇降圧 DC-DC コンバーターを示す.



図 3-17 保護ダイオードを付けた H ブリッジ型昇降圧 DC-DC コンバーター

	Conventional circuit	Proposed circuit
Power supply	3.3 V	3.3 V
SNDR (20kHz bandwidth)	76.2dB@Vin=1.1V	85.0dB@Vin=1.1V
SNR (20kHz bandwidth)	110.3dB@Vin=1.1V	103.5dB@Vin=1.1V
THD at 1kHz	0.014%@Vin=1.1V	0.0058%@Vin=1.1V
Switching frequency	2MHz	2MHz

表 3-1 シミュレーション結果

## 3.9 まとめ

本章では, D 級増幅器で電源電圧より高い出力電圧が得られる構成法を提案 した.

D 級増幅器は、スイッチングにより増幅を行っている.また、降圧型や昇圧型 のDC-DCコンバーターも同様にスイッチングを利用している.この共通点から、 回路構成は非常に似た回路である.そこで、スイッチング段のハーフブリッジ回 路をフルブリッジ回路にすると降圧型と昇圧型を組み合わせた昇降圧型の DC-DCコンバーターになる.さらに、D 級増幅器に昇降圧型の DC-DCコンバータ ーを組み込むことで、スイッチング電源を内蔵した D 級増幅器を構成すること ができる.これにより、外部の昇圧回路が不要となり、回路規模を縮小すること ができる.また、出力電圧が高く取れるため、大出力化に適した回路である.

## 第4章

# 高出カデジタル直接駆動 スピーカーシステム

#### 4.1 はじめに

日常でラジオやテレビの音声や録音された音楽を聴くとき、ラウドスピーカー やヘッドホンを使うことがほとんどである. ラウドスピーカーはオーディオアン プから出力された電気信号を空気振動に変換し, 空間に放射して耳に音を届ける. ラウドスピーカーにはいくつかの種類があるがダイナミックスピーカーが一般 的である. 図 4-1 に示すダイナミックスピーカーの断面図を示す. ダイナミック スピーカーの背面にはマグネットと電気信号が流れるボイスコイルがある. ボイ スコイルに信号を入力すると、フレミングの左手の法則により、ボイスコイルが 振動する.この振動が振動板であるコーンに伝わり、コーンが空気を振動させて 音に変換している.ダイナミックスピーカーの歴史は古く 1877 年頃に特許が取 得されているが, 基本的な形は大きく変わっていない[29.30]. より強力なマグネ ットの開発により小型化されてきているが,構造的に更なる小型化やフレキシブ ルにすることは難しい、しかし近年、新たな素材の開発により、今までになかっ た新しいスピーカーが登場しつつある[30-38]. ピエゾフィルムや高導電性フィ ルムでできたスピーカーは、とても薄くフレキシブルという特徴がある.しかし、 駆動するための電圧が非常に高く、1000 V 程度もしくはそれ以上が必要となる [39-44]

ラウドスピーカーを駆動させるオーディオアンプはアナログ回路で構成され ており、1000 V 以上の電圧を出力するためにはデバイスの耐圧が足りない.ま た、トランスを用いて昇圧できたとしても小型化することはできず、薄くフレキ シブルを特徴とするスピーカーの利点を生かすことができない.そこで,高電圧 出力に適したオーディオシステムとして,DDSP システムについて述べる.



図 4-1 ダイナミックスピーカーの断面図

## 4.2 アナログオーディオ再生システム

オーディオ再生システムは、長い間ほぼアナログ回路で構成されてきた[45-47]. アナログなオーディオアンプには、従来の真空管、A級、B級、AB級、C 級アンプに加え、最近では高効率な D 級アンプが使われるようになってきてい る[46]. A級、B級アンプは、音質が良い反面、電力効率が悪いといった欠点が ある. 近年では,再生する音声や音楽などのデータの多くはデジタル化されてい るが,オーディオアンプはアナログ回路で構成されているため,デジタル信号の まま入力することができず,D/A 変換器をアンプの前段に付けて,デジタル信号 をアナログ信号に変換しなければならない.

D級アンプは、従来のアナログアンプと比較して、低パワー出力時のエネルギ ー効率が高いことに特徴がある.一方,通常,音楽を再生している場合,アンプ 出力は、ほとんどの時間で低パワー出力になっている.したがって、オーディオ 内蔵携帯機器, すなわち, ノートブック PC, 携帯電話, スマートフォン, CD プ レイヤー等の電池寿命は、その機器が搭載しているオーディオアンプの低パワー 出力時のエネルギー効率に大きく依存している。以上より、D級アンプは、電池 寿命が重要なオーディオ内蔵携帯機器用アンプとして最適であり多くの機器で 採用されている. D級アンプは、デジタル信号(パルス信号)の特徴を活かしてい るが、音声信号を純粋な"0"、"1"のデジタル信号として扱うわけではなく、変調 したパルス信号を処理している. D 級アンプの出力信号をそのままスピーカーの 入力に使うことはできない、アナログ信号に再度変換し、スピーカーに入力でき る信号となる. D 級アンプで構成されるスピーカーシステムは従来のA級, B級 アンプで構成した場合とアナログフィルタ以外は同じである.そこで,近年急激 に採用されているD級アンプを用いたオーディオ再生システムのブロック図を 図 4-2 に示す.再生(増幅)したいCD等のデジタル音声信号は、D/A 変換器で 一旦アナログ信号に変換され、そのアナログ信号をD級アンプに入力する. D級 アンプは,入力されたアナログ信号をパルス幅変調(PWM)またはパルス密度 変調 (PDM) し, パルス幅またはパルス密度に音声情報を付加したパルス信号を 発生し, これらのパルス信号を処理して増幅を行っている. D級アンプから出力 されたパルス信号は、ローパスフィルタ等のアナログフィルタを通して高周波成 分を除去し、再びアナログ信号に変換され、ラウドスピーカーへ入力される.し かし、このD級アンプは、純粋な"0"、"1"のデジタル信号ではなく、パルス幅ま たはパルス密度の異なるパルス信号を処理するため、その処理にはアナログ回路 が使用される.一般にアナログ回路は大きな面積を必要とするが、D級アンプで は、さらに面積の大きな D/A 変換器が必須であるため、D級アンプを搭載した

チップは面積が大きいという問題があった.また,D級アンプを用いたオーディ オ再生システムでは,ラウドスピーカーを電源電圧よりも高い4V以上で駆動す るため,昇圧回路の内蔵が必須になっていた[48,49].

現在のオーディオアンプのほとんどが、入力信号に比例して電圧を出力するタ イプの電圧駆動型である.オーディオアンプの出力電圧は、真空管で数百ボルト、 トランジスタでは数十ボルトであり、携帯機器の場合はもっと低い電圧である. アナログのオーディオアンプで出力電圧を上げようとすると、出力電圧範囲の全 てにおいて歪まずに線形に出力する必要がある.しかし、出力電圧範囲が広がる とどうしても歪みが増えてしまう.したがって、アナログオーディオアンプで、 高電圧でしか駆動できない新しいスピーカーを駆動することは難しい.



図 4-2 アナログ・スピーカー・システムのブロック図

## 4.3 デジタルスピーカーシステムの概要

DDSP システムの特徴は、ラウドスピーカーの駆動を含め、全て純粋な"0"、 "1"のデジタル信号で動作する点である.全てデジタルで処理するため、従来の アナログ方式とは決定的に異なる仕組みとなっている.目に見えて最も異なる点 は、モノラルの再生にラウドスピーカーが複数個必要となる点である.DDSP シ ステムでは、最低3個以上のラウドスピーカーを組み合わせて使う.組み合わせ るラウドスピーカーの数は、音量、スペース、音質、指向性、信号処理に必要な LSIの面積などを考慮して自由に選択することができる.本論文では、4個から 8個までのラウドスピーカーを組み合わせた場合を取り上げる.この組み合わせ が自由な特徴から、スピーカーの数を増やして大出力化に対応できる.

DDSP システムでは、フルパワー出力時から低パワー出力時までの効率を、全 て 80%以上にでき、電池寿命が重要な携帯機器用オーディオシステムとして十 分使用できる.また、DDSP システムは、全てデジタル信号で動作するので、通 常のデジタル LSI/IC と同様、プロセス世代にしたがって低電圧化することが可 能であり、昇圧回路等が一切不要である.また、D級アンプを用いたシステムで は必須であった、大きな面積の D/A 変換器も必要ない.また、デジタル信号を処 理する部分とスピーカーを駆動するためのドライバー回路とで分けることがで きるため、信号処理部は、デジタル回路のロジック電圧(例えば1V)の低電圧 で駆動させつつ、ドライバー回路だけ超高電圧(例えば1000 V)などで動作さ せることができる.つまり、出力電圧は"0"と"1"の2値が判別できればよく、途 中の電圧レベルは関係ない.このような特徴から、DDSP システムは携帯機器な どのバッテリーで動作する低消費電力が要求される機器から、高電圧をかけなけ れば動作しない新しいスピーカーまで対応することができる.

本章では, DDSP システムで使われている要素技術について説明し, 従来の2 値駆動の DDSP システムについて説明する.次に,音質改善と高電圧出力に適 した,3値駆動の DDSP システムについて述べる.

さらに, DDSP システムであるが, 音質の面で問題があり, 実用化が遅れていた. すなわち, 従来の DDSP システムでは, DDSP システムを構成する複数の

ラウドスピーカーまたは複数のコイルのミスマッチにより発生するノイズ(全高 調波歪)の影響で音質が劣化し、これが実用化を妨げていた。

そこで本論文では、この音質を改善するために、ディザを用いた3値駆動用3 次ベクトルのミスマッチシェーパーを提案した.

DDSP システムは、入力からスピーカーの出力まで全てにおいて、純粋な"0"、 "1"のデジタル信号のみで処理している. これにより、アナログアンプで必要だ った D/A 変換器や D 級アンプのアナログフィルタが不要となり、回路規模の削 減や、高い精度が必要なアナログ回路をなくすことができる.

以上の問題を解決するために, DDSP システムを用いたオーディオ再生シス テムの研究・開発が盛んになってきている[7, 50-63].

## 4.4 基本的な DDSP システム

#### 4.4.1 基本構造

図 4-3 に基本的な DDSP システムのブロック図を示す[56]. DDSP システム は、デジタル回路で構成される信号処理ユニットとサブスピーカーユニットから なる. この信号処理ユニットは、デジタルボリューム、マルチビットΔΣ変調器 (DSM) [64,65], Noise Shaping Dynamic Element Matching (NSDEM) [66-72], ドライバー回路で構成される. 図 4-3 は、1 チャンネルのみの構成であり、 モノラル出力である. ステレオで出力するためには、図 4-3 を2つ並列にする必 要がある.

従来のアナログ・スピーカー・システムとの大きな違いは、スピーカーが複数 個必要となる点である. DDSP システムは、デジタル信号で直接スピーカーを駆 動するため、一つのスピーカーから出力される音は"0"と"1"に対応した音しか 出ず、再生元のオーディオデータとはかけ離れた音としか聞こえない. そこで複 数のスピーカーから同時に"0"と"1"に対応した音を出力し、空間またはスピー カー内部のコイルで合成することにより、耳に届いた時に元のオーディオデータ と同じように聞こえるシステムになっている.

CD などのデジタル化されたオーディオ信号は、最初にデジタルボリュームに 入力される. デジタルボリュームで音量を調整された信号は、マルチビット $\Delta \Sigma$ 変調器に入力される. マルチビット $\Delta \Sigma$ 変調器に入力された信号は再量子化され、 ノイズシェーピングをかけられる. マルチビット $\Delta \Sigma$ 変調器の出力信号 X は、 NSDEM に入力される. NSDEM は、サブスピーカーのミスマッチにより発生 するノイズを低減し、サブスピーカーの駆動信号を生成する. NSDEM より出力 された駆動信号により、ドライバー回路がサブスピーカーをデジタル信号で直接 駆動する.



図 4-3 2 値駆動の DDSP システムのブロック図

#### 4.4.2 マルチビットΔΣ変調器

マルチビットΔΣ変調器の役割は、ノイズを低減することである[55,66,68]. マルチビットΔΣ変調器を使うことで、スピーカーの駆動数を連続的に変化させ ることができる.マルチビットΔΣ変調器には次数があり、用途に応じて1次、 2次、3次が使われることが多い.DDSPシステムで用いるマルチビットΔΣ変 調器も次数を選ぶことができ、2次や3次が使われている.マルチビットΔΣ変 調器の次数によって、回路構成やノイズシェーピングの特性が大きく異なってく る.そこで、どの次数を選択するかが、重要なパラメータとなる.

2次の $\Delta \Sigma$ 変調器は安定性が高いが SNR は良くない. 3次の $\Delta \Sigma$ 変調器は, 安定性が悪いが SNR が良くなる. DDSP システムではマルチビットの $\Delta \Sigma$ 変調器を用いることができるので,安定性を改善でき,信号振幅をフルスケール付近 まで入れられる. これにより,電源回路を簡単にでき,回路規模の削減に大きく 寄与する. そこで,本チップのマルチビット $\Delta \Sigma$ 変調器は,3次を選択した.

DDSPシステムでは、マルチビットΔΣ変調器の出力信号Xのビット数Nは、 スピーカーまたはボイスコイルの個数 M と密接に関係している. 出力信号 X の ビット数 N とボイスコイルの個数 M の関係は、

$$N \ge Log_2(2M+1) \tag{4-1}$$

となる. ただし, N は正の整数である.

#### 4.4.3 温度計コード

マルチビットΔΣ変調器から出力される信号は、ビット数の低い2進数の信号 として出力される.この出力信号は重み付けされておらず、そのまま出力デバイ スのサブスピーカーに接続することはできない.そこで、サブスピーカーを選択・ 駆動するために、Nビットの信号XをMビットの温度計コードに変換する必要 がある.温度計コードはスピーカーの個数Mと同じビット数となる.温度計コ ードの1ビットがスピーカーまたはボイスコイル1つと1対1で対応する.温度 計コードは重み付けされていないので,出力デバイスであるスピーカーやマルチ ボイスコイルは同じ素子を使うことができる.

ΔΣ変調器から出力される信号を温度計コードに変換すると,下位ビットの使 用頻度が高くなってしまう.そのため,温度計コードとスピーカーが1対1で関 連付けられている DDSP システムでは,下位ビットのスピーカーは頻繁に使わ れるのに対し,上位ビットのスピーカーはほとんど使われなくなってしまう.複 数のスピーカーの特性が全く同じであれば,使用頻度による問題は発生しないが, 特性にばらつきがある場合,頻繁に使われる下位ビットのスピーカーの特性が音 質に大きく影響してくる.これにより,出力された音に変化が生じ,音質劣化の 要因となる.この問題を解決するために,Data-Weighted Averaging (DWA)ア ルゴリズムが用いられる[73,74].DWA は,最後に使われたスピーカーをポイン タとして覚えておき,次の信号では,最後に使われた次のスピーカーから使うよ うにするアルゴリズムである (図 4-4 参照).



図 4-4 DWA の素子選択

#### 4.4.4 NSDEM 回路

DDSP システムでは,複数のスピーカーを用いて"0"と"1"を出力しているた め,スピーカーの特性ばらつきの影響を大きく受ける.全てのスピーカーの特性 が同じであれば音質は劣化しないが,実際のスピーカーでは製造上のばらつきや 使う頻度による特性の変化があり,音質が劣化する要因となっていた.そこで, NSDEM 回路を用いてこの問題を解決しつつ,更なる音質向上を図っている[68].

図 4-5 に NSDEM 回路のブロック図を示す. NSDEM 回路に温度計コードを 入力すると,出力素子(スピーカー)を駆動する信号を生成する.しかし,単純 に温度計コードを変換しているのではなく,ソート・セレクタ回路とループフィ ルタによる信号処理が行われた上で出力信号を生成している.

ソート・セレクタ回路から出力された信号は、ループフィルタで積分され、ソ ート・セレクタ回路にフィードバックされる.ソート・セレクタ回路の出力信号 は各スピーカーの選択信号と対応しているため、ループフィルタで積分された値 は、各スピーカーが使われた回数となる.

ソート・セレクタ回路は、ソート回路と選択回路で構成される.ソート回路は、 ループフィルタで積分された値を小さい順に並べ替え、次に使うスピーカーの順 番を決定する.そして、入力された温度計コードから決まる駆動するスピーカー の数に基づいて、セレクタ回路から選択信号を出力している.

このように、NSDEM 回路では、温度計コードからの単純な変換だけでなく、 スピーカーのミスマッチにより発生するノイズを低減するために、駆動するサブ スピーカーを動的に決定する機能を有している. NSDEM 回路の動的決定機能 を使わなくても、スピーカーを温度計コードで直接駆動することはできるが、 S/N はかなり悪くなってしまう.



図 4-5 NSDEM のブロック図

#### 4.4.5 ソート・セレクタ回路

ソート・セレクタ回路は NSDEM のブロックに入っているが, DDSP システ ムでは非常に重要な回路であるため, 節を分けて記述する.

前述の通り,ソート・セレクタ回路はどのスピーカーを駆動させるかを決めて いる.そのため,ソート・セレクタ回路は次の信号が来る前に処理を終わらせ, 信号を出力する必要がある.信号処理が間に合わないと,スピーカーに出力した 際に再生したオーディオ信号を完全に再現できなくなってしまう.再生されたオ ーディオは人が聞くために,個人差はあるものの,駆動信号のタイミングのずれ や信号の遅延は非常にシビアに感じられてしまう.そこで,ソート・セレクタ回 路には,高速なバイトニック・マージ・ソート回路[75]を使用した.

バイトニック・マージ・ソート回路のブロック図を図 4-6 に示す. 図 4-6 は,

8 個のスピーカーがあると仮定し,8入力・8出力の構成となっている. I<sub>1</sub>から I<sub>8</sub>には,ループフィルタで積分されたサブスピーカーの使用回数の情報が入力さ れる.I<sub>1</sub>から I<sub>8</sub>に入力された情報に,サブスピーカーのユニット番号を紐付けし て並び替えを行っている.

図 4-6 中の一つの四角いブロックが、2入力・2 出力のコンパレーターとなっている.

↓の四角いブロックは、2つの入力を比較し、大きい値を上側(実線側)に出 力し、小さい値を下側(点線側)に出力する.

↑の四角いブロックは、2つの入力を比較し、大きい値を下側(点線側)に出 力し、小さい値を上側(実線側)に出力する.

ソート・セレクタ回路は、2種類のコンパレーターのブロックを6段組み合わ せて構成されている.最終的には、カッコの中の数字で示したように、上から入 力信号の値が小さい順に並び替えられる(図 4-6 の右端).このように多段構成 のバイトニック・マージ・ソート回路を用いることで、並び替えを並列化でき、 DDSP システムで求められる性能を満たしている.



図 4-6 M=8の時のソート回路のブロック図

#### 4.4.6 ドライバー回路

ドライバー回路は、NSDEM から出力された信号を増幅し、スピーカーを駆動 するための信号を作る.スピーカーを駆動するための信号は、"0"と"1"の2値 であるため、ドライバー回路は、簡単なスイッチング回路で構成できる.ドライ バー回路は、スピーカーを駆動するのに必要な電流を供給するとともに、デジタ ル信号をスピーカーにかける電圧に変換している.すなわち、デジタル信号が"0" であれば、接地電圧(GND:0V)を出力し、デジタル信号が"1"であれば、電源 電圧 Vadを出力する.ドライバー回路で出力電圧を決めているため、出力電圧を 上げる必要がある場合は、ドライバー回路のみの電源電圧を上げるだけで対応で きる.これより、デジタルボリュームから NSDEM までは電源電圧が低く、動 作速度も速い微細プロセスを使うことができ、面積やコストの面で有利となる. したがって DDSP システムは、高出力にも適したシステムであると言える.

#### 4.4.7 スピーカーユニット

前に述べたように、DDSP システムでは複数のスピーカーから音を出して空 間やスピーカーのコイル内部で合成している.そのため、複数のスピーカーを一 つにまとめたスピーカーユニットとして扱っている.スピーカー4個を一つにま とめたマルチ・サブスピーカー・ユニットを図 4-7 に示す.図 4-7 では、スピー カーが4個の場合であるが、もっと増やした構成をとることも可能である.マル チ・サブスピーカー・ユニットはスピーカーの数が増えると大きくなってしまう ため、設置する際に問題となる場合がある.また、イヤホンやヘッドホンのよう な携帯向けには適さない.

そこで、別のスピーカーユニットとして、マルチボイスコイルスピーカーが実 用化されている.ボイスコイルが一つだけの一般的なスピーカー(図4-8)に対 し、図4-9は一つのスピーカーに4個のボイスコイルを有する構造になってい る.そして、入力端子もボイスコイルの数に対応した4個となっている.4個の コイルから生成される磁界がスピーカーユニットを駆動し、スピーカーユニット からオーディオが再生される.マルチボイスコイルスピーカーは,小型・軽量化 にも適しており,ヘッドホンにも採用されている.マルチ・サブスピーカー・ユ ニットと同様に,ボイスコイルの数は自由に変更可能である.

マルチ・サブスピーカー・ユニットは空間で音を合成するのに対して、マルチ ボイスコイルスピーカーは電気的に音を合成している.マルチ・サブスピーカー・ ユニットは既存のスピーカーを利用できるのに対して、マルチボイスコイルスピ ーカーは新しく作らなければならない.しかし、新しく作るためのコスト増はそ れほど大きくはなく、どちらの方式を使うかはアプリケーションにより判断する ことになる.

以上, DDSP システムで使えるスピーカーについて述べてきたが, どちらの方 式のスピーカーユニットを用いても DDSP システムの動作に違いはない. そこ で, 説明をしやすくするために, これ以降は, どちらの方式もスピーカーユニッ トと記述する.



図 4-7 マルチ・サブスピーカー・ユニット (M=4)



図 4-8 一般的なスピーカー



図 4-9 マルチボイスコイルスピーカー (4コイル)

## 4.5 大出力化に適した3値駆動 DDSP システム

前節までで DDSP システムで用いられている基本的な技術について概説した. 前節までの DDSP システムは、出力が"0"と"1"の2値であった。出力を電圧レ ベルに変換すると、0Vと V<sub>dd</sub>となり、出力電圧範囲は V<sub>dd</sub>となる。よって、出 力電圧を大きくしたい場合は、出力電圧に比例した電源電圧をドライバー回路に 供給する必要がある。

そこで、大出力化に適した、3 値駆動の DDSP システムについて述べる.図 4-10 に3 値駆動の DDSP システムのブロック図を示す.3 値駆動にするために、 図 4-3 の 2 値駆動のドライバー回路を H ブリッジ回路に、それに伴い NSDEM を 3 値レベルの NSDEM へと変更している.図 4-3 にあった温度計コード変換 ブロックは、3 値レベルの NSDEM に統合されている.



図 4-10 3 値駆動の DDSP システムのブロック図

#### 4.5.1 Hブリッジドライバー回路

図 4-11 に H ブリッジドライバー回路を示す. H ブリッジドライバー回路に は、*V*<sub>dd</sub> と GND が接続されており、スイッチ SW1 から SW4 のオンとオフの組 み合わせで真ん中にあるスピーカーに与える電圧の組み合わせを変更すること ができる.

H ブリッジが取れる組み合わせを図 4-12 に示す.

SW1 と SW4 をオフ, SW2 と SW3 をオンにすると, スピーカーの (+)端子に 0 V, スピーカーの (一)端子に V<sub>dd</sub> が印加され, これを"-1"とする (図 4-11 の 左).

次に、SW1 と SW3 をオフ、SW2 と SW4 をオンにすると、スピーカーの(+) 端子に 0 V、スピーカーの(-)端子にも 0 V が印加され、これを"0"とする(図 4-11 の中央). さらに、SW2 と SW4 をオフ、SW1 と SW3 をオンにすると、スピ ーカーの(+)端子に  $V_{dd}$ 、スピーカーの(-)端子にも  $V_{dd}$ が印加される. この場 合、スピーカーにかかる電圧は 0 V であり、スピーカーから音は出力されない. そのため、図 4-11 の中央と同じであるため、この条件は使わない.

最後に, SW2 と SW3 をオフ, SW1 と SW4 をオンにすると, スピーカーの (+) 端子に V<sub>dd</sub>, スピーカーの ○) 端子に 0 V が印加され, これを"1"とする (図 4-11 の右).

以上より, H ブリッジドライバー回路でスピーカーを駆動した場合には, 3 つ の状態を作り出すことができる. ここから H ブリッジをドライバー回路に用い た DDSP システムを 3 値駆動 DDSP システムと呼んでいる.

H ブリッジドライバー回路は、スピーカーを駆動するのに必要な電流を供給 するとともに、デジタル信号をスピーカーにかける電圧に変換している. すなわ ち、デジタル信号が"-1"であれば、- *V*<sub>dd</sub>を出力し、デジタル信号が"0"であれ ば、0Vを出力し、デジタル信号が"1"であれば、*V*<sub>dd</sub>を出力する.

2 値の場合の出力電圧範囲が 0 から  $V_{dd}$ であったのに対して,3 値の場合は—  $V_{dd}$ から  $V_{dd}$ となる.Hブリッジにして3値にすることで,電源電圧を変更する ことなく2値の2倍の出力電圧を得ることができるようになる. 2 値の場合と同様に、出力電圧を上げる必要がある場合は、H ブリッジドライ バー回路のみの電源電圧を上げるだけでよい.



図 4-11 H ブリッジドライバー回路



図 4-12 3つの状態をとれる H ブリッジ

#### 4.5.2 Hブリッジ制御回路

H ブリッジドライバー回路には, 貫通電流が流れやすいという問題がある. 図 4-11のH ブリッジで, SW1とSW2やSW3とSW4の切り替えのタイミングが 少しでも重なっていると, 貫通電流が流れ無駄に電力を消費してしまう. そこで 切り替えのタイミングを調整するための, H ブリッジ制御回路が必要となる.

H ブリッジドライバー回路と H ブリッジドライバー回路を制御する回路を図 4-13 に示す. H ブリッジ制御回路は, AND, OR, NOT 回路で構成され, H ブ リッジの右半分(SW3とSW4)と左半分(SW1とSW2)にそれぞれ接続され ている. これにより, 貫通電流が流れるのを防ぎ, 消費電力を低減している.



図 4-13 H ブリッジドライバー回路と H ブリッジ制御回路

#### 4.5.3 3 值 NSDEM

H ブリッジ回路を導入し、スピーカーを 3 値駆動にするためには、H ブリッジ回路の前段の NSDEM も 3 値に対応させる必要がある(図 4-10 参照). 図 4-14 に 3 値 NSDEM と H ブリッジ回路を示す. 基本的な構成は 2 値の NSDEM と同じであるが、図 4-14 の X from DSM から上側と下側でソート回路とループフィルタが 2 経路に分かれている. セレクタ回路の出力 SI<sub>M</sub>は"-1"、"0"、"1"の 3 値を有している. SI<sub>M</sub> が 0 より大きい場合は、上側のループフィルタで加算される. 一方、SI<sub>M</sub> が 0 より小さい場合は、下側のループフィルタで減算される. このように、プラス側とマイナス側の両方でループフィルタの積分値を同じにしている. この変更により、H ブリッジ回路を 3 値駆動できるようになった.

図 4·14 の DDSP システムでスピーカーユニットを動作させた場合に取りう る組み合わせを図 4·15 に示す. ここでは,スピーカーの数は4個としている. スピーカーの下に書いてある数字は,スピーカーの出力を単純に足した数である. 左端のマイナスの出力が4個から右端のプラスの出力まで,全部で9通りの音を 出力できる.2値駆動の場合は,プラスの出力しかなかったため,0から4まで の5通りの出力であったのに対し,3値駆動では,9通りまで出力できるように なっている.

スピーカーを M 個組み合わせると,スピーカーユニットから出力される音の 組み合わせは 2M+1 通りとなる.この組み合わせから音を合成している.



図 4-14 3 値 NSDEM と H ブリッジ回路


図 4-15 DDSP システムの出力の組み合わせ

## 4.6 DDSP システムの利点

DDSP システムを採用する利点としては、次の4点が挙げられる.

- 1. DDSP システムは、従来アナログ信号で駆動していたスピーカーを純粋な デジタル信号で駆動するため、単一電源(5 V や 3.3 V など)で駆動できる.
- 2. 低電圧化できるので、微細プロセスが使える.
- 微細プロセスを使うことで、更なる高速化が実現でき、スイッチングロス が減り、高効率にできる.
- 出力パワーに応じて使用するスピーカーの数,またはコイルの数が必要最小限に自動で制御されるので低消費電力化が可能.(図 4-15 参照)
- 5. 出力信号は、スイッチングで増幅すればいいので、出力電圧を上げるのが 簡単であり、大出力化に対応しやすい、

#### 4.7 DDSP システムの問題点

大出力化のために H ブリッジを採用し出力電圧の範囲を増やしたが,これにより S/N が悪化してしまう問題が生じる.

## 4.8 提案する DDSP システム

#### 4.8.1 構成

本論文で提案する DDSP システムを図 4-16 に示す.

図 4-10 の 3 値駆動 DDSP システムと大きく異なるのは, NSDEM にゼロ・バ リアント・ディザ (ZVD: Zero Variant Dither)を導入した点である. ZVD 以 外は従来と同じである.

前述のように、NSDEM は選択されたスピーカーの使われた回数を元に、次に 使うサブスピーカーをシャッフリングしながら選択していく.これにより、全て のサブスピーカーの使用回数を平均化し、S/N を改善している.しかし、図 4-15 に示されるように,出力パワーが小さいときは,使われるサブスピーカーも1ないしは2個と少なくなる.使われるサブスピーカーが少ないと,全てのサブスピ ーカーが選択されるまでに長い時間がかかってしまい,人の耳の時間分解能の下 限から決まる有限期間内での使用回数を正確に平均化するのは困難となる.もし, 時間間隔が時間分解能より長くなってしまうと,平均化は実際実現しない.これ により,NSDEM の本来の機能が発揮できず,S/N の悪化につながってしまう.

このような低出力パワー時の S/N を改善するために,ディザ信号(ダミー信号)を入れる方法を考案した.

NSDEM にディザ信号を処理する ZVD を組み込んだブロック図を図 4-17 に 示す. ZVD では、スピーカーを選択する回数が少ないときに、ディザ信号を入 れるようにしている. ディザ信号は1と-1の対となっており、その和は常に0 となり、結果として聞こえる音には、何も影響を与えないことになる.



図 4-16 提案する DDSP システム



図 4-17 ZVD を組み込んだ3値レベルの NSDEM

#### 4.8.2 タイミングチャート

具体的な動作を説明するために,波形をタイミングチャートに示す.タイミン グチャートの横軸は時間である(任意目盛:Arbitrarily Unit).

図 4-18 から図 4-23 は,従来の 3 値駆動 DDSP(図 4-10)のタイミングチャ ートである.サブスピーカーの数は 4 個(M=4)とし,デジタル信号で駆動して いる.

出力パワーが大きい場合について述べる. 図 4-18 は、 $\Delta \Sigma$ 変調器からの出力 信号 X を示している. ただし、図 4-18 では、出力信号 X は既にデコードされ、 サブスピーカーの数に対応したレベル、2M+1 (-4 から4) へと変換されてい る. 図 4-18 の出力信号 X は、従来は一旦温度計コードに変換され、その後 NSDEM でシャッフリングされていたが、図 4-14 の DDSP では、温度計コード 変換とシャッフリングが同時に並行して行われている.

しかし,以下では,動作原理をわかりやすくするために,温度計コードの変換 (擬似温度計コード)とシャッフリングが別々に行われているとして図示している.

図4-18の出力信号Xを擬似温度計コードに変換すると図4-19のようになる. SI<sub>1</sub>から SI<sub>4</sub>は、サブスピーカーの駆動信号を表している。サブスピーカーは図 4-12で示されるように、"-1"、"0"、"1"の3値で駆動されるので、SI<sub>1</sub>から SI<sub>4</sub> の信号も3値となる.

図 4-19 の信号を NSDEM でシャッフリングし, スピーカーを駆動させる信号 を生成する.

図 4-20 にスピーカーの駆動信号を示す. このように出力パワーが大きい場合 は、S<sub>1</sub>から S<sub>4</sub>に接続されたスピーカーが順次使われる. これにより、短時間の 間に、全てのスピーカーが均等に使われる.



図 4-18 Δ Σ 変調器からの信号 X









次に、出力パワーが小さい場合について述べる.

DSM からの出力信号 X は図 4-21 に示すように、まばらな間隔で、一1と+ 1レベルの信号が出力されているとする.

図 4-21 の出力信号 X を擬似温度計コードに変換すると、図 4-22 となる.図 4-22 の擬似温度計コードは、従来の DDSP システム (図 4-10) から NSDEM を 外した場合のスピーカーの駆動信号と同じになる.SUM は SI<sub>1</sub> から SI<sub>4</sub> の信号 を足し合わした信号であり、最終的に変換される信号を表している.図 4-22 よ り、NSDEM がない場合は、S<sub>1</sub>の信号のみが使われ、S<sub>2</sub> から S<sub>4</sub>の信号は全く出 力されない.

次に NSDEM がある場合の擬似温度計コードを図 4-23 に示す. NSDEM の 働きにより、S<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>、S<sub>4</sub>と順繰りに、使われるスピーカーが移動していく. しかし、全てのスピーカー(S<sub>1</sub>から S<sub>4</sub>)が使われるまでに長い時間がかかって しまい、NSDEM の効果が発揮されず、S/N が悪化してしまう.

本論文で提案する, ZVD を用いた 3 値レベル NSDEM (図 4-16) の場合につ いて述べる.

従来の回路(図 4-14)の NSDEM にディザを組みこんだ場合のタイミングチャートを図 4-24 に示す. SI<sub>1</sub>から SI<sub>4</sub>は,ディザ信号を入れる前のセレクタ回路の出力である.  $d_1$ から  $d_4$ はダミー信号となるディザ信号である. S<sub>1</sub>から S<sub>4</sub>は, NSDEM with ZVD 回路の出力信号であり,エンコーダー回路に入力する信号となる. SUM は S<sub>1</sub>から S<sub>4</sub>の信号を足し合わした信号であり,最終的に変換される信号を表している.

時間 1 から 2 の間は, SI<sub>1</sub> に信号があるので, そのまま S<sub>1</sub> の信号として出力 している.

時間 2 から 7 の間は、 $SI_1 \sim SI_4$  が全て 0 となり、出力される信号が全くない状態が続いている.

時間 2 から 7 の間に、 $d_1 \sim d_4$  に総和がとなるように 1 と-1をペアにしてディザ信号を入力する。例えば、時間 2 から 3 の間は、 $d_1=0$ 、 $d_2=-1$ 、 $d_3=1$ 、 $d_4=0$ のようにディザ信号を入れる。

次に、時間3から4の間は、d1=1、d2=0、d3=0、d4=-1のようにディザ信号

を入れる.

無音の状態が続いた場合は,前に選択したのとは異なるペアを選択する用にディザ信号を入れる. SUM の波形は,図 4-22 と全く同じであり,聞こえる音は同じであるが,実際には,S<sub>1</sub>から S<sub>4</sub>の信号が出力されている.

ディザ信号を入れることにより, DDSP を構成する複数のサブスピーカーま たは複数のコイルのミスマッチにより発生するノイズ(全高調波歪)を従来の 1/3 に低減できるようになった. したがって, 前の問題が解決され, S/N が向上した.



図 4-23 ソートあり、ディザなしの疑似温度計コード

77



図 4-24 ソートあり、ディザありの疑似温度計コード

### 4.9 測定結果

図 4-25 に作製したチップの顕微鏡写真を示す. チップの中央にデジタルボリ ューム,マルチビット $\Delta \Sigma$ 変調器,3 値レベル NSDEM が配置されている. H ブ リッジ回路は上部,左部と右部に配置されている.このチップを用いて特性を測 定した.図 4-26 から図 4-28 に DDSP システムの出力を FFT した結果を示す. なお,ここでの負荷は,5%のミスマッチを有する4 $\Omega$ の抵抗である.この負荷 は,マルチ・サブスピーカー・ユニット(図 4-29)の特性,または,マルチボイ スコイル型スピーカーユニット(図 4-30)の特性をモデル化している.

図 4-26 より, NSDEM を使用しない場合の出力スペクトルには,大きな倍音 歪みが存在することが分かる. 倍音歪みは, 3 次の NSDEM を使用することで, 50 dB の改善を図ることができる. (図 4-27) さらに,高周波数領域の歪みは, ZVD 付きの 3 次 NSDEM で除去することができる. (図 4-28). これは, ZVD が ミスマッチシェーパーの帰還ループを安定にするからである.

図 4-28 の場合において,室温の 27 度で測定したエネルギー効率を図 4-31 に 示す.入力パワーを減少させていった時の効率の減少は,従来の D 級アンプと 同等であるが,原理的には D 級アンプより小さくできるはずである.これは,入 力信号に比例してスイッチングトランジスタの数が減少するため,効率を高い値 に維持できるからである.この結果は,電池寿命の拡大を示唆している.何故な らば,音源が通常の音楽であれば,その平均的なパワーは,フルパワーの 1/10 程 度であるからである.また,図 4-31 の実測値は,ボイスコイルの数を増加する と,エネルギー効率が改善することも示している.

無響室においてマイクロフォンで測定した,6個のボイスコイルを有する 5.5 W のパワー出力のラウドスピーカーの出力スペクトルを図 4-32 に示す.こ の出力スペクトルは、このシステムで再量子化された入力デジタル信号のノイズ フロアが、-120 dBFS 以下になっていることを示している.2次や3次の高調 波歪みは、全高調波歪み(THD)性能を制限するが、これは、主に、ラウドスピー カーの非線形性が原因となっている.



図 4-25 チップ写真









図 4-28 3 次の NSDEM と ZVD ありの FFT 結果



図 4-29 (左) 7 スピーカー (右) 8 スピーカー



図 4-30 マルチボイスコイルスピーカー (8 コイル)



図 4-31 DDSP システムの電力効率



図 4-32 6コイルスピーカーで測定した出力スペクトラム

## 4.10まとめ

DDSP システムは,昇圧回路や DAC が必要なアナログアンプに比べ,小面積 のチップで構成でき,低電圧で動作するという特徴を有している.さらに,出力 電圧と信号処理の回路の電源電圧を別にすることができるため,高電圧出力に対 応できる.また,スピーカーの数を自由に変更できるため,出力電圧を変えるこ となく,スピーカーの数を並列に増やして音量を上げることもできる.

しかし,従来の DDSP では,複数のラウドスピーカーまたは複数のコイルの ミスマッチにより音質が低下するという問題があった.

そこで,高次のミスマッチシェーパーである NSDEM に,ディザ回路を加え ることを提案し,これにより音質の低下を大きく改善できることを示した.ディ ザ回路は,出力パワーの大小にかかわらず,常に複数のラウドスピーカーまたは コイルの使用頻度の平均化を可能にする回路である.

この回路を導入し、0.18 μm CMOS プロセスで作成したチップでは、従来と 同等の SNR (100 dB)が達成され、かつ、全高調波歪み(THD)を 1.1 %(@1 W)か ら 0.054 %(@5 W)に約 1/20 に低減し、音質が大幅に向上された.

# 第5章

# 半導体デバイスの高耐圧化

#### 5.1 はじめに

ムーアの法則に代表されるように半導体デバイスは微細化され高速化されて きたが、デバイスの物理的な寸法は微細化の限界にまで達しつつある.さらに、 微細化に伴ってデバイスの寸法が縮小すると、単位面積当たりにかかる電界強度 は高くなってしまう.微細化されたデバイスは、高速かつ低電圧な用途で用いら れている.その一方で、低炭素社会実現のために、大出力に対応した高効率なパ ワー半導体デバイスが求められている[3].大出力システムの実現には高耐圧や 大電流、またはその両方を兼ね備えた、高効率な半導体デバイスが必要となる. 第4章で提案した DDSP システムでは、高電圧のため大型な装置でしか駆動で きなかったスピーカーや薄型なスピーカーを駆動するための高耐圧で高効率な デバイスが必要とされている.そこで、高耐圧化を目的としたパワーエレクトロ ニクス用半導体デバイスの開発が重要となる.

本章では、高耐圧化手法および効果について概説する. ここで述べる高耐圧化 手法の多くは、シリコンを用いた半導体デバイスで開発され用いられてきた. し かし、シリコンの材料物性の限界により、これ以上の耐圧向上は望めなくなりつ つあり、GaN、SiC や GaAs などの化合物半導体材料が用いられるようになって いる. 化合物半導体材料は、絶縁破壊電界が高く高耐圧デバイスに向いており、 ワイドバンドギャップのため高温でも安定して動作する特徴を有している. まず、 デバイス材料による高耐圧化について述べる. 次に、化合物半導体材料の中でも 特に絶縁破壊電界が高い GaN に着目し、GaN 材料の特徴について述べる. さら に、GaN を半導体デバイスに用いた場合の一例として、縦型 GaN ダイオードを 取り上げる. このダイオードは単純な構造ながら pn 接合を持ち,半導体デバイ スとして基本的な構造を有している. したがって, pn 接合ダイオードで行った 高耐圧化手法は, FET など他のデバイスに応用可能である. また,構造が単純な ため,高耐圧化手法の効果が分かりやすく,シミュレーションも行いやすいとい う利点がある.

半導体デバイスにかかる電圧を上げていくと,半導体内部で絶縁破壊電界を超 えたところからデバイスが破壊されてしまう. GaN のような絶縁破壊電界が高 い材料を使っていても,さらに耐圧を上げようとすると絶縁破壊電界を超えてし まいデバイスが破壊されてしまう. そのため,半導体デバイスの破壊を防ぎ信頼 性や耐圧を向上させるためには,電界強度が高くなりやすい場所に電界低減手法 を適用しつつ,最大となる電界強度を下げる必要がある. そこで電界低減手法と して,メサ構造,フィールドプレート構造,接合ターミネーションエクステンシ ョンについて述べる. ここでは一例として縦型 GaN ダイオードに高耐圧化手法 を適用したが,これはどの材料やデバイスでも適用可能な技術である.

#### 5.2 電界強度

高耐圧な半導体デバイスにおいて、デバイスの破壊は絶縁破壊電界を超えたと ころから起こるのが一般的である.そのため、高耐圧化のためには、電界強度が どのように分布し、どこで高くなるのかを知ることが欠かせない.そこで、平行 平板コンデンサと、単純な pn 接合の場合の電界強度がどのようになるのかを考 える.最後に、実際のデバイスにおける電界強度を求めることになるが、構造が 複雑であり、数値的な手法で求める必要がある[76].そこで、デバイスシミュレ ーターを用いて電界強度を求めることにした.

#### 5.2.1 平行平板コンデンサ

図 5-1 に示すような平行平板コンデンサの電界強度を考える[77]. 2つの導体 間の電界強度を*E* V/mとし, 1 m<sup>2</sup> 当たりの電気力線を電界強度と等しい *E*本と する.

図 5-2 に示すような, 誘電率  $\epsilon$  の誘電体中において +QC の電荷から, 距離 r m 離れた点における電界の強さは、 クーロンの法則より

$$E = \frac{1}{4\pi\varepsilon} \frac{Q}{r^2}$$

となる. 図 5-2 で中心の + QC の電荷から半径 rm 離れた球の表面積は  $4\pi r^2$  であるから、 +QC の電荷から出る電気力線の本数は、

$$\frac{1}{4\pi\varepsilon}\frac{Q}{r^2}\cdot 4\pi r^2 = \frac{Q}{\varepsilon}$$

となる.単位面積当たりの電気力線の本数が電界強度となり,

$$E = \frac{1}{4\pi r^2} \frac{Q}{\varepsilon}$$

となる. 図 5-1 のように,面積が *S* m<sup>2</sup>の平行平板コンデンサの陽極と陰極にそれ ぞれ+*Q* C, -*Q* C の電荷があるときは,この平行平板コンデンサの極板間における 電界強度は

$$E = \frac{1}{S} \cdot \frac{Q}{\varepsilon}$$

となり、電界強度は一様となる.



図 5-1 平行平板コンデンサ



図 5-2 電荷から出る電気力線

## 5.2.2 pn 接合

pn 接合に逆バイアスした時の電界強度を考える. 図 5-3 に逆バイアス  $V_R$ が印加された階段接合を示す[78]. 印加電圧が 0 V の時, 接合間にはビルトイン・ポテンシャル $\varphi_0$ が存在する.

$$\varphi_0 = V_T ln \frac{N_A N_D}{n_i^2} \tag{3.1}$$

ここで、 $n_i$ は真性キャリア濃度、 $N_A$ は n 形材料の一定な不純物濃度、 $N_D$ は p 形材料の一定不純物濃度であり、

$$V_T = \frac{kT}{q} \tag{3.2}$$

となる.

図 5-3 では、逆バイアスされており、接合間の全電圧 Vは、

$$V = \varphi_0 + V_R \tag{3.3}$$

となる. 空乏層領域が p 形領域へ距離 W<sub>1</sub>, n 形領域へ距離 W<sub>2</sub>だけ伸びると すると, 接合の両側での単位面積当たりの全電荷は互いに大きさが等しくなるた め, 次式が成り立つ.

$$W_1 N_A = W_2 N_D \tag{3.4}$$

1次元のポアソン方程式より,  $-W_1 < x < 0$ において,

$$\frac{d^2 V}{dx^2} = -\frac{\rho}{\varepsilon} = \frac{q N_A}{\epsilon} \tag{3.5}$$

が導かれる.ここで、 $\rho$ は電荷密度、qは電子電荷、 $\varepsilon$ は半導体デバイス材料の 誘電率であり、

$$\varepsilon = k\varepsilon_0 \tag{3.6}$$

となる.ここで、kは半導体デバイス材料の比誘電率、 $\epsilon_0$ は自由空間の誘電率 である.式 (3.5)を積分すると、次式が得られる.

$$\frac{dV}{dx} = \frac{qN_A}{\epsilon} \mathbf{x} + C_1 \tag{3.7}$$

ここで、C1は定数である.これより電界強度Eは、

$$E = -\frac{dV}{dx} = -(\frac{qN_A}{\epsilon}\mathbf{x} + C_1) \tag{3.8}$$

と求まる. 空乏層領域の外では電界はゼロとなるので,  $x = -W_1$ での境界条件 は次式となる.

$$E = 0 \tag{3.9}$$

 $-W_1 < x < 0$ の時,式 (3.8) にこの条件を使うと,

$$E = -\left(\frac{qN_A}{\epsilon}\mathbf{x} + W_1\right) = -\frac{dV}{dx} \tag{3.10}$$

が得られる.これより,接合部の電界強度は,距離とともに直線的に変化し,図 5-3(c)に示したように pn 接合面で最も高くなる.



図 5-3 逆バイアス V<sub>R</sub>が印加された階段接合 (a)構成図. (b)電界密度. (c)電界. (d)静電ポテンシャル.

#### 5.2.3 実際のデバイス

実際に作製するデバイスは,前節の平行平板コンデンサや pn 接合のような簡 単な構造ではなく,メサ構造や異なる不純物濃度の層が複数あるような 3 次元構 造のため,電位や電界強度を求めるためには数値的な手法を用いる必要がある. そこで,デバイスの空乏層領域,電位や電界分布を調べるために,デバイスシミ ュレーションを行った.デバイスシミュレーターには,Synopsys 社の TCAD Sentaurus Device と鳥谷部氏が作成した 2D GaN Simulator を用いた[79].

## 5.3 デバイスシミュレーション

デバイスシミュレーションを行うための手順について概説する.大まかな手順 としては、デバイス構造を作成し、シミュレーション条件を設定した後、デバイ スシミュレーションを実行する.

#### デバイス構造の作成

- デバイス構造を3次元で作成する.
  デバイス構造は専用のツールを使うか、テキスト形式で入力する.
  最初から3次元で作成することもできるが、複雑になるため、2次元の断面構造を入力し、3次元に変換した.
- 2. 電極の領域を指定するとともに、適切な名前を付ける.
- 3. 不純物プロファイルを指定する.
- 4. メッシュを作成する.

メッシュの切り方でシミュレーションの収束性や結果が変わってく る場合がある.特に不純物濃度が変わるところや,形状が変化すると ころ,電界強度が高くなる場所にはメッシュを細かく設定する必要が ある. デバイスシミュレーションの設定

- 使用する材料のパラメータを設定する.
  主に、物理定数に関連した値など
- 計算に用いる物理式を指定する.
  Auger, Avalanche Recomination
- 3. 計算する式を指定する. ポアソン方程式など
- 電極の指定と初期値の設定.
  デバイス構造で指定した電極名を使用する
- 5. 保存するデータを指定する.
- 6. 作成したデバイス構造を読み込む.

最後に、デバイスシミュレーションを実行する.

構造は3次元で作成しているが、3次元のままシミュレーションしようとする とメッシュ数が膨大となり、使用メモリや計算時間が増大してしまう.そこで、 デバイスシミュレーションでは奥行きを1µmに設定し、使用メモリや計算時間 を削減する手法が一般的となっている.この手法を用いた場合のシミュレーショ ン結果は3次元となるが、両端は実デバイスとは異なってしまうため、正しい結 果として使えるのは中心に近いところのみとなる.そのため、奥行きを1µmに 設定した場合の3次元シミュレーションの結果から、中心付近の断面を抜き出し た2次元の結果としている.

シミュレーションは、ポアソン方程式を解き、静電ポテンシャル、電位分布、 電界強度分布を出力した.

シミュレーションには下記の式を組み込んだが、GaN と絶縁膜との間のイン ターフェースは考慮していない.

Doping Dependence Mobility

- High Field Saturation
- Recombination
- Avalanche, Generation

## 5.4 高耐圧化手法

本論文で検討した高耐圧化手法は、デバイスに使う材料を変更することで絶縁 破壊電界を高くする方法と、電界低減手法を用いて最大電界強度を低くする方法 である.多くの高耐圧な半導体デバイス(ダイオードや FET など)では、デバ イス構造を変えたり、新たな埋め込み層を作ったりするなどして、積極的に電界 強度を低減する手法がとられている.最大電界強度を低減する方法として、何種 類かのエッジターミネーション(終端構造)技術が考案され、半導体デバイスの 高耐圧化に寄与してきた.エッジターミネーション技術としては、メサ構造、フ ィールドプレート(FP)構造、接合ターミネーションエクステンション(Junction Termination Extension: JTE) やそれぞれの組み合わせた構造がある[80-82]. それぞれのエッジターミネーション技術について説明する.

#### 5.4.1 デバイス材料による高耐圧化

半導体デバイスの材料は、長いことシリコンが主流となっている.しかし、シ リコン材料の物性限界により、これ以上の耐圧向上は難しくなってきている.そ こで次世代の材料として、SiC や GaN に代表される化合物材料を半導体に用い るようになってきた.化合物半導体材料はバンドギャップエネルギーが広いのが 特徴である.シリコン、GaN や SiC などの半導体材料の主な特性を表 5-1 に示 す[3,83].バンドギャップが大きくなると、アバランシェ効果が起こりにくくな り、材料の絶縁破壊電界が高くなる.SiC の絶縁破壊電界はシリコンの約10倍 となる一方、GaN は約10~15 倍となる.さらに、GaN は破壊電界や飽和ドリ フト速度が高く、熱伝導率が高いという特徴を有している.したがって、半導体 デバイスに用いる材料をシリコンから SiC や GaN に切り替えることで高耐圧化 できる.このように、ワイドバンドギャップの半導体材料である GaN は、高い 電力効率が必要とされるパワーエレクトロニクスに適した材料であり、近年高耐 圧化の報告が多くなされている[84-87].

GaN は青色の発光ダイオード(LED)の実用化で注目を集めた[88].近年,

材料の特性から、パワーデバイスや高周波・高出力の用途で注目されており、ショットキー・バリア・ダイオード、pn 接合ダイオード、MISFET、バイポーラトランジスタなど様々なデバイスが開発されている.

	Si	SiC	GaN
Energy Band Gap (eV)	1.12	3.26	3.39
Saturation Velocity (cm/sec)	$1.0  imes 10^{7}$	$2.0  imes 10^{7}$	$2.7  imes 10^7$
Breakdown Electric Field (MV/cm)	0.3	3.0	3.3~5.0

表 5-1 半導体材料の特性

次に、シリコン、SiC、GaNの耐圧 1000 V時の損失限界を図 5-4 に示す[83]. この図は、シリコンの Superjunction (SJ) 構造を有する MOSFET, SiC の MOSFET および AlGaN/GaN High Electron Mobility Transistor (HEMT) の損失限界を理論計算したもので、シリコンの SJ 構造 MOSFET を 100 %にし ている. これより、SiC の損失はシリコンの半分にでき、GaN はシリコンの 1/5 にできることが分かる. したがって、高効率の観点からも GaN を選択するのが 最良と言える.



図 5-4 材料の違いによるデバイス損失の比較

## 5.4.2 ドリフト層による電界低減

半導体デバイスの基本は pn 接合である. pn 接合に逆方向電圧を印加すると, 空乏層が形成される. 空乏層は不純物濃度の低い側に広がることから,不純物濃 度が低いドリフト層を広く取ることで空乏層領域を広くしている. 空乏層内には 自由電子はなく, コンデンサと同じ平行平板と考えることができる. そのため, 空乏層が広がれば広がるほど電界強度を緩和できる. しかし, ドリフト層を厚く するとオン電圧-スイッチング特性が悪くなるため, 適切な厚さにする必要があ る[3]. 以上より,電界強度の緩和には pn 接合の不純物濃度のプロファイルとド リフト層の厚さを決めることが重要となるが,デバイス性能との間にトレードオ フが生じる.

#### 5.4.3 メサ構造による電界低減

一般的な高耐圧用の縦型 GaN ダイオードは円柱形である(図 5-5).上面がア ノード電極,下面がカソード電極になっている[89].図 5-5 の断面構造は図 5-6 であり,上から p+-GaN,p-GaN,n-GaN,n-GaN,n-GaN 基板となっている. 上面のアノード電極以外は絶縁膜で覆われている.p-GaN の不純物はマグネシ ウム(Mg)であり,n-GaN の不純物はシリコンである.現在,GaN を半導体材 料に用いた場合、シリコンで一般的なイオン注入を行うことができず、同じ基板 上に複数のデバイスを配置するには、素子分離のためのメサを切る必要がある. そのため、メサ周辺での電界強度が高くなるという問題がある.そこで、逆方向 電圧を上げていった時に,メサ周辺でどのように電界強度が変化するのかを確認 するためにデバイスシミュレーションを行った.シミュレーションでは、図5-6 の縦型 GaN ダイオードを用い,絶縁膜は SiO<sub>2</sub> (*k*=3.9) とし,メサ角は 90 度 とした.アノード電極を0Vに設定し、カソード電極の電圧 Vcを上げていくこ とで、逆方向電圧を印加している。逆方向電圧が 500 V と 1000 V の結果をそれ ぞれ図 5-7 と 5-8 に示す.逆方向電圧 Vc が 500 V の時,形状が鋭角になってい るところと GaN のメサ端に電界強度が高くなった緑や水色の領域が出現してい る (図 5-7 参照). そしてさらに Vcを増加するとメサ全体に電界強度が高い赤色 の領域が拡がっていき, pn 接合端(面)でも電界強度が高くなっている(図 5-8参照). これは、3.2節で述べたように、コンデンサのような平行平板構造では 電界強度は均一となるが, pn 接合がある半導体デバイスに高電圧を印加すると, 電界強度は pn 接合面で最大となることと一致する. さらに, 半導体デバイスは 3次元構造であり、メサなどで構造が複雑になった場合、電界強度は不均一とな。 り、エッジなどで電界強度が高くなる傾向がある.そこで耐圧を上げるためには、 電界強度が高くなる場所と傾向を探る必要がある. このシミュレーション結果か らもわかるように, 半導体デバイスの端, 鋭利な形状, メサ端, pn 接合端 (面) や空乏層端で電界強度が高くなることがわかる.



図 5-5 GaN を用いた縦型 pn 接合ダイオード



図 5-6 縦型 GaN ダイオードの断面図
図 5-6 の一般的な縦型 GaN ダイオードでは、90 度( $\angle e$ ) に削られたメサが 存在する[89]. しかし、図 5-7 と 5-8 に示したように、メサ部と p-GaN と n-GaN の pn 接合端で電界強度が高くなってしまう. そこで、メサ角を小さくし、傾斜 を緩やかにすることで電界強度を緩和する方法が用いられている. そこで、 $Vc \epsilon$ 1000 V に設定し、メサ角を変えた場合のシミュレーション結果を図 5-9 から図 5-11 に示す. 図 5-9 はメサ角を 65 度にした場合であるが、図 5-8 のメサ角 90 度と比べて、電界強度が高く赤い領域が大幅に減少している. しかし、メサの端 部や pn 接合部に電界強度が高い領域が残ってしまう. 図 5-10 はメサ角を 45 度 にした場合を示している. メサ全体で電界強度が高い領域はなくなっているが、 pn 接合面に高い領域が一部残っている. 図 5-11 はメサ角を 30 度にし、さらに 緩やかにしている. これより、電界強度が高く赤い領域はなくなり、メサ全体と pn 接合面で電界強度が緩和していることがわかる. これらの結果より、メサ角 を小さくし、メサの傾きを緩やかにすることで電界強度を緩和することができる.



図 5-7 k = 3.9, Vc = 500 V, メサ角 90 度のシミュレーション結果



図 5-8 k = 3.9, Vc = 1000 V, メサ角 90 度のシミュレーション結果



図 5-9 k = 3.9, Vc = 1000 V, メサ角 65 度のシミュレーション結果



図 5-10 k = 3.9, Vc = 1000 V, メサ角 45 度のシミュレーション結果



図 5-11 k=3.9, Vc=1000 V, メサ角 30 度のシミュレーション結果

#### 5.4.4 フィールドプレート構造による電界低減

最もシンプルな pn 接合ダイオードの構造図を図 5-12 に示す[89-92]. 図 5-12 は、n 形の GaN 基板に p+領域が埋め込まれており、p+領域の上に、アノード (Anode) 電極があり、基板の下面がカソード (Cathode) 電極となっている. 上面のアノード電極の横は絶縁膜である SiO<sub>2</sub> が覆っている.次に、フィールド プレート構造の pn 接合ダイオードの構造図を図 5-13 に示す.図 5-13 はほぼ図 5-12 と同じであるが、アノード電極が SiO<sub>2</sub>の上まで伸びている点が異なる.こ の伸びた電極がフィールドプレート構造となる.図中の点線は空乏層の領域を示 している.

図 5-12 のフィールドプレートがない場合は, p+の領域からほぼ一定の間隔で 空乏層が伸びている.一方,フィールドプレート構造の図 5-13 では,n 基板の 上端で空乏層領域が拡がっている.空乏層領域が拡がるとその領域にかかる電位 も下がり電界強度も下がる.pn 接合ダイオードのシミュレーション結果を図 5-14 に示す.図 5-14 はフィールドプレートがない場合とある場合の等電位線(50 V間隔)と電界強度を示している.電界強度は 5 MV/cm 以上で赤く表示してい る.

フィールドプレートがない場合, pn 接合の円弧の部分で等電位線の間隔が狭 くなっており,電界強度を見るとその部分が高く(赤色)なっていることがわか る.一方,フィールドプレートがある場合は, pn 接合の円弧の等電位線の本数 が減っており,間隔も広がっている.その結果,電界強度が強い赤や黄色の領域 はなくなり pn 接合周辺の電界強度が下がっていることがわかる.このように, フィールドプレート構造で電界強度が緩和できる.

シリコンなどでは、ガードリングとしてイオン注入により p+領域を形成して 電界強度を緩和する方法も用いられている. 図 5-13 の p+領域の円弧の半径を大 きくすることで、 n 形基板に空乏層が拡がり、pn 接合面での電界強度を緩和す ることができる. しかし現状では、GaN へのイオン注入技術は確立されていな い.

以上よりフィールドプレートによる電界強度緩和の効果を見てきたが,実際に

フィールドプレートを設計するには次のような点を考慮する必要がある.

1. フィールドプレートの長さ (*LFP*)

2. 絶縁膜(図 5-13 では SiO<sub>2</sub>)の厚さ

3. ガードリングの p+領域の円弧の半径

これらのパラメータを適切に選ぶことで, 高耐圧に適したデバイス構造が決定 できる. しかし, GaN にはイオン注入で p<sup>+</sup>領域を形成することはできず, 上記 3のガードリングを用いた方法は使えない.



図 5-12 シンプルな pn 接合ダイオードの構造図



図 5-13 フィールドプレート構造を用いた pn 接合ダイオードの構造

印加電圧: -1000V



図 5-14 FP 構造の有無によるシミュレーション結果

#### 5.4.5 接合ターミネーションエクステンションによる電界低減

接合ターミネーションエクステンション(JTE)の断面構造を図 5-15 に示す [93]. JTE は、アノード電極下のp+領域から少し離れた場所に追加のp+領域 を設け、さらに少し離れた場所に追加のp+領域を設ける. 図 5-15 では、p+ 領域は2つだが、一定の間隔を空けてより多くのp+領域を設けることでさらに 電界強度を緩和する方法もある. 追加されたp+領域により、空乏層が拡がり、 電界強度を下げることができる.



図 5-15 JTE の断面構造

#### 5.5 まとめ

本章では、大出力化を実現するために必要な半導体デバイスの高耐圧化手法を 概説した.半導体材料を従来のシリコンから GaN などの化合物半導体材料に変 更することで絶縁破壊電界が高くなり、半導体デバイスを高耐圧化できる. GaN を用いた縦型 pn 接合ダイオードを一例として、ドリフト層の設計による高耐圧 化手法を述べた.ドリフト層を厚くすることで耐圧を上げることができるが、順 方向特性とのトレードオフになっており、ドリフト層の設計だけで高耐圧化する ことは難しい.さらに、GaN では素子分離のために必須のメサ構造について説 明し、メサ角を変化させることで、最大となる電界強度を低減し得ることをシミ ュレーション結果より示した.しかし、メサ角を変化させただけでは、材料の絶 縁破壊電界を超えてしまい、デバイスが破壊されてしまうことから、メサ構造に フィールドプレート構造を適用し、さらなる電界強度の低減が図れることを示し た.

電界強度が高くなりやすいところは、半導体デバイスの端、鋭利な形状、メサ 端、pn 接合端(面)や空乏層端などいくつもあり、解析的に求めることは難し く、シミュレーションでも多くの時間と計算資源を必要とする.そのため、シミ ュレーターに入力する構造を簡単にしたり、可能な限りメッシュを減らしたりす るなど工夫が必要である.

本章で述べた高耐圧化手法は単独で使うこともできるが,いくつかの方法を組 み合わせて使うことで効果的に電界強度を低減することができる.しかし,GaN ではイオン注入技術が確立されておらず,適用できない技術もある.

### 第6章

# 高誘電率材料を用いた高耐圧化手法の 提案

6.1 はじめに

第5章で述べたように、電界強度を緩和する方法には複数の方法がある.しか し、どれか一つだけを用いた場合では、電界強度を緩和する効果は限られてしま う.そこで縦型 GaN ダイオードに適用しやすい、メサ構造とフィールドプレー トを用いた構造で高耐圧化を試みた.しかし、これだけでは、メサ部で電界強度 が高くなってしまい、デバイスが破壊されてしまうことがわかった[89,94].そこ で、メサ部での電界強度を低減する方法として絶縁膜に一般的な SiO<sub>2</sub>ではなく、 高誘電率材料を用い、高耐圧化を目指した.

本章では、絶縁膜に高誘電率材料を用いて、電界強度を低減できることをシミ ュレーションにより確認し、作製したダイオードでアバランシェ耐性が向上し、 デバイスが高耐圧化できることを確認した.

#### 6.2 ダイオードのデバイス構造

シミュレーションと作製した縦型 GaN ダイオードの断面構造を図 6-1 に示す. ダイオードは, GaN 自立基板上に有機金属気相成長法 (MOVPE) によって成長 させた p<sup>+</sup>-GaN (30 nm)/p-GaN (500 nm)/n<sup>-</sup>-GaN (1 μm)/n<sup>-</sup>-GaN (17 μm)/n<sup>-</sup>-GaN (2 μm)で構成されるエピタキシャル層を用いた.

ICP ドライエッチングで角度 60 度(図 6-1 の *e*)のメサ構造を作製し,その 上に高誘電率絶縁膜を 700 nm 堆積した.高誘電率絶縁膜の形状は,作製したデ バイスをイオン顕微鏡で観察した.メサ構造および絶縁膜を形成した後のダイオ ードの幾何学的な構造は、断面観察では完全な円錐台でなくわずかに湾曲した斜 面であるが、シミュレーションにおいては直線近似のメサ角である 60 度(図 6-1の e) と 45 度(図 6-1 の f) を使用した. 表面電極の Pd (200 nm) は絶縁膜 の窓内にリフトオフ方で形成し、Pd の上に Ti/Al を 30/250 nm, また裏面電極 には Ti/Al を 30/250 nm 蒸着した.デバイス構造のコンセプトとして, GaN ダ イオードの耐圧が 2000 V~2500 V となるように設計した.このような高耐圧を 得るために,空乏層がデバイス全体に拡がりやすくなるように不純物プロファイ ルとエピタキシャル層の厚さを決めている. p+-GaN (30 nm)は不純物としてマ グネシウムを 2×10<sup>20</sup> cm<sup>-3</sup>, p-GaN (500 nm)はマグネシウムを 2×10<sup>18</sup> cm<sup>-</sup> <sup>3</sup>, n<sup>-</sup>-GaN (1 µm)はシリコン 3×10<sup>15</sup> c m<sup>-3</sup>, n<sup>-</sup>-GaN (17 µm)はシリコン 1.1× 10<sup>16</sup> c m<sup>-3</sup>, n-GaN (2 µm)はシリコン  $2 \times 10^{18}$  c m<sup>-3</sup>をそれぞれドーピングした. p-GaN (500 nm)下の n-GaN (1 µm)の濃度を下げることで, n-GaN 領域に空乏 層が拡がるようにし、設計耐圧の 2000 V 時に n-GaN 全体に空乏層が拡がるこ とで pn 接合面の降伏電界強度を下げている.また、メサ構造にフィールドプレ ートを適用することで pn 接合端面の電界強度を緩和している.



図 6-1 縦型 GaN ダイオードの断面構造

#### 6.3 シミュレーション

メサエッチングされた領域での電界強度のプロファイルを調べるために、デバ イスシシミュレーションを行った.ここで、実際に作製したデバイス構造は図 6-1 であるが、縦方向に中心で分割すると左右対称となるので、シミュレーション では、中心から半分のみのデバイス構造を用いた.シミュレーターへの入力構造 を図 6-2 に示す.黒い線の格子はメッシュを示しており、電界強度が高くなるメ サ領域で特にメッシュを細かくしている.



図 6-2 シミュレーターへの入力構造

通常, 階段型 pn 接合において電界強度は接合面が最も高く, また端面はさら に電界強度が高くなることが知られている.そこで,上面電極(アノード)を0 V, 下面電極 (カソード)を2000 V に設定した時の, pn 接合面を含むメサエッチン グされた領域の n-GaN 層の電界プロファイルを調べた. 逆方向電圧を2000 V とし, 絶縁膜に異なる比誘電率の材料k = 3.9 (SiO<sub>2</sub>), 10, 100 を入れた時の電 界強度分布のシミュレーション結果を図 6-3 に示す.

図 6-3 では、上面電極と絶縁膜を透明にし、p-GaN と n-GaN 領域の電界強度 分布を示している. 電界強度は $1 \times 10^6 \sim 3 \times 10^6$  V/cm の範囲を示している. SiO<sub>2</sub> (k = 3.9)の時、pn 接合端部とメサ側面から少し内側の pn 接合部に電界強度 が高くなっていることがわかる(図 6-3 (a)参照). SiO<sub>2</sub>に代わり、k = 10の高 誘電率絶縁膜を用いると、pn 接合端部の電界強度が緩和されるとともに、メサ 側面全体の電界強度も緩和されている(図 6-3 (b)参照). しかし、メサ側面よ り少し内側の pn 接合部に電界が高い部分が残ってしまう. さらに、k = 100に すると、pn 接合端部の電界強度は大きく緩和される一方、メサ側面の下端付近 で電界強度が高くなってしまう(図 6-3 (c)参照).



(a) k = 3.9 (SiO<sub>2</sub>)



(b) k = 10



(c) k = 100
 図 6-3 メサ周辺の電界強度のシミュレーション結果 (a) k = 3.9 (b) k = 10
 (c) k = 100



図 6-4 メサとpn接合の拡大図. 点Aはメサ下部面,点Bはメサ下部,点 Cはpn接合端,点Dは真性pn接合部.

次に、位置による電界強度のプロファイルを調べた. 図 6-4 の絶縁膜の底面 (点 A)からメサ側面の下端(点 B), pn 接合端部(点 C)を経由し, 真性 pn 接合面(点D)までの絶縁層とGaNの境界に沿った電界強度を図 6-5 に示す. *k* = 3.9の時,メサ側面全体(点 B-C 間)で電界強度が高くなっており,特に pn 接合端部(点 C)周辺で最も高くなっている. これよりメサ側面及び pn 接合端 部周辺でデバイスが破壊され耐圧が低下してしまうと予測される.次に, k = 10 の時, A-B間の電界強度はk = 3.9よりやや高くなるが極端に高くなる点はなく, 特にメサ側面全体(点 B-C 間)で電界強度が低くなっている.また,最大電界強 度も, k = 3.9 (SiO<sub>2</sub>)の時 3.1 MV/cm, k = 10の時 2.3 MV/cm となり, SiO<sub>2</sub> よ り 30%程度緩和されている. これにより、デバイスが破壊されにくくなり、耐圧 が高くできることが分かる. 最後に, k = 100の時, メサ側面全体(点 B-C 間) で電界強度は低くなるが、メサ側面の下端(点 B)周辺で電界強度が極端に高く なっており、最大電界強度はどの比誘電率よりも高くなっている. したがって、 点 B 周辺でデバイスが破壊され,耐圧が低下すると考えられる.図 6-5 より,メ サ側面の下端(点 B)と pn 接合端(点 C)のどちらかもしくは両方で電界強度 が最大となることがわかる.



図 6-5 点 A から点 B, 点 C, 点 D を経由した時の電界強度の分布

点 A, 点 B, 点 C と点 D における, 比誘電率kに対する電界強度のグラフを図 6・6 に示す. 図 6・6 より, 真性 pn 接合面 (点 D) は, kの影響は受けず, 一定と なる. メサ側面の下端 (点 B) は, kを上げると電界強度は急激に減少し, 約k = 10で最小となり, 約k = 12から緩やかに上昇する. また, pn 接合端部 (点 C) 周辺は, kを上げるにつれて電界強度は減少し, 約k = 16で一定となる. これよ りkを単に大きくすれば電界強度が緩和されるわけではなく, A~D の各点にお けるピーク電界強度が最小となる最適な値k = 14~20が存在することがわかる. これは, 絶縁膜の容量と n-GaN の空乏層容量でデバイスに印加される電圧が分 散されるためと考えられる. GaN ダイオードの表面に堆積した絶縁膜上にフィ ールドプレート電極を形成した場合, フィールドプレート電極と絶縁膜とで形成 される容量と, GaN 半導体層内に形成される空乏層容量との直列接続構造が形 成される. これらの2つの容量の値の差により絶縁膜に印加される電圧と GaN 側に印加される電圧に相違が生じる. 絶縁膜の比誘電率を高くすることでこの領 域の容量値を大きくし, 絶縁膜に印加されていた電圧を GaN 基板側に分散させ ることによって空乏層幅を広げ GaN 表面の電界が緩和される. GaN 表面の電界 強度はダイオードの場所によって異なるため, ダイオード全体の電界強度を緩和 させる最適な絶縁膜の比誘電率が存在することになる.



図 6-6 比誘電率 k に対する電界強度

#### 6.4 高誘電率絶縁膜材料

前節のシミュレーション結果より,最適な比誘電率に近い高誘電率絶縁膜材料 を探すために,一般的な半導体材料の比誘電率k,バンドギャップエネルギーEg, 破壊電界強度  $E_{BR}$  を表 6-1 に示す[95-99].シミュレーション結果の比誘電率に 近い材料は Y<sub>2</sub>O<sub>3</sub>であり, E<sub>BR</sub> も 5 MV/cm と高く,高誘電率絶縁膜材料として最 適に見える.しかし, Y<sub>2</sub>O<sub>3</sub>を絶縁膜として使うためには,新たなプロセスの開発 が必要となりすぐに実験することができなかった.そこで,SiO<sub>2</sub> と CeO<sub>2</sub>のセリ ウム・シリコン複合酸化物膜を選択した.

Meterial	k	Eg (eV)	$E_{BR}$ (MV/cm)
GaN	8.9	3.39	5.0
${ m SiO}_2$	3.9	9	2
${ m Si}_3{ m N}_4$	7	5.3	10
$Al_2O_3$	9	8.8	6
$Ta_2O_5$	22	4.4	>1
${ m TiO}_2$	80	3.5	1.2
$SrTiO_3$	300	3.2	0.5
$ m ZrO_2$	25	5.8	1
$\mathrm{HfO}_{2}$	25	5.8	5 - 50
$La_2O_3$	30	6	10
$\mathrm{CeO}_2$	26	3.4	1
$Y_2O_3$	15	6	5

表 6-1 材料の特性

#### 6.5 セリウム・シリコン複合酸化物膜

セリウム・シリコン複合酸化物膜の作製方法を図 6-7 に示す. セリウム・シリ コン 複合酸化物膜は、原料として液体有機金属アルコキシセリウム (Ce[OC(C<sub>2</sub>H<sub>5</sub>)2CH<sub>3</sub>]<sub>4</sub>)とオルトケイ酸テトラエチル(TEOS:Si(OEt)<sub>4</sub>)を用い、 熱分解 CVD 法[100,101]により上記有機セリウム原料の最適堆積温度である 350 ℃で約 700 nm 堆積した. TEOS の熱分解温度は 600 ℃以上であり、通常 350 ℃では分解しないが、TEOS を間欠的に導入し、有機セリウム原料の熱分解 の際に生ずる H<sub>2</sub>O により加水分解を起こさせ分解温度を低減することで複合酸 化物膜を形成することに成功している[102]. 図 6-8 に TEOS でのバルブのタイ ミング図を示す. 有機セリウム原料を連続的に導入し、TEOS を 3 分間に 5 秒 間の割合で間欠的に導入した場合、組成は CeO<sub>2</sub>対 SiO<sub>2</sub>換算で約 2 対 1 であっ た. セリウム・シリコン混合酸化物の X 線解析 (XRD)の結果を図 6-9 に示す.



図 6-7 セリウム・シリコン混合酸化膜の作製方法



図 6-8 TEOS バルブのタイミング

図 6-9 は、TEOS ガスの導入なしと導入あり(5秒と10秒)の場合を示して いる.図 6-10 に透過電子顕微鏡 (TEM) 写真を示す.図 6-9 と図 6-10 より、セ リウム・シリコン混合酸化物では柱状結晶は観察されず、アモルファス構造を示 している.メタル-混合酸化物-nGaN 基板のセリウム・シリコン混合酸化物の C-V 特性を図 6-11 に示す. 図 6-11 より, セリウム・シリコン混合酸化物の厚さ 700 nm 時の容量は 15 nf/cm<sup>2</sup>を示している. この測定した C-V 特性より計算したセリウ ム・シリコン複合酸化物の比誘電率は、1 MHz 時で 12.3 であった. セリウム酸 化膜 CeO2のみの比誘電率は 26,シリコン酸化膜の比誘電率は 3.9 のため,セリ ウム・シリコン複合酸化物はその中間の比誘電率を有する膜となっている.図6-1に示した構造で高誘電率絶縁膜としてセリウム・シリコン複合酸化物を用いた ダイオードを試作し評価した.作製したダイオードの写真を図 6-12 に示す.60 から 200 µm まで寸法を変えて作製した. 作製したダイオードをイオンビーム で削った走査電子顕微鏡(SEM)の上部断面写真を図 6-13 に示す. 一番上にフ ィールドプレート構造の Ti/Al 電極があり、その下にセリウム・シリコン複合酸 化物の層があり、その下が GaN となっている. セリウム・シリコン複合酸化物 の層は保護膜としてダイオード全体を覆っている.



図 6-9 セリウム・シリコン混合酸化物の XRD



図 6-10 TEM 写真

Electrode: Ti/Al



図 6-11 セリウム・シリコン混合酸化物の C-V 特性



図 6-12 作製したダイオードの写真



図 6-13 作製したダイオードの断面写真

順方向電流電圧特性の測定結果を図 6・14 に、逆方向電流電圧特性の測定結果 を図 6・15 に示す.なお、比較のために絶縁膜として SiO<sub>2</sub>/SOG 酸化膜を 700 nm 堆積した結果も示した.図 6・14 の順方向特性は、どちらのダイオードもターン オン電圧は約3 V であり、理想係数は2か2より少し高い値が得られている.図 6・15 の逆方向特性は、絶縁膜として SiO<sub>2</sub>/SOG 酸化膜を用いた場合は絶縁破壊 電圧が 2000~2200 V であり、それ以上の電圧を印加すると電流が急激に増加し 急激に破壊することが分かった.これに反してセリウム・シリコン複合酸化物膜 を用いると耐圧はほぼ同一であったが、耐圧以上の電圧を印加して逆方向電流が 数桁程度急激に増加しても急激な破壊は起こりにくい特性になっており、アバラ ンシェ耐量が改善されていることが分かった.このことは、セリウム・シリコン 複合酸化物膜を絶縁膜として用いると、電界がメサ構造の pn 接合端に集中せず pn 接合面全体に電流が流れているためと考えられる.このように高誘電率材料 を絶縁膜として用いることによりメサ側面での電界集中を分散できることが分 かった.電界集中を有効に分散できる比誘電率および膜厚についての最適化につ いてはさらなるシミュレーションと実験を行う必要がある.



図 6-14 順方向特性



図 6-15 逆方向特性

#### 6.6 まとめ

フィールドプレート電極を有する縦型 GaN ダイオードへの高誘電率絶縁膜の 効果を検討した. デバイスシミュレーションより, pn 接合端の最大電界は比誘 電率が SiO<sub>2</sub>の 3.9 では 3.2 MV/cm となるのに対し比誘電率が 10 の絶縁膜では 2.3 MV/cm と大幅に減少し, SiO<sub>2</sub> の代わりに高誘電率絶縁膜を用いることで電 界集中を緩和できることを確認した. 比誘電率が 12.3 であるセリウム・シリコ ン複合酸化物膜を絶縁膜に用いて作製した GaN ダイオードは絶縁破壊電圧以上 の電圧を印加しても逆方向電流が数桁程度増加し急激な破壊は起こりにくい特 性になり, アバランシェ耐量を改善することに成功した.

### 第7章

## 結論

本論文では,高出力化のために必要な高耐圧な半導体デバイスの電界低減技術 と,高出力化に対応したシステムと回路構成を組み合わせることにより,高出力 化が図れることを示した.

第3章では、電源電圧よりも高い電圧を出力可能な D 級増幅器について述べた. 従来の D 級増幅器は、電源電圧よりも大きな振幅を出力しようとすると、電源電圧を昇圧と降圧する DC-DC コンバーターの両方が必要となり、システム全体の面積が大きくなっていた. そこで、D 級増幅器の出力段と DC-DC コンバーターの構成がほぼ同じであることに着目し、出力段に降圧型と昇圧型の DC-DC コンバーター機能を H ブリッジに組み込む方法を提案した. また、降圧型と昇圧型をスムーズに切り替えるためのスイッチ制御回路を提案した. また、この回路は、降圧型と昇圧型のスイッチング時に貫通電流が流れることを防いでいる.

本提案の方法により、電源電圧を変えることなく、電源電圧よりも高い振幅を 出力することが可能となった.また、本手法を用いた Spice シミュレーションの 結果では、SNDR は 8.8 dB 改善した.このシミュレーション結果より、電気特 性を良くしつつ、電源電圧を超えた大きな出力振幅を得ることが可能になるため、 システム全体を小型化しつつ、大出力化にも有効であることも示された.提案手 法はパワーエレクトロニクスの進展にともない、ますます有効な手段となりうる.

第4章では, デジタル直接駆動スピーカーシステムを高出力に対応させる方法 について述べた.本システムの出力段を H ブリッジ回路に変更することで,単 一の電源電圧のままで,出力電圧範囲を広げることが可能になる.また,低出力 動作時のスピーカー特性ばらつきによる音質低下を改善する ZVD 方式を提案し
た. この方式を用いることで、低出力時の高調波の低減が可能である. また、本 提案の ZVD 方式を用いた DDSP システムを 0.18  $\mu$  m CMOS デジタル半導体 プロセスで試作し、SNR は従来と同等の 100 dB、5 W 時の THD は 0.054 %と なることを確認した. この試作チップの測定結果から、本手法がスピーカーの特 性ばらつきに起因する雑音を低減することに対して有効であることが示された.

第5章では, GaN を用いた pn 接合ダイオードの電界低減手法について述 べた.メサ構造を有する GaN ダイオードは,メサ端, pn 接合面や pn 接合端で 電界強度が高くなり,耐圧を下げる原因となっていた.メサに角度を付けて緩や かな斜面にする方法とフィールドプレート電極を付ける二つの方法を組み合わ せて電界低減を行ったが, GaN の絶縁破壊電界を上回りデバイスが破壊されて しまう.

第5章で述べた高耐圧化手法のみではデバイスが破壊されてしまう問題が発 生してしまった. 第6章では、この解決方法として、フィールドプレート電極下 の SiO<sub>2</sub>の絶縁膜の使用に代え、高誘電率絶縁膜を用いる方法を提案した. この 方法による効果を確かめるためにデバイスシミュレーションを行った. シミュレ ーション結果より,絶縁膜の比誘電率の違いによって電位分布が変わり,その結 果として電界強度分布も変わり、最大電界の値を変化させることが可能となった. これより,最大電界の値を最小とするような比誘電率を求めることで,高誘電率 絶縁膜に使う材料を決定した.高誘電率絶縁膜に使った材料は、セリウム・シリ コン複合酸化物膜であり、形成過程の SiO2 と CeO2の混合比率で比誘電率が変 わる.このセリウム・シリコン複合酸化物膜を用いて GaN ダイオードを試作し、 最大電界の低減効果を確認した. 試作したダイオードの順方向 I-V 特性は、SiO2 とセリウム・シリコン複合酸化物膜とで全く同じ結果となり, 高誘電率絶縁膜を 用いてもダイオードの性能に影響は出なかった. 逆方向 I-V 特性より, SiO2 は 2000 V から 2200 V で破壊されているのに対して、 セリウム・シリコン複合酸化 物膜を用いたデバイスは破壊されることがなかった. この結果よりアバランシェ 耐量が改善され, 高誘電率絶縁膜により最大電界の低減効果の有効性が確認され た.

以上本論文では、大出力化に必要となる技術を回路的側面およびデバイス的側

面から検討し,高出力化に適したシステム構成法,回路構成法,半導体デバイスの高耐圧化手法を提案した.本提案により,大出力で高効率なシステムを実現することができる.

#### 参考文献

- [1] 平成 27 年度エネルギーに関する年次報告(エネルギー白書 2016),経済産業省 資源エネルギー庁,2016.
- [2] 平成 28 年版環境白書·循環型社会白書·生物多様性白書,環境省, 2016.
- [3] 次世代パワー半導体 II, 日経 BP 社, 2013.
- [4] B. J. Baliga, Power semiconductor device figure of merit for highfrequency applications, IEEE Electron Device Letters, vol. 10, pp. 455-457, 1989.
- [5] T. P. Chow, R. Tyagi, Wide bandgap compound semiconductors for superior high-voltage unipolar power devices, IEEE Transactions on Electron Devices, vol. 41, pp. 1481-1483, 1994.
- [6] J. A. Cooper, M. R. Melloch, R. Singh, A. Agarwal, J. W. Palmour, Status and prospects for SiC power MOSFETs, IEEE Transactions on Electron Devices, vol. 49, pp. 658-664, 2002.
- [7] K. Kuroki, R. Saito, N. Shinkawa, T. Tsuchiya, A. Yasuda, A Digitally Direct Driven Dynamic-Type Loudspeaker, Audio Engineering Society Convention 124, 2008.
- [8] W. Newell, Power Electronics Emerging from Limbo, IEEE Trans. IA-10, No.1, pp7-11, 1974.
- [9] 谷内利明監修,松本寿彰編著,小倉常雄,小谷和也,田井裕通,竹内宏行, 実践パワーエレクトロニクス入門 パワー半導体デバイス,オーム社,2016.
- [10] 森本雅之, EE Text パワーエレクトロニクス, オーム社, 2010.
- [11] 本田潤, D級/ディジタル・アンプの設計と製作, CQ 出版社, 2004.
- [12] 荻野粛,大内康裕,山崎芳男,平面スピーカ:マルチセル型平面スピーカと フレキシブルコンデンサスピーカ(最近のスピーカの話題),日本音響学会誌, vol.62, no.11, pp.802-807, 2006.

- [13] 杉本岳大,小野一穂,安藤彰男,黒住幸一,原晃,森田雄一,三浦昭人,フレキシブルディスプレイ用スピーカの音響特性:ひずみ特性を中心に(立体音響・トランスデューサ/一般),電子情報通信学会技術研究報告.EA,応用音響,vol.107, no.370, pp.1-6, 2007.
- [14] 鎌倉友男, 酒井新一, 超指向性音響システムの開発, 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, vol.1, no.3, pp.3\_37-3\_43, 2008.
- [15] 大賀寿郎, 圧電材料を用いた音響部品のバラエティ, 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, vol.1, no.4, pp.4\_46-4\_61, 2008.
- [16] 杉本岳大,高分子材料を用いた透明・フレキシブル・軽量なスピーカー(ヘッドライン:神秘的な音を化学する),化学と教育,vol.62, no.10, pp.480-483, 2014.
- [17] Q. Zhou and A. Zettl, Electrostatic graphene loudspeaker, Appl.Phys.Lett., vol.102, no.22, pp.223109, 2013.
- [18] 宮倉隆志, 1-1 携帯電話の小形マイクロホン・小形スピーカの技術(1.携帯電話の音響デバイス技術,携帯電話の聞く・聞かせる技術),電子情報通信学会誌, vol.96, no.11, pp.826-832, 2014.
- [19] C. Keplinger, J. Sun, C. C. Foo, P. Rothemund, G. M. Whitesides, Z. Suo, Stretchable, transparent, ionic conductors, Science, vol.341, no.6149, pp.984, 2013.
- [20] P. E. Edelman, Condenser loud-speaker with flexible electrodes, Proceedings of the Institute of Radio Engineers, vol.19, no.2, pp.256-267, 1931.
- [21] 飯塚求, 大場勇治郎, 上田政夫, リボン状 unit からなるコンデンサースピー カー (1), 応用物理, vol.30, no.11, pp.805-809, 1961.
- [22] 武岡成人,栗原誠,岡崎正倫,及川靖広,西川明成,山崎芳男,コンデンサ マイク/スピーカを用いた 1bit 波面記録再生システム,電子情報通信学会技 術研究報告.EA,応用音響, vol.105, no.136, pp.25-30, 2005.

- [23] Hsin-Yuan Chiang and Yu-Hsi Huang, Vibration and sound radiation of an electrostatic speaker based on circular diaphragm, J.Acoust.Soc.Am., vol.137, no.4, pp.1714-1721, 2015.
- [24] 秋野裕, 下川博文, 大気圧プラズマを用いたイオンマイクロホンの基礎研究, 日本音響学会誌, vol.68, no.5, pp.224-231, 2012.
- [25] D. Dapkus, Class-D audio power amplifiers: an overview, 2000 Digest of Technical Papers, International Conference on Consumer Electronics, Nineteenth in the Series (Cat. No.00CH37102), Los Angles, CA, USA, pp. 400-401, 2000.
- [26] Akinori O, Katsuya O, Yoichi E, Akira Y. Discussion About the SNR Improvement of the Class-D Amplifier Using a Second-order Noise Shaping, Papers of Technical Meeting on Electronic Circuits IEE Japan, Vol.ECT-06, No.11-25, 55-59, 2006.
- [27] Berkhout Marco. An integrated 200-W class-D audio amplifier. IEEE Journal of Solid State Circuit, 38(7):1198-1206, 2003.
- [28] Meng Tong Tan, JS. An investigation into the parameters affecting total harmonic distortion in low-voltage low-power class-D amplifiers. IEEE Transactions on Circuits and Systems, 50(10):1304-1315, 2003.
- [29] 早坂寿雄, 音の歴史, 電子情報通信学会, 1989.
- [30] 大賀寿郎, 圧電材料を用いた音響部品のバラエティ, 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, vol.1, no.4, pp.4\_46-4\_61, 2008.
- [31] 荻野粛,大内康裕,山崎芳男,平面スピーカ:マルチセル型平面スピーカと フレキシブルコンデンサスピーカ(最近のスピーカの話題),日本音響学会誌, vol.62, no.11, pp.802-807, 2006.
- [32] 杉本岳大,小野一穂,安藤彰男,黒住幸一,原晃,森田雄一,三浦昭人,フレキシブルディスプレイ用スピーカの音響特性:ひずみ特性を中心に(立体音響・トランスデューサ/一般),電子情報通信学会技術研究報告.EA,応用音響,vol.107, no.370, pp.1-6, 2007.

- [33] 鎌倉友男, 酒井新一, 超指向性音響システムの開発, 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, vol.1, no.3, pp.3\_37-3\_43, 2008.
- [34] 大賀寿郎, 圧電材料を用いた音響部品のバラエティ, 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, vol.1, no.4, pp.4\_46-4\_61, 2008.
- [35] 杉本岳大,高分子材料を用いた透明・フレキシブル・軽量なスピーカー(ヘッドライン:神秘的な音を化学する),化学と教育,vol.62, no.10, pp.480-483, 2014.
- [36] Q. Zhou and A. Zettl, Electrostatic graphene loudspeaker, Appl.Phys.Lett., vol.102, no.22, pp.223109, 2013.
- [37] 宮倉隆志, 1-1 携帯電話の小形マイクロホン・小形スピーカの技術(1.携帯電話の音響デバイス技術,携帯電話の聞く・聞かせる技術),電子情報通信学会誌, vol.96, no.11, pp.826-832, 2014.
- [38] B. Putzeys, Digital audio's final frontier, Spectrum, IEEE, vol. 40, no. 3, pp. 34–41, Mar 2003.
- [39] C. Keplinger, J. Sun, C. C. Foo, P. Rothemund, G. M. Whitesides, Z. Suo, Stretchable, transparent, ionic conductors, Science, vol.341, no.6149, pp.984, 2013.
- [40] P. E. Edelman, Condenser loud-speaker with flexible electrodes, Proceedings of the Institute of Radio Engineers, vol.19, no.2, pp.256-267, 1931.
- [41] 飯塚求, 大場勇治郎, 上田政夫, リボン状 unit からなるコンデンサースピー カー (1), 応用物理, vol.30, no.11, pp.805-809, 1961.
- [42] 武岡成人,栗原誠,岡崎正倫,及川靖広,西川明成,山崎芳男,コンデンサ マイク/スピーカを用いた 1bit 波面記録再生システム,電子情報通信学会技 術研究報告.EA,応用音響, vol.105, no.136, pp.25-30, 2005.

- [43] Hsin-Yuan Chiang and Yu-Hsi Huang, Vibration and sound radiation of an electrostatic speaker based on circular diaphragm, J.Acoust.Soc.Am., vol.137, no.4, pp.1714-1721, 2015.
- [44] 秋野裕, 下川博文, 大気圧プラズマを用いたイオンマイクロホンの基礎研究, 日本音響学会誌, vol.68, no.5, pp.224-231, 2012.
- [45] P. Ross, Top 11 technologies of the decade, Spectrum, IEEE, vol. 48, no. 1, pp. 62–63, 2011.
- [46] 本田潤, D級/ディジタル・アンプの設計と製作, CQ 出版, 2004.
- [47] 藤井信生, 関根慶太郎, 高木茂孝, 兵庫明編, 電子回路ハンドブック, 朝倉 書店, 2006.
- [48] S. Samala, V. Mishra, K. Chakravarthi, 45nm CMOS 8Ω class-D audio driver with 79% efficiency and 100dB SNR, in Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International, pp.86-87, 2010.
- [49] A. Nagari, E. Allier, F. Amiard, V. Binet, C. Fraisse, An 8Ω 2.5 W 1%-THD 104 dB(A)-Dynamic-Range Class-D Audio Amplifier With Ultra-Low EMI System and Current Sensing for Speaker Protection, vol. 47, no. 12, pp.3068–3080, 2012.
- [50] G. Harumi, S. Saikatsu, M. Yoshino, A. Yasuda, Digital direct-driven speaker architecture using segmented pulse shaping technique, New Circuits and Systems Conference (NEWCAS), 2016 14th IEEE International, pp.1-4, 2016.
- [51] Y. Motoyama, H. Matuo, T. Saikatsu, A. Yasuda, Improvement of voltage resolution of a motor driver circuit by a multi-coil drive, Future Energy Electronics Conference (IFEEC), 2015 IEEE 2nd International, pp.1-5, 2015.

- [52] T. Ishikawa, S. Yokoyama, N. Harashima, D. Takahashi, J. Shiozawa, M. Yoshino, A. Yasuda, A highly directional speaker with amplitude-phase control using a digitally direct-driven system, 2014 IEEE International Conference on Consumer Electronics (ICCE), pp.135-136, 2014.
- [53] M. Yashiro, M. Iwaide, A. Yasuda, M. Yoshino, K. Yokota, Y. Moriyasu, K. Sakuda, F. Nakashima, A digitally driven speaker system using direct digital spread spectrum technology to reduce EMI noise, Audio Engineering Society Convention 133, 2012.
- [54] M. Iwaide, A. Yasuda, D. Kuniyoshi, K. Yokota, Y. Moriyasu, K. Sakuta, F. Nakashima, Y. Masayuki, M. Yoshino, A novel sharp beam-forming flat panel loudspeaker using digitally driven speaker system, Audio Engineering Society Convention 131, 2011.
- [55] D. Kuniyoshi, H. Ohtani, J. Okamura, R. Suzuki, K. Tsuihiji, A. Yasuda, A novel universal-serial-bus-powered digitally driven loudspeaker system with low power dissipation and high fidelity, Audio Engineering Society Convention 129, 2010.
- [56] H. Ohtani, A. Yasuda, K. Tsuihiji, R. Suzuki, D. Kuniyoshi, J. Okamura, A novel universal-serial-bus-powered digitally driven speaker system with low power dissipation and high fidelity, Audio Engineering Society Convention 129th Convention, 2010.
- [57] K. Watanabe, A. Yasuda, H. Ohtani, R. Suzuki, N. Shinkawa, T. Tsuchiya,
  K. Tsuihiji, A novel beam-forming loudspeaker system using digitally
  driven speaker system, Audio Engineering Society Convention 127, 2009.
- [58] S. Katsumi, Y. Terada, A. Yasuda, M. Zen, A cascaded delta-sigma DAC with DWA for decreasing mismatch effect, Audio Engineering Society Convention 121, 2006.
- [59] H. Ueno, T. Soga, K. Ogata, A. Yasuda, Digital-Driven Piezoelectric Speaker using Multi-Bit Delta-Sigma Modulation, Audio Engineering Society Convention 121, no. 6943, 2006.

- [60] K. Ogata, T. Soga, H. Ueno, A. Yasuda, Digital-driven piezoelectric speaker using multi-bit delta-sigma modulation, Audio Engineering Society Convention 121, 2006.
- [61] K. Kuroki, R. Saito, N. Shinkawa, T. Tsuchiya, and A. Yasuda, A Digitally Direct Driven Dynamic-Type Loudspeaker, Audio Engineering Society Convention 124, 2008.
- [62] A. Yasuda, A. Ohkubo, K. Ogata, H. Ueno, T. Anzai, T. Kimura, K. Ochiai, T. Hamasaki, A single-chip audio system with delta-sigma DAC and class-D amplifier, 2006 IEEE International Symposium on Circuits and Systems, pp.4, 2006.
- [63] 安田彰, 岡村善博, ハイレゾオーディオ技術読本, オーム社, 2014.
- [64] 湯川彰, オーバーサンプリング AD 変換技術, 日経 BP, 1990.
- [65] 安田彰, 和保孝夫, ΔΣ型アナログ/デジタル変換器入門, 丸善, 2007.
- [66] T. Ueno, A. Yasuda, T. Yamaji, T. Itakura, A fourth-order bandpass Δ-Σ modulator using second-order bandpass noise-shaping dynamic element matching, IEEE J Solid State Circuits, vol.37, no.7, pp.809-816, 2002.
- [67] 上野武, 安田彰, 谷本洋, c-12-42 ノイズシェーピング・ダイナミック・エレメント・マッチングを用いた高精度 dac におけるロバスト性の実証, 電子情報通信学会ソサイエティ大会講演論文集, vol.1999, no.2, pp.112, 1999.
- [68] A. Yasuda, H. Tanimoto, T. Iida, A third-order Δ-Σ modulator using second-order noise-shaping dynamic element matching, IEEE J Solid State Circuits, vol.33, no.12, pp.1879-1886, 1998.
- [69] 安田彰,木構造ノイズシェーピング・ダイナミック・エレメント・マッチン グ法を用いた ΔΣDAC,電子情報通信学会ソサイエティ大会講演論文集, vol.1998, pp.14, 1998.
- [70] A. Yasuda, H. Tanimoto, Noise shaping dynamic element matching method using tree structure, Electronics Letters, vol.33, no.2, pp.130-131, 1997.

- [71] 安田彰、ノイズシェーピング・ダイナミック・エレメント・マッチング法を 用いた ΔΣ 変調器の消費電力に関する検討、電子情報通信学会ソサイエティ 大会講演論文集, vol.1997, pp.7, 1997.
- [72] 安田彰,谷本洋,ノイズシェーピング・ダイナミック・エレメント・マッチング法,電子情報通信学会ソサイエティ大会講演論文集,vol.1996, pp.13, 1996.
- [73] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S. Kosic, Jun Cao, Shu-Lap Chan, A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at 8× oversampling ratio, IEEE Journal of Solid-State Circuits, vol.35, no.12, pp.1820-1828, 2000.
- [74] R. T. Baird, T. S. Fiez, Linearity enhancement of multibit ΔΣ A/D and D/A converters using data weighted averaging, IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol.42, no.12, pp.753-762, 1995.
- [75] J.-D. Lee and K. Batcher, "Minimizing communication in the bitonic sort," Parallel and Distributed Systems, IEEE Transactions on, vol. 11, no. 5, pp. 459–474, may 2000.
- [76] C. B. Goud and K. N. Bhat, Two-dimensional analysis and design considerations of high-voltage planar junctions equipped with field plate and guard ring, IEEE Transactions on Electron Devices, vol.38, no.6, pp.1497-1504, 1991.
- [77] 電気学会編, 電気工学ポケットブック, オーム社, 1990.
- [78] GRAY, Paul R., et al, Analysis and design of analog integrated circuits, John Wiley & Sons, 2008.
- [79] T. Toyabe, Three-Dimensional Device Simulation CADDET with Highly Convergent Matrix Solution Algorithm, IEEE Trans. Elect. Dev, vol.ED-32, no.10, pp.2038-2044, 1985.

- [80] A. Kumta, Rusli, C. Tin, J. Ahn, Design of field-plate terminated 4H-SiC Schottky diodes using high-k dielectrics, Microelectronics Reliability, Vol.46, No.8, pp.1295-1302, 2006.
- [81] K. Ikeda, H. Umezawa, S. Shikata, Edge termination techniques for ptype diamond Schottky barrier diodes, Diamond and Related Materials, Vol.17, No.4-5, pp.809-812, 2008.
- [82] Q. Song, Y. Zhang, Y. Zhang, X. Tang, Simulation study on 4H-SiC power devices with high-k dielectric FP terminations, Diamond and Related Materials, Vol.22, No.0, pp.42-47, 2012.
- [83] サイエンス&テクノロジー社, GaN パワーデバイスの技術展開, 2012.
- [84] M. Yanagihara, Y. Uemoto, T. Ueda, T. Tanaka and D. Ueda, Recent advances in GaN transistors for future emerging applications, physica status solidi (a), Vol.206, No.6, pp.1221-1227, 2009.
- [85] D. Disney, Hui Nie, A. Edwards, D. Bour, H. Shah, and I. C. Kizilyalli, Vertical power diodes in bulk GaN, Proc. Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on, pp.59-62, 2013.
- [86] I. C. Kizilyalli, A. P. Edwards, Hui Nie, D. Disney, and D. Bour, High Voltage Vertical GaN p-n Diodes With Avalanche Capability, Electron Devices, IEEE Transactions on, Vol.60, No.10, pp.3067-3070, 2013.
- [87] I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Bour, T. Prunty, and D. Disney,
  3.7 kV Vertical GaN PN Diodes, Electron Device Letters, IEEE, Vol.35,
  No.2, pp.247-249, 2014.
- [88] S. Nakamura, S. Pearton, G. Fasol, The Blue Laser Diode, Springer, 2000.
- [89] K. Nomoto, Y. Hatakeyama, H. Katayose, N. Kaneda, T. Mishima, and T. Nakamura, Over 1.0 kV GaN p-n junction diodes on free-standing GaN substrates, physica status solidi (a), Vol.208, No.7, pp.1535-1537, 2011.
- [90] A. Kumta, Rusli, C. Tin, and J. Ahn, Design of field-plate terminated 4H-SiC Schottky diodes using high-k dielectrics, Microelectronics Reliability, Vol.46, No.8, pp.1295-1302, 2006.

- [91] K. Ikeda, H. Umezawa, and S. Shikata, Edge termination techniques for p-type diamond Schottky barrier diodes, Diamond and Related Materials, Vol.17, No.4-5, pp.809-812, 2008.
- [92] Q. Song, Y. Zhang, Y. Zhang, and X. Tang, Simulation study on 4H-SiC power devices with high-k dielectric FP terminations, Diamond and Related Materials, Vol.22, No.0, pp.42-47, 2012.
- [93] R. Perez, D. Tournier, A. Perez-Tomas, P. Godignon, N. Mestres, and J. Millan, Planar edge termination design and technology considerations for 1.7-kV 4H-SiC PiN diodes, IEEE Transactions on Electron Devices, vol.52, no.10, pp.2309-2316, 2005
- [94] Y. Hatakeyama, K. Nomoto, N. Kaneda, T. Kawano, T. Mishima, and T. Nakamura, Over 3.0 GW/cm2 Figure-of-Merit GaN p-n Junction Diodes on Free-Standing GaN Substrates, Electron Device Letters, IEEE, Vol.32, No.12, pp.1674-1676, 2011.
- [95] J. W. McPherson, Jinyoung Kim, A. Shanware, H. Mogul, J. Rodriguez, Trends in the ultimate breakdown strength of high dielectric-constant materials, IEEE Transactions on Electron Devices, vol.50, no.8, pp.1771-1778, 2003.
- [96] J. Robertson, High dielectric constant oxides, Eur.Phys.J.Appl.Phys., vol.28, no.3, pp.265-291, 12, 2004.
- [97] H. Tamotsu, O. Shinya, I. Takanori, H. Hideki, Surface passivation of GaN and GaN/AlGaN heterostructures by dielectric films and its application to insulated-gate heterostructure transistors, Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena, vol.21, no.4, pp.1828-1838, 2003.
- [98] サイエンス&テクノロジー社, GaN パワーデバイスの技術展開, 2012.

- [99] M. E. Levinshtein, S. L. Rumyantsev, and M. S. Shur, Properties of advanced semiconductor materials: GaN, AIN, InN, BN, SiC, SiGe, John Wiley & Sons, 2001.
- [100] H.Ohno, K. Sakurai, K. Tagui, T. Morita, S. Suzuki, K. Ishibashi and Y. Yanamoto, Chemical Vapor Deposition of CeO2 Films Using a Liquid Metallorganic Source, Electrochemical & Solid-State Letters, Vol. 9(3), G87-G89, 2006.
- [101] K. Tagui, K. Nakamura, M. Ogawa, K. Saito, S. Suzuki, K. Ishibashi and Y. Yamamoto, The Electrical Property of CeO2 Films Deposited by MOCVD on Si(100), Electrochemical & Solid-State Letters, Vol. 10(7), D73-D75, 2007.
- [102] T. Matsumura, T. Furuya, T. Sato, Y. Okabe, S. Suzuki, K. Ishibashi, and Y. Yamamoto, MOCVD of CeO2 and SiO2 Mixture Films Using Alkoxy Sources, ECS Solid State Letters, 4 (12) N17-N19, 2015.

## 謝辞

本論文をまとめるにあたり,ご指導,ご鞭撻を頂いた法政大学理工学部電気電 子工学科安田彰教授,法政大学理工学部電気電子工学科山本康博教授,前法政大 学工学部情報電気電子工学科本間紀之教授,法政大学理工学部電気電子工学科栗 山一男教授,法政大学イオンビーム工学研究所三島友義教授,前法政大学理工学 部電気電子工学科中村徹教授に深く感謝の意を表します.特に,安田彰教授,中 村徹教授には論文の作成にあたり,多くのご教授を賜り,心から御礼申し上げま す.

本研究は法政大学で行ったものであり,本研究の機会を与えてくださいました 法政大学イオンビーム工学研究所 所長 西村智朗教授に深く感謝の意を表し ます.

さらに、デバイスシミュレータの開発及び提供とシミュレーションに関してご 指導いただいた東洋大学 鳥谷部達名誉教授,高耐圧デバイスの作製と本分野の 研究を共に進めていただいた,法政大学マイクロナノテクノロジー研究センター 太田博氏,法政大学マイクロナノテクノロジー研究センター池田清治氏,株式会 社サイオクス 堀切文正氏,株式会社ケミトロニクス 葛西武氏に深く感謝の意 を表します.

また、D級増幅器の研究を共に進めていただいた、武蔵エンジニアリング 土 屋宏貴氏、DDSP システムについてご指導を頂いた株式会社 Trigence Semiconductor 社長 岡村淳一氏、論文の作成にあたりご指導いただいた Synaptics Inc. 南部博昭氏、株式会社アナジックス 代表取締役 森山 誠二 郎氏、株式会社テクニカルライターズスタジオ 代表取締役社長 早舩由紀見氏 に深く感謝の意を表します.

# 発表論文

論文

- 吉野理貴,堀切文正,太田 博,山本康博,三島友義,中村 徹,高誘電 率絶縁膜を用いたフィールドプレート電極を有する縦型 GaN ダイオ ード,電気学会論文誌C,電子・情報・システム部門誌,vol.136,pp.474-478,2016.4 (第5章,第6章)
- Michitaka Yoshino, Fumimasa Horikiri, Hiroshi Ohta, Yasuhiro Yamamoto, Tomoyoshi Mishima and Tohru Nakamura, High-k Dielectric Passivation for GaN Diode with a Field Plate Termination, Electronics, vol. 5, pp. 15, 2016.3 (第5章, 第6章)
- Hirotaka Tsuchiya, Yoshino Michitaka, Naoto Shinkawa, Hiroyuki Akaba, Akira Yasuda, A Novel boost Class-D Amplifier using a H-Bridge Circuit, IEEJ Trans. on Electrical and Electronic Engineering, Vol. 5, Issue 6, pp.660–663, 2010.11 (第3章)

### 国際学会

- Michitaka Yoshino, Fumimasa Horikiri, Hiroshi Ohta, Yasuhiro Yamamoto, Tohru Nakamura and Tomoyoshi Mishima, High-k Dielectric Passivation for Reduction of Peak Electric Field in GaN p-n Diodes, International Workshop on Nitride Semiconductors, PS2.130, 2016.10 (第5章, 第6章)
- Michitaka Yoshino, Fumimasa Horikiri, Hiroshi Ohta, Tomonari Furuya, Tomoyoshi Mishima, Yasuhiro Yamamoto, Tohru Nakamura, CeO2 Dielectrics Passivation for GaN Diode with a Field Plate Termination, E-MRS 2015 Fall Meeting, Symposium : H, Num. 93, 2015.9 (ACCEPTED for invited presentation) (第5章,第6章)
- Takemichi Ishikawa, Shuma Yokoyama, Noboru Harashima, Dai Takahashi, Jun Shiozawa, Michitaka Yoshino, Akira Yasuda, A Highly Directional Speaker with Amplitude-Phase Control Using a Digitally Direct-Driven System, IEEE International Conference on Consumer Electronics, 2014.1 (第4章)
- Masayuki Yashiro, Mitsuhiro Iwaide, Akira Yasuda, Michitaka Yoshino, Kazuyki Yokota, Yugo Moriyasu, Kenji Sakuda, and Fumiaki Nakashima, Digitally Driven Speaker System Using Direct Digital Spread Spectrum Technology to Reduce EMI Noise, Audio Engineering Society 133st Convention, Convention Paper 8726, 2012.10 (第4章)
- Mitsuhiro Iwaide, Michitaka Yoshino, Daigo Kuniyoshi, Kazuyuki Yokota, Moriyasu Yugo, Kenji Sakuda, Fumiaki Nakashima, Masayuki Yashiro, and Akira Yasuda, A novel sharp beam-forming flat panel loudspeaker using digitally driven speaker system, Audio Engineering Society 131st Convention, Convention Paper 8469, 2011.10 (第4章)
- Michitaka Yoshino, Mitsuhiro Iwaide, Daigo Kuniyoshi, Hajime Ohtani, Akira Yasuda and Jun-ichi Okamura, A novel audio playback chip using digitally driven speaker architecture with 80%@-10dBFS power efficiency, 5.5W@3.3V supply and 100dB SNR, IEEE CICC2011, pp.1-4, 2011.9 (第4章)

### 国内学会および研究会

- 吉野理貴, 堀切文正, 太田 博, 山本康博, 三島友義, 中村 徹, 高誘 電率絶縁膜を用いた FP 電極を有する縦型 GaN ダイオード, 応用物理 学会春季学術講演会, 21p-W541-11, 2016.3
- 川部嵩永,渡邉裕紀,春海 豪,峯村亮佑,西勝 聡,吉野理貴,安田 彰,△∑DACの高精度化,電子情報通信学会総合大会,A-1-16, 2016.3
- 高橋壮佳,戸野村厚樹,安田 彰,吉野理貴,5V 駆動大電力デジタル スピーカ用ドライバの試作,電子情報通信学会総合大会,A-5-13,2016.3
- 戸野村厚樹,高橋壮佳,安田 彰,吉野理貴,西勝 聡,デジタル直接
  駆動技術を用いたパラメトリックスピーカの高効率駆動,電子情報通信
  学会総合大会,A-5-14,2016.3
- 戸賀崎悠介,星野裕也,吉野理貴,安田 彰,差動注入トランジスタを 用いた広同期範囲 5GHz 帯注入同期型分周器,電子情報通信学会全国 大会, C-12-3, 2016.3
- 吉田知朗,西勝 聡,吉野理貴,安田 彰,AB級出力段に用いるコモ ンモードフィードバック機能を有するV-I変換レベルシフタに関する一 提案,電気学会,電子回路研究会,ECT-016-013,2016.1
- 大野貴大,吉野理貴,安田 彰,田沼千秋,マルチアクチュエータによる液滴噴射素子の動作シミュレーション,第36回 超音波の基礎と応用に関するシンポジウム,2p3-3,2015.11
- 曽我美泰隆, 松尾 遥, 安田 彰, 吉野理貴, デジタル直接駆動型スピ ーカーの指向性へのツリー構造 NSDEM の応用, 電子情報通信学会ソ サイエティ大会, A-1-6, 2015.9
- 中村智寛,松尾 遥,本山佳樹,安田 彰,吉野理貴,マルチコイルモ ータ駆動回路の非導通動作の検証,電子情報通信学会ソサイエティ大会, A-1-10, 2015.9
- 松尾 遥,塩澤 純,中村智寛,本山佳樹,安田 彰,吉野理貴,マル
  チビット駆動システムを用いたトルクむらの解消,電子情報通信学会全

国大会, A-1-13, 2015.3

- 本山佳樹,塩澤純、中村智寛,松尾 遥,安田 彰,吉野理貴,ΔΣ 変調器を用いたマルチビット駆動による高周波電流の低減,電子情報通 信学会全国大会,A-1-12,2015.3
- 赤松雄貴,安田 彰,吉野理貴,中村有輝,石川悠介,高橋 大,遅延 素子バラツキを考慮した TDC に関する一考察,電子情報通信学会全国 大会, C-12-37, 2015.3
- 中村有輝,渡邉裕紀,西勝 聡,安田 彰,吉野理貴,遅延器を用いた TDCのノイズ低減に関する研究,電子情報通信学会全国大会,C-12-38, 2015.3
- 石川武道,吉野理貴,安田 彰,森山誠二郎,設計手順やノウハウのデ ータ管理によるデジタルスピーカシステム設計効率化の試み,電気学会, 電子回路研究会, ECT-15-013, 2015.1
- 高橋壮佳,戸野村厚樹,原島 昇,安田 彰,吉野理貴,デジタル直接
  駆動スピーカーの大電力化,電子情報通信学会ソサイエティ大会,A-10-2,2014.9
- 戸野村厚樹,高橋壮佳,西勝 聡,安田 彰,吉野理貴,マルチビット 信号によるパラメトリックスピーカのデジタル直接駆動,電子情報通信 学会ソサイエティ大会,A-10-1,2014.9
- 渡邉裕紀,西勝 聡,安田 彰,吉野理貴,ナイキスト周波数に零点を 持たせクロックジッタの影響を低減したΔΣDAC,電子情報通信学会 全国大会, C-12-10, 2014.3
- 石川武道,清水祐希,吉野理貴,安田 彰,森山誠二郎,設計情報を容易に共有可能なドキュメント化に関する考察,電気学会,電子回路研究 会,ECT-13-084,2013.10
- 横山秀磨,西勝 聡,吉野理貴,安田 彰,低 EMI デジタル直接駆動 型スピーカーシステムに適した係数切り替え型 NSDEM の検討,電気 学会,電子回路研究会,ECT-13-088, 2013.10
- 塩澤 純,石川武道,高橋 大,原島 昇,吉野理貴,安田 彰,マル

チビットデジタル直接駆動技術を用いたブラシレス DC モータシステム,電子情報通信学会ソサイエティ大会, A-1-10, 2013.9

- 小沼和彦,横田和幸,安田 彰,吉野理貴,デジタル直接駆動型スピーカーにおける多指向性制御に関する研究,電気学会,電子回路研究会, CT-13-002, 2013.6
- 横田和幸,小沼和彦,中島文彬,矢代真之,安田 彰,吉野理貴,デジ タル直接駆動スピーカーを用いた振幅制御による高指向性,電気学会, 電子回路研究会,CT-13-003, 2013.6
- 矢代真之,小沼和彦,中島文彬,横田和幸,安田 彰,吉野理貴,スペ クトラム拡散技術を用いたデジタルスピーカシステムの EMI 低減回路 の実証,電気学会,電子回路研究会,ECT-13-004, 2013.6
- 高橋 大,石川武道,塩澤 純,吉野理貴,安田 彰,デジタル直接駆動型スピーカーシステムにおけるミスマッチシェーパー回路規模の削減法,電気学会,電子回路研究会,ECT-13-056,2013.3
- 清水祐希,安田 彰,吉野理貴,北原義大,FIR フィルタを用いてクロックジッタと過剰ループ遅延の影響を抑えた連続時間型ΔΣ変調器の設計,電気学会,電子回路研究会,ECT-13-058, 2013.3
- 内海純彦,西勝 聡,吉野理貴,安田 彰,FIR フィルタを用いたΔΣ
  変調器の並列化,電気学会,電子回路研究会,ECT-13-045, 2013.3
- 森保祐吾,安田 彰,吉野理貴,西勝 聡,G級増幅器における低オフ セット、低ノイズに関する一手法,電気学会,電子回路研究会,ECT-13-046,2013.3
- 嘉藤貴博,安田 彰,吉野理貴,ΔΣTDC(ΔΣ-Time to Digital Converter)の検討および設計,電子情報通信学会全国大会,C-12-72, 2013.3
- 塩澤 純,秋山和博,倉持大悟,原島 昇,吉野理貴,安田 彰,マル チビットデジタル直接駆動技術を用いた三相モータシステム,電子情報

通信学会全国大会, A-1-21, 2013.3

- リー チンホイ,西勝 聡,安田 彰,吉野理貴,キャパシタミスマッ
  チ検出精度向上した自己補正型パイプライン ADC,電子情報通信学会
  全国大会,A-1-15,2013.3
- 木村有希,安田 彰,吉野理貴,フィードバック経路にハイパス型 FIR フィルタを用いた連続時間型ΔΣ変調器の安定性,電子情報通信学会全 国大会,A-1-16,2013.3
- 黒澤亮輔,安田 彰,吉野理貴,ディジタル直接駆動型スピーカーにおける指向性制御法に関する研究,日本音響学会 春期研究発表会,3-10-1, pp.755-756, 2013.3
- 石川武道,安田 彰,吉野理貴,平面スピーカーを用いたデジタル直接
  駆動指向性制御方式,日本音響学会 春期研究発表会,3-10-2, pp.757-760, 2013.3
- 中島 文彬,安田 彰,吉野理貴,並列化によりミスマッチシェーパの
  回路規模を削減したディジタル直接駆動型スピーカーシステム,日本音
  響学会 春期研究発表会, 3-10-2, pp.761-762, 2013.3
- 横山秀磨,矢代真之,吉野理貴,安田 彰,低 EMI スペクトラム拡散 デジタル直接駆動スピーカーシステムの検討,電子情報通信学会 シリ コンアナログ RF 研究会,2013.3
- 森保祐吾,安田 彰,吉野理貴,G級増幅器における電源電圧と出力段の切り替えのタイミング制御法,電気学会,電子回路研究会,ECT-12-070,2012.10
- 木村有希,安田 彰,吉野理貴,高精度カスケード型ΔΣDACの回路 規模削減に関する一手法,電気学会,電子回路研究会,ECT-12-086, 2012.10
- 内海純彦,西勝 聡,吉野理貴,安田 彰, FIR フィルタを用いた∆∑ 変調器の安定性および性能改善に関する研究,電子情報通信学会,ソサ イエティ大会,A-1-2,2012.9
- 大関寛之,小松直樹,安田 彰,吉野理貴,ノイズシェーピング構成と

ミスマッチシェーパーを用いた自己校正型パイプライン ADC に関する 研究,電子情報通信学会ソサイエティ大会,A-1-4, 2012.9

- 大関寛之,清川佳博,西勝 聡,吉野理貴,安田 彰,ベクトルフィルタ を用いて簡略化した 2 並列ΔΣADC,シリコンアナログ RF 研究会, 2012.5
- 作田健二,森保祐吾,横田和幸,矢代真之,小沼和彦,安田彰,吉野理 貴,圧電スピーカー制御回路の一構成法,電子情報通信学会全国大会, A-1-5,2012.3
- 古賀崇之,安田彰,吉野理貴,ベクトルフィルタを用いたタイムインターリーブムΣ型 ADC の回路削減法,電子情報通信学会全国大会,A-1-12,2012.3
- 清川佳博,安田彰,吉野理貴,FIR フィルタを用いて信号帯域内量子化 雑音を低減した∆∑変調器,電子情報通信学会全国大会,A-1-13, 2012.3
- 矢代真之,安田彰,吉野理貴,デジタル直接駆動型スピーカー用自励式
  ドライバ回路の提案,電子情報通信学会全国大会,A-1-14, 2012.3
- 中嶋文彬,安田彰,吉野理貴,ディジタル直接駆動型スピーカーシステムにおけるハードウェア規模削減に関する研究,電子情報通信学会全国大会,A-1-15,2012.3
- 原島 昇,山口 圭,作田健二,矢代真之,安田 彰,吉野理貴,デジ タル直接駆動スピーカーの大電力化に関する一考察,電気学会,電子回 路研究会, ECT-12-034, 2012.3
- 木村有希,安田 彰,吉野理貴,ハイパスフィルタを用いて過剰ループ 遅延の影響を低減した連続時間型∆∑変調器,電子情報通信学会ソサイ エティ大会,2011.9
- 西勝 聡,本多俊弥,清川佳博,吉野理貴,安田 彰,ベクトルフィル タを用いた並列型ΔΣ変調器の提案,電子情報通信学会 シリコンアナ ログ RF 研究会,2011.5
- 福永弘恭,安田 彰,吉野理貴,木村有希,矢代真之,連続時間型ΔΣ
  変調器におけるクロックジッタの影響を低減する方法に関する一検討,

電気学会 電子回路研究会, ECT-11-007, pp. 35-40, 2011.1

本多俊弥,安田 彰,吉野理貴,福永弘恭,西勝 聡,清川佳博、ベクトルフィルタを用いたカスケード型並列ΔΣ変調器,電気学会 電子回路研究会, ECT-11-005, pp. 23-28, 2011.1