

大出力システム実現のためのパワー半導体デバイスおよび回路技術に関する研究

吉野, 理貴 / YOSHINO, Michitaka

(開始ページ / Start Page)

1

(終了ページ / End Page)

164

(発行年 / Year)

2017-03-24

(学位授与番号 / Degree Number)

32675乙第226号

(学位授与年月日 / Date of Granted)

2017-03-24

(学位名 / Degree Name)

博士(工学)

(学位授与機関 / Degree Grantor)

法政大学 (Hosei University)

(URL)

<https://doi.org/10.15002/00013954>

法政大学審査学位論文

大出力システム実現のための
パワー半導体デバイスおよび
回路技術に関する研究

吉野 理貴

概要

本論文は、大出力システム実現のためのパワー半導体デバイスおよび回路技術に関してまとめたものである。

大出力化システムの実現には、半導体デバイスの高耐圧化とそのデバイスが活用できる回路技術の両方が必要となる。

パワー素子としての半導体デバイスは、材料やデバイス構造で最大となる電界強度が変わるため、高耐圧化には電界強度分布の解析が欠かせない。その上で適切な電界緩和手法を適用しつつ半導体デバイスを設計するが、より高耐圧を実現しようとする既存の電界緩和手法だけでは十分ではない。本論文では、既存の電界緩和手法を適用しつつ、高誘電体絶縁材料を用いて最大となる電界強度を緩和する方法について述べる。

回路技術においては、電源電圧を昇降圧して出力電圧範囲を広げる方法が使われている。電源電圧を変化させるためには大きな部品を追加する必要があり、システム全体の面積が増大してしまう問題があった。本論文では、電源電圧を変化させることなく、電源電圧範囲よりも大きな出力が出せる回路構成について述べる。別の方法として、デジタルスピーカシステムを大出力システムに用いた場合に必要となる技術についても述べる。

Abstract

The thesis summarizes the power semiconductor device and circuit technologies to realize high power systems.

For realizing high power systems, both device technology for high breakdown voltage and circuit design technology to utilize the devices are needed.

In power semiconductor devices, because the maximum electric field varies depending on material and device structure, it is indispensable to analyze electric field strength distribution to achieve high breakdown voltage. Then, it is usual that semiconductor devices are designed by applying appropriate electric field relaxation methods, but existing electric field relaxation methods are not sufficient to realize higher breakdown voltage. In the thesis, methodologies to relax maximum electric field for high- k will be described, while applying existing electric field relaxation methods.

In the circuit design technology, output voltage range can be extended by changing a source voltage up and down. To vary source voltages, it is necessary to add large size components, which causes increased area for the whole system. In the thesis, a novel circuit configuration which can generate outputs that is higher than source voltage range without changing source voltages. Another techniques needed for digital speaker systems to apply to high output systems will be also presented.

目次

第 1 章

序論.....	5
1.1 研究の背景	5
1.2 研究の目的	8
1.3 概要	8

第 2 章

大出力化手法.....	11
2.1 はじめに	11
2.2 パワーエレクトロニクス	11
2.3 パワーエレクトロニクスの応用.....	13
2.4 パワーエレクトロニクスの大電力音響（オーディオ）システムへの応用	16
2.5 オーディオの大出力化.....	16
2.6 大出力化に適したデジタルスピーカシステム	18
2.7 大出力化のためのスイッチング増幅回路.....	19
2.8 半導体デバイスの高耐圧化.....	20
2.9 まとめ	21

第 3 章

電源電圧を超える電圧を出力可能な D 級増幅器の提案	23
3.1 はじめに	23
3.2 従来の D 級増幅器.....	24
3.3 三角波比較方式	26
3.4 出力信号	27
3.5 スイッチング電源回路.....	28
3.5.1 降圧型 DC-DC コンバーター	28
3.5.2 昇圧型 DC-DC コンバーター	29
3.5.3 昇降圧型 DC-DC コンバーター.....	30
3.5.4 動作モードを切り替えた昇降圧型 DC-DC コンバーター	31

3.6	提案手法を用いた昇圧と降圧モードを有する D 級増幅器.....	32
3.6.1	スイッチング信号の制御.....	33
3.6.2	PWM 生成回路.....	34
3.7	シミュレーション.....	35
3.8	さらなる大出力化への対応.....	39
3.9	まとめ.....	41
第 4 章		
	高出力デジタル直接駆動スピーカーシステム.....	43
4.1	はじめに.....	43
4.2	アナログオーディオ再生システム.....	44
4.3	デジタルスピーカーシステムの概要.....	47
4.4	基本的な DDSP システム.....	48
4.4.1	基本構造.....	48
4.4.2	マルチビット $\Delta\Sigma$ 変調器.....	51
4.4.3	温度計コード.....	51
4.4.4	NSDEM 回路.....	54
4.4.5	ソート・セクタ回路.....	55
4.4.6	ドライバー回路.....	57
4.4.7	スピーカーユニット.....	57
4.5	大出力化に適した 3 値駆動 DDSP システム.....	60
4.5.1	H ブリッジドライバー回路.....	62
4.5.2	H ブリッジ制御回路.....	64
4.5.3	3 値 NSDEM.....	66
4.6	DDSP システムの利点.....	69
4.7	DDSP システムの問題点.....	69
4.8	提案する DDSP システム.....	69
4.8.1	構成.....	69
4.8.2	タイミングチャート.....	73
4.9	測定結果.....	79

4.10	まとめ	87
第5章		
	半導体デバイスの高耐圧化	89
5.1	はじめに	89
5.2	電界強度	90
5.2.1	平行平板コンデンサ	90
5.2.2	pn接合	92
5.2.3	実際のデバイス	96
5.3	デバイスシミュレーション	96
5.4	高耐圧化手法	98
5.4.1	デバイス材料による高耐圧化	98
5.4.2	ドリフト層による電界低減	101
5.4.3	メサ構造による電界低減	102
5.4.4	フィールドプレート構造による電界低減	110
5.4.5	接合ターミネーションエクステンションによる電界低減	114
5.5	まとめ	115
第6章		
	高誘電率材料を用いた高耐圧化手法の提案	117
6.1	はじめに	117
6.2	ダイオードのデバイス構造	117
6.3	シミュレーション	120
6.4	高誘電率絶縁膜材料	127
6.5	セリウム・シリコン複合酸化物膜	128
6.6	まとめ	137
第7章		
	結論	139
参考文献		
謝辞		
発表論文		

第1章

序論

1.1 研究の背景

世界の電力使用量は、増加の一途をたどっている。電力使用量の増大にともない、化石燃料を燃やした際に排出される二酸化炭素（CO₂）の排出も増大している[1]。温室効果ガスである CO₂ 濃度の上昇は気候変動を引き起こす一因とされており、削減が強く求められている[2]。そのため、発電や送電に伴う損失の低減や、電気機器のエネルギー効率の向上が課題となっている。

スイッチングコンバータは、電気機器の出力電力制御を高効率に行うことを可能とするが、この際必要不可欠なデバイスがパワー半導体である。パワー半導体デバイスには、ダイオード、サイリスタ、バイポーラトランジスタ（BJT）、電界効果トランジスタ（MOSFET）、絶縁ゲートバイポーラトランジスタ（IGBT）などがある。これらのパワー半導体デバイスは、電力の変換やモーターの制御などの分野で使われている。しかし、これまでは電子機器や白物家電など動作電圧がそれほど高くない機器に用いられていた。これは、従来のケイ素（Si：シリコン）を用いたパワー半導体デバイスでは、絶縁破壊電圧を上げるとオン抵抗が高くなりエネルギー効率が悪くなるためである[3]。このため、発熱が増え冷却機構が大きくなり小型化の障害となっていた[4,5]。また、シリコンを用いたデバイスの耐圧は、シリコン材料の物性限界に近付いており、これ以上の絶縁破壊電圧の向上は望めなくなってきた[6]。そこで、次世代の半導体材料の開発が進み、炭化ケイ素（SiC）や窒化ガリウム（GaN）を用いた化合物半導体がパワー半導体デバイスの主流になりつつある。

SiC や GaN はシリコンに比べてバンドギャップが広く、絶縁破壊電界が高い

という特徴がある。このような特徴から、シリコンを用いたパワー半導体デバイスでは絶縁破壊電圧が足りずに使えなかった、産業機器、鉄道、自動車などのより高電圧動作が求められる分野で採用されつつある。また、高温環境下でも安定して動作できるため、冷却機構の小型化や冷却機構自体をなくすことができ、小型化にも貢献できる。さらに、オン抵抗も低くできるためエネルギー効率が高く、省エネルギーに向けたデバイスである。

半導体デバイスは、半導体に用いた材料の絶縁破壊電界を超えた場所から壊れる。化合物半導体材料の絶縁破壊電界は、シリコンと比較して SiC で約 7 倍、GaN で約 10 倍優れている。しかしながら、近年のパワーシステムに求められる絶縁破壊電圧はシリコンデバイスの 10 倍以上であり、SiC や GaN などの高い絶縁破壊電界を有する半導体材料を用いただけでは、十分な耐圧を実現することはできない。その上、半導体デバイスは、3次元構造のため、電界強度が最大となる場所が決まっているわけではない。電界強度が最大となる場所は、デバイスの形状や厚さ、不純物濃度分布などで決まってくる。そこで、半導体材料が有する絶縁破壊電界より最大電界強度が低くなるように、半導体デバイスを設計する必要がある。

上記のような半導体デバイスを開発しても、実際の機器として使う際には、回路としてシステムに組み込む必要がある。そこで、省エネルギー性に対応しつつ、より高電圧で高出力に対応できる回路の開発が求められている。

増幅器は回路には欠かすことのできない、重要な回路である。増幅回路はほとんどの回路で使われているといっても過言ではなく、増幅器を高効率にすることができれば、消費電力の削減効果は大きい。そこで増幅器として最も身近なオーディオ用のパワーアンプで検討を行った。

最近まで、オーディオアンプの出力先はスピーカーかヘッドホンであった。近年、新たな素材の開発により、今までになかった新しいスピーカーが登場しつつある。piezofilm や高導電性フィルムでできたスピーカーは、とても薄くフレキシブルで透明なものも実現できるという特徴がある。しかし、駆動するための電圧が非常に高く、1000 V 程度もしくはそれ以上が必要となる。このような新しいスピーカーを駆動させるために、オーディオアンプの出力電圧を上げつつ、

同時に小型化も求められている。

従来、オーディオアンプには、トランジスタの動作点が異なる、A級、AB級などの増幅器が使われてきた。しかし、これらの増幅器のエネルギー効率は低く、約 1/3 が熱として放出されてしまうため、大型の放熱器が必要であり、小型化や高出力化には限界がある。また、大量の電力を必要とするため、バッテリーで動作する機器では使えない問題があった。

そこで、エネルギー効率が高く大出力化しやすい、D級増幅器が用いられるようになった。D級増幅器は、従来の増幅器と比較して、高パワー出力時に加え低パワー出力時のエネルギー効率も高いところに特徴がある。通常、音楽を再生している場合、アンプの出力はほとんどの時間で低パワー出力になっている。D級増幅器は、電池寿命が重要なオーディオ内蔵携帯機器用アンプとして最適であり多くの機器で採用されている。D級増幅器は、入力されたアナログ信号をパルス幅変調 (PWM) 変調またはパルス密度変調 (PDM) し、PWM または PDM 信号でパワーデバイスをスイッチングさせることで増幅されたパルス信号を発生し、これらのパルス信号をローパスフィルタに通して音声信号を取り出す。しかし、A級からD級増幅器は、電源電圧の範囲内で入力信号を増幅するため、出力される信号は電源電圧を超えられない。このため、D級増幅器の大出力化には、昇圧型と降圧型のスイッチング電源回路を追加する必要があった。しかし、スイッチング電源回路の損失が加わるため、電力効率が低下し、回路規模が大きくなる問題がある。

オーディオアンプとしては、D級増幅器とは全く異なる仕組みを有する、デジタルスピーカー (DDSP) システムがある[7]。DDSP システムは、 $\Delta\Sigma$ 変調器を用いて入力から出力までの全ての信号をデジタルで処理する方法である。入力信号をデジタル信号のまま扱い、出力時の D/A 変換も必要ないため、設計が難しいアナログ回路がなく、チップ面積が削減でき、消費電力も低減できる。DDSP システムも低パワー出力時を含めた全てのエネルギー効率が低い。しかし、従来の増幅器と同様、出力される信号は電源電圧を超えられない。

1.2 研究の目的

そこで本論文では、高出力化のために必要な半導体デバイスの開発と、高出力化に対応したシステムと回路構成を組み合わせることにより、高出力化を図ることを目的とする。

高耐圧な半導体デバイスの実現に関して、そのデバイスの最大となる電界強度を低減する方法を論じ、その解決を図る。また、大出力が必要な回路で電源電圧より高い電圧を出力しようとする、システム全体が大型化してしまう問題に関して、回路構成および信号処理を組み合わせることで課題の解決を図る。

1.3 概要

本論文は、次の順序で記述を進める。第2章では、高出力化の手法について概説する。本論文の目的は、エネルギー効率向上のために必要な半導体デバイスの開発とそのような半導体デバイスを活用した回路構成などを実現することにある。本章では、高出力化の手法について解説する。半導体デバイスの高耐圧化や回路構成による高出力化の手法を理解することは、高出力化を実現する上で重要である。

第3章では、大出力を実現する際に問題となる、電源電圧以上の電圧を出力できるD級増幅器の回路構成について述べる。多くの増幅器の出力電圧は、電源電圧の範囲内に制限される。電源電圧以上の電圧を出力するには、昇圧回路を用いて電源電圧を昇圧しており、小型化しにくい問題があった。本章では、電源電圧を昇圧することなく、D級増幅器の出力を上げることができる回路構成を提案する。提案方法では、出力段にHブリッジ型昇降圧コンバーターを用いる。しかし、Hブリッジ型昇降圧コンバーターは、通常同期整流式コンバーターと比較して、スイッチング時のリングングが大きく回路が損傷する可能性があることと、貫通電流の増加によるスイッチング損失が大きくなる問題がある。そこで、Hブリッジ回路に保護ダイオードを付け、スイッチング信号をデッドタイム生成回路で制御することで解決している。出力電圧を大きくした場合の保護ダイオード

ドには、第6章で作製したような高耐圧なダイオードが必要となる。

第4章では、高出力化に対応した DDSP システムについて述べる。DDSP システムは、 Δ - Σ 変調器を用い、出力まで完全なデジタル信号のまま扱えるため、高効率である。しかし、出力信号は“0”、“1”の2値であり出力は電源電圧の範囲内となる。本章では、DDSP システムの出力段に H ブリッジ回路を採用することで、“-1”、“0”、“1”の3値に拡張でき、出力電圧を大きくできる。また、出力電圧を上げることに加え、スピーカーの数を増やすことでさらなる大出力に対応できる。

第5章では、半導体デバイスの高耐圧化手法について概説する。半導体デバイスの基本は pn 接合であり、シリコンを用いた半導体でも、SiC や GaN を用いた化合物半導体でも共通している。したがって、高耐圧化手法についても同じ手法が用いられている。本章では、pn 接合のみを有し、単純な構造でできている pn 接合ダイオードを例に、電界強度を低減する手法について概説するとともに、GaN に適用した場合のシミュレーション結果も示す。半導体デバイス内の電界強度が高くなる場所や各手法の効果を理解することは、高耐圧なデバイスを設計する上で重要である。

第6章では、第5章の電界低減手法を用いても、最大となる電界強度を GaN の破壊電界強度まで低減できず、デバイスが破壊されてしまう問題を解決する方法を提案する。本章では、高誘電率絶縁膜を用いると、電界強度分布が変化することをシミュレーションにより示す。シミュレーション結果より、最大となる電界強度は、絶縁膜の比誘電率により変化し、最適な比誘電率が存在する。そこで、最適な比誘電率を探すとともに、実際のデバイスを作製するのに必要な高誘電率絶縁膜材料について述べる。そして、最適な高誘電率材料としてセリウム・シリコン混合絶縁膜を使った縦型 GaN ダイオードを作製した。縦型 GaN ダイオードとセリウム・シリコン混合絶縁膜の作製方法と測定した特性を示す。

第2章

大出力化手法

2.1 はじめに

低炭素社会の実現に向けて様々な解決策が模索されている。社会インフラの多くで電気をエネルギーとする電気機器で構成されている。電気が生み出されてから消費されるまでの全てにおいて損失を減らさなければ、低炭素社会は実現できない。このような課題に対してパワーエレクトロニクスを用いて解決しようとする流れが主流となっている。

2.2 パワーエレクトロニクス

パワーエレクトロニクスは、パワー（電力、電気機器）、エレクトロニクス（回路、半導体デバイス）とこれらを制御（情報、制御）する技術の上に立つ学際的な分野であるとされた（図 2-1） [8]。これらの分野を組み合わせ、電力を効率よく制御することがパワーエレクトロニクスの核である。電力を効率よく制御するためには、パワー半導体デバイスが欠かせない。機械式スイッチでもスイッチングすることはできるが、機械的な操作のために動作は低速であり、動作回数や寿命にも制約がある。したがって、単純なオン・オフの動作に限定されてしまう。パワーエレクトロニクスでは、パワー半導体デバイスを用いて高速なスイッチング動作を実現することにより、電力を効率的に変換している。そのため、低損失、高速動作、高耐圧、高信頼性なパワー半導体デバイスが求められる。そして、パワー半導体を用いた変換装置（回路）を用いて対象装置を制御することで、高効率性を実現している（図 2-2）。

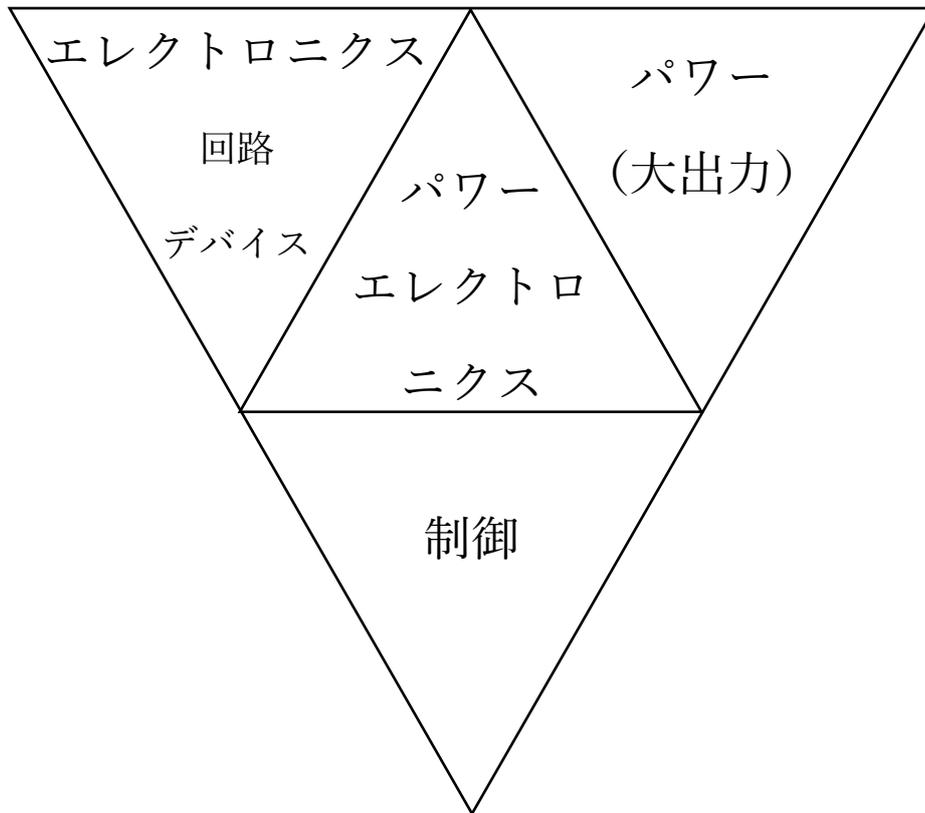


図 2-1 パワーエレクトロニクスの分野

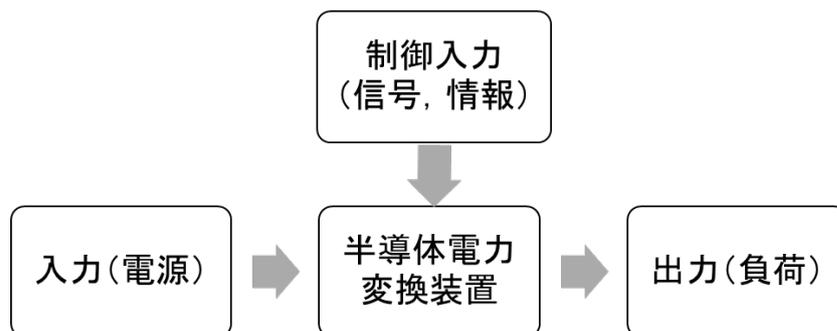


図 2-2 電力変換と制御の基本機能

2.3 パワーエレクトロニクスの応用

パワーエレクトロニクスは、電力変換のみならず、様々な分野に応用されている。これは、パワーエレクトロニクスが、省エネルギー化、高機能化、小型化に対応しつつ、新しい機能をも実現する技術だからである。パワーエレクトロニクスの適用範囲を図 2-3 に示す[9]。この図より、電力が大きくない家電やコンシューマー機器から、周波数の高い情報・通信機器の電源、動作周波数もやや高く電力も大きな電気自動車、電力の大きい電気鉄道や電力システムなど、広い範囲の動作周波数と電力で活用されている。

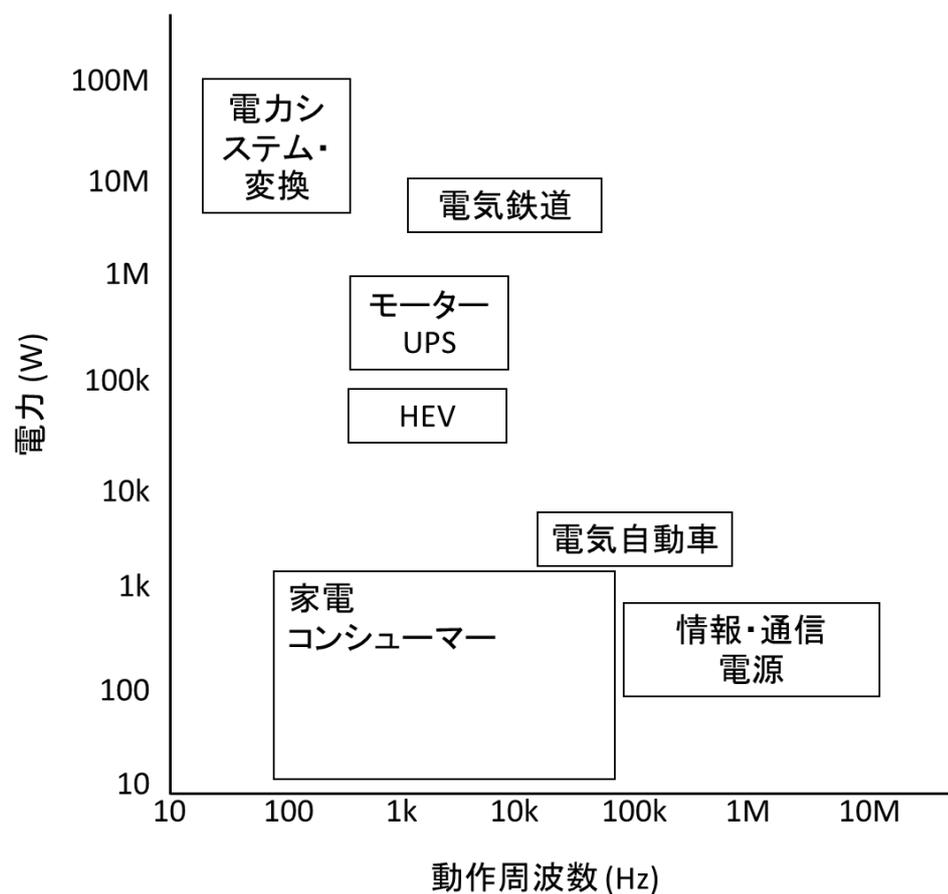


図 2-3 パワーエレクトロニクスの適用範囲

パワーエレクトロニクスの応用例を表 2-1 に示す[9,10]. 家庭から自動車, 鉄道, 産業, 電力設備から宇宙まで, あらゆる領域に応用されている. また, 代表的な機能は, モーター制御, 電力変換, 電力制御, D 級増幅器などがあり, これらの機能を用いて様々な機器が開発されている.

表 2-1 パワーエレクトロニクスの応用例

領域	例	代表的な機能
家庭	エアコン・冷蔵庫・洗濯機・掃除機 蛍光灯 炊飯器・電磁調理器 VTR,CD,DVD,HDD オーディオ 白熱灯の調光 太陽電池のパワーコンディショナ 携帯電話	モーター制御 高周波点灯・安定化 誘導加熱 モーター制御 D級アンプ 交流電力制御 直流交流変換, 系統連系 バイブレーション, 充電器
自動車	電気自動車 ハイブリッド自動車 電動パワーステアリング, 電動カーエアコン	モーター制御 充電制御, 走行制御 モーター制御
ビル・公共 施設	エレベーター, 電源, 水道・排水ポンプ エスカレーター	モーター制御 CVCF 電源
鉄道	電車 照明・空調 変電所	モーター駆動 直流交流変換 交流直流変換
工場・産業	ロボット, サーボモーター 印刷機, 輪転機 めっき, 加熱炉 誘導加熱	モーター制御 モーターの同期制御 電力制御 高周波電力制御
電力補償	アクティブフィルタ STATCOM	電力波形補償 力率補償
電力設備	可変速揚水発電 直流送電 燃料電池・風力発電 エネルギー貯蔵	モーター制御 交流直流変換 系統連系 直流交流変換
宇宙・航 空・船舶	フライバイワイヤ 衛星搭載電源 電気推進船	モーター制御 太陽電池 モーター制御

2.4 パワーエレクトロニクスの大電力音響（オーディオ）

システムへの応用

オーディオアンプには、アナログのアンプが使われてきた。アナログアンプには、トランジスタの動作点の違いにより、A級、B級、C級、AB級があり、それぞれ一長一短あるが、どれも電力効率が悪く、大量の熱として放出されていた。この問題を解決すべく、スイッチング技術を導入したD級パワーアンプが登場した[11]。D級パワーアンプは、高効率に電力を増幅できるため、小型、軽量化しつつ大出力化できるという特徴がある。このような特徴からバッテリー駆動のポータブル機器から放送機器や屋外ライブ用の大音響SR（Sound Reinforcement）システムまで広く使われている。D級パワーアンプは、入力信号をデジタル化して処理しているため、デジタルアンプとも言われている。

2.5 オーディオの大出力化

大出力が求められる用途としては、大きなライブ会場でのコンサート、スタジアムの放送、防災無線の放送や船舶用の汽笛など、身近なものから生死にかかわる重要なものまでである。

大出力化には、1台のスピーカーの駆動電圧を高くする方法と、スピーカーを複数台並列に接続して電流量を増加させる方法がある。スタジアムのように会場が広く商用電源がある場合は、スピーカーを並列に多数配置して全体の出力を大きくする方法がとられることが多い。しかし、地震や津波で商用電源が断たれてしまう場合や、バッテリーで動作させなければならない場合は、電流量を大きくしてしまうと動作できる時間が短くなってしまう。そこで、電圧を上げる必要が出てくる。また、電圧を上げるもう一つの理由としては、一般的に使われているラウドスピーカー以外のスピーカーを駆動したいという要望がある[12-19]。図2-4にスピーカーの印加電圧と出力をおおまかにまとめた。もっとも普及しているラウドスピーカーに印加する電圧は100V程度であるのに対して、フィルム

型圧電スピーカーは 10 V 程度から 1k V, コンデンサ型スピーカーは数 k V であり, プラズマスピーカーは数十 k V の高電圧でないと音が出ない[20-24]. コンデンサ型スピーカーは何十年も前に発売されているが, 高電圧を作るためのトランスが必要なため重く大きくなったり, 高電圧によりデバイスが故障しやすかったりする問題があり普及しなかった. しかし, 全面駆動型のスピーカーであり, 薄くて軽い膜を振動板に使える上に, 中高音域の音がクリアであると評判は高い. フィルム型の圧電スピーカーは, 数百ボルトを印加する必要があるが, 薄くてフレキシブルな特徴があり, 衣服につけるスピーカーとしても期待されている. しかし, せっかく衣服につけることができるとしても, アンプが大きく重いままでは意味がなく, 高電圧かつ小型で軽量なアンプが必要とされている.

このような背景より, パワーエレクトロニクスの手法を用いて大出力に適したシステムの検討を行った.

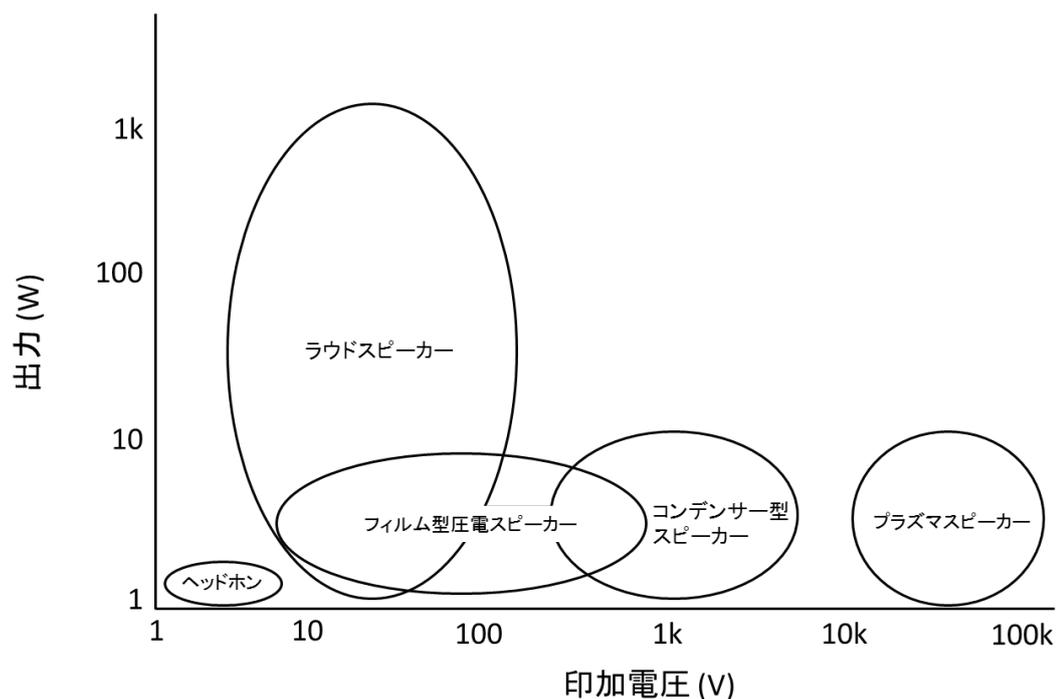


図 2-4 スピーカーの印加電圧と出力

2.6 大出力化に適したデジタルスピーカシステム

大出力化に適した、高電圧で駆動するスピーカシステムに必要な技術を、パワーエレクトロニクスの観点から図 2-5 に示す。まず、出力負荷としてスピーカがある。スピーカには一般的なラウドスピーカから高電圧駆動が必要なスピーカまで対応できるようにする必要がある。そのために、スピーカを駆動するためのスイッチング増幅回路には、高耐圧なデバイスと大出力を実現する回路構成が求められる。高効率を実現するために、スイッチング増幅回路に使う高耐圧なデバイスは低損失であることが求められる。次に、スイッチング増幅回路を駆動する信号を生成する制御回路が必要となる。制御回路はデジタル回路のみで構成できることから、デジタル信号処理を組み込み、負荷の特性に応じて制御することを目指した。これにより、ノイズの低減や音質の向上を図る一方、大出力スピーカシステムであっても、入力信号が小さい場合には出力電力を小さくできるようにしつつ、高効率である必要がある。大出力時のみでなく小出力時の電力効率も向上させる方法として、DDSP を開発している。DDSP の詳細については、第 4 章で述べる。

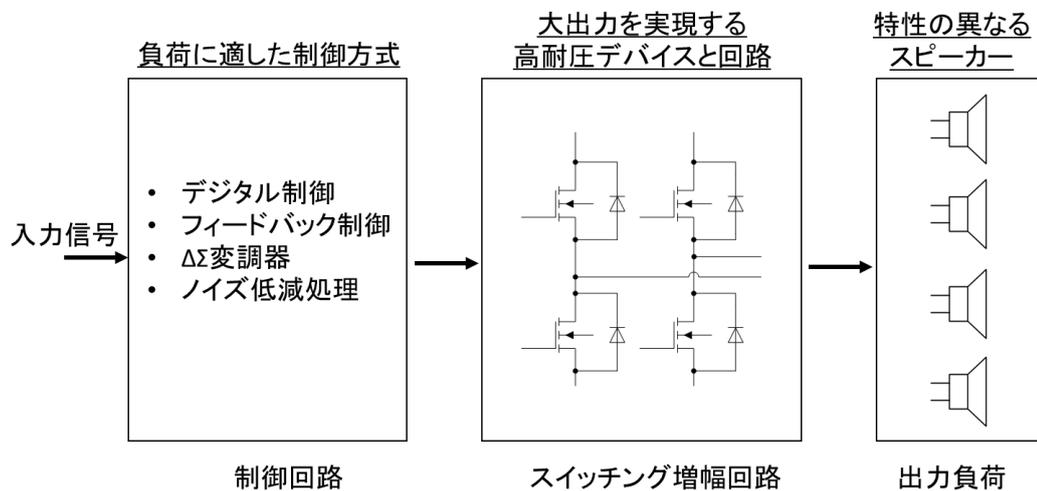


図 2-5 大出力スピーカシステムに必要な技術

2.7 大出力化のためのスイッチング増幅回路

負荷を駆動するスイッチング増幅回路は、これまでに述べたような高耐圧で低損失なデバイスで構成されるのが望ましい。デバイスが高耐圧に対応した後に問題となるのは、どのようにして高電圧を作り出すかである。

スイッチング増幅回路で出力を高電圧にする一般的な方法は、電源電圧を出力電圧の範囲まで拡張することである。電源電圧の範囲を拡張するのに一般的で簡単な方法は、変圧器による電圧の変換である。変圧器による電圧変換は簡単にできる反面、面積が大きく重たくなるというデメリットがある。そこで、電子回路では DC-DC コンバーター、三端子レギュレータを用いたリニア電源回路、発振回路、PWM 方式を用いたスイッチング回路、チャージポンプ回路（スイッチトキャパシタ）などで電圧の変換を行っている。しかしこれらの回路は面積が大きく、システム全体の小型化の妨げとなる。また、DC-DC コンバーター等とスイッチング増幅器の 2 つの回路を通して、電源から負荷に電力を出力することになり、それぞれの回路で損失が生じ、効率が低下してしまう。

そこで、電源電圧を変換するのではなく、回路構成で電源電圧以上の出力が得られる回路を提案した。この増幅回路では、出力段に H ブリッジを用いた DC-DC コンバーターの構造を組み込むことで、電源電圧を変えることなく、出力電圧範囲を拡張することが可能になった。これにより、DC-DC コンバーター等が不要となり、効率向上が図れる。第 3 章で詳細について述べる。

さらに、スイッチング増幅回路をモーターなどに適用した場合、コイルに流れる電流は MOS をオフにした後も流れ続けるために、この電流を逃すためのフライホールダイオードをつける必要がある。また、スイッチング時に大きなリングが発生するのを抑えるためにも保護用の高耐圧なダイオードを入れる必要がある。この保護用デバイスとして、第 6 章で提案する高耐圧なダイオードを使うことができる。

2.8 半導体デバイスの高耐圧化

半導体デバイスには、高耐圧、低オン抵抗、高電流出力、高速・高周波動作などが求められているが、これらの要求を全て満たすことは難しい。本論文の目的は、大出力システムを実現することであり、そのためには、負荷を駆動するためのスイッチング増幅回路で用いる半導体デバイスの高耐圧化が欠かせない。第4章で述べる DDSP システムでは、従来とは異なる特徴を有するスピーカを駆動するために、高耐圧で高効率なデバイスが必要とされている。このために必要なデバイスとしては、増幅素子としての FET や保護ダイオードがある。そこで、出力電圧を高電圧にするのに必要な、高耐圧な半導体デバイスを開発するにあたり、構造が簡単でかつ pn 接合を有する縦型 GaN ダイオードに高耐圧化手法を適用し、効果を確認することとした。

高耐圧化するためには、デバイス内で最大となる電界強度を、半導体材料の物性限界で決まる絶縁破壊電界以下に低減する必要がある。絶縁破壊電界が高い半導体材料を使うことで高耐圧にできる。また、不純物プロファイルやドリフト層の厚さなどを適切に設計することでも高耐圧化することができる。さらに、エッジターミネーションなどの電界強度低減手法も広く用いられている。これらの手法については、第5章で述べる。さらにこれらの手法を用いつつ、高誘電率材料を用いて電界強度を低減する手法を提案し、シミュレーションと作製したデバイスで検討を行った。これについては、第6章で述べる。

2.9 まとめ

本章では、低炭素社会実現のために、パワーエレクトロニクスを用いて高効率な電力変換が行われていることを説明した。パワーエレクトロニクスは小型、軽量、省エネルギーを実現するために、様々な機器に応用されている。パワーエレクトロニクスの応用として、大出力化のための DDSF システムを取り上げた。高電圧でしか駆動できないスピーカーを駆動するために、スイッチング増幅回路を高耐圧にする必要があるが、高耐圧な半導体デバイスがなければ実現することはできない。そこで、半導体デバイスの高耐圧化を検討した。高耐圧化に適した材料を探すとともに電界強度の低減手法について検討した。さらに小型、軽量化のために、高耐圧な半導体デバイスを用いたスイッチング増幅回路の検討も必要である。そして、スイッチング増幅回路を制御するデジタル信号技術により、負荷の特性に応じたノイズ低減や音質向上の機能を入れることができる。

このように、パワーデバイス、回路技術、電力増幅、制御を組み合わせることで高効率な大出力システムが実現できる。

第3章

電源電圧を超える電圧を出力可能な D 級増幅器の提案

3.1 はじめに

従来、オーディオアンプには、トランジスタの動作点の異なる、A 級、B 級、AB 級、C 級増幅器が使われてきた。しかし、これらの増幅器のエネルギー効率は低く、約 1/3 が熱として放出されてしまうため、大型の放熱器が必要であり、小型化や高出力化には限界がある。また、大量の電力を必要とするため、バッテリーで動作する機器では使えないという問題があった。

そこで、エネルギー効率が高く、大出力化しやすい D 級増幅器が用いられるようになった。D 級増幅器は、従来の増幅器と比較して、低パワー出力時のエネルギー効率が非常に高いことに特徴がある。一方、通常、音楽を再生している場合、アンプの出力はほとんどの時間で低パワー出力になっている。したがって、オーディオ内蔵携帯機器、すなわち、ノートブック PC、携帯電話、スマートフォン、CD プレイヤー等の電池寿命は、その機器が搭載しているオーディオアンプの低パワー出力時のエネルギー効率に大きく依存している。以上より、D 級増幅器は、電池寿命が重要なオーディオ内蔵携帯機器用アンプとして最適であり多くの機器で採用されている [25,26]。D 級増幅器は、デジタル信号(パルス信号)の特徴を活かしているが、音声信号を単純な“0”、“1”のデジタル信号として扱うわけではなく、変調したパルス信号を処理している。D 級増幅器は、入力されたアナログ信号をパルス幅変調 (PWM) 変調またはパルス密度変調 (PDM) し、PWM または PDM 信号でパワーデバイスをスイッチングすることで増幅されたパルス信号を発生し、これらのパルス信号をローパスフィルタに通して音声信号を取り

出す。しかし、A 級から D 級増幅器は、電源電圧の範囲内で入力信号を増幅するため、出力される信号は電源電圧を超えられない。このため、D 級増幅器の大出力化には、昇圧型スイッチング電源回路を追加し、昇圧した電源電圧を供給する必要があった。しかし、小型化に適した D 級増幅器が、追加回路のために大きくなってしまふというトレードオフが生じる。

3.2 従来の D 級増幅器

図 3-1 に示すように、D 級増幅器は、入力信号と三角波（鋸波）を比較し PWM 信号を生成する回路、スイッチング段を有する増幅回路と出力信号をアナログ信号に戻す LPF で構成される。PWM では、出力波形のパルス幅は入力信号の電圧に比例する。D 級増幅器は、スイッチングにより電力増幅しているため、出力段での電力損失が少なく、90%を超える電力効率を実現している。しかし、出力信号の正確さは三角波に依存しているため、フィードバック構成にして精度を上げた図 3-2 の構成が広く使われている [27]。フィードバックループはエラーを減らすように動作するため、比較器により生成された PWM 信号は、出力スイッチのエラーを補償するように動作する。よって、フィードバックループは、出力トランジスタと三角波の非線形による歪とノイズを低減することができる。

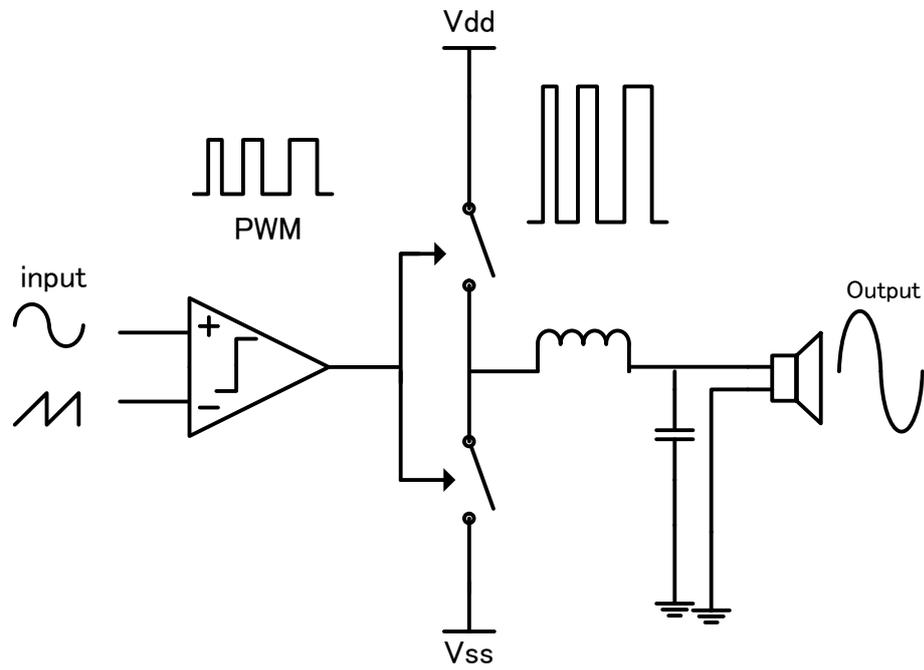


図 3-1 PWM 波形を用いた基本構成の D 級増幅器

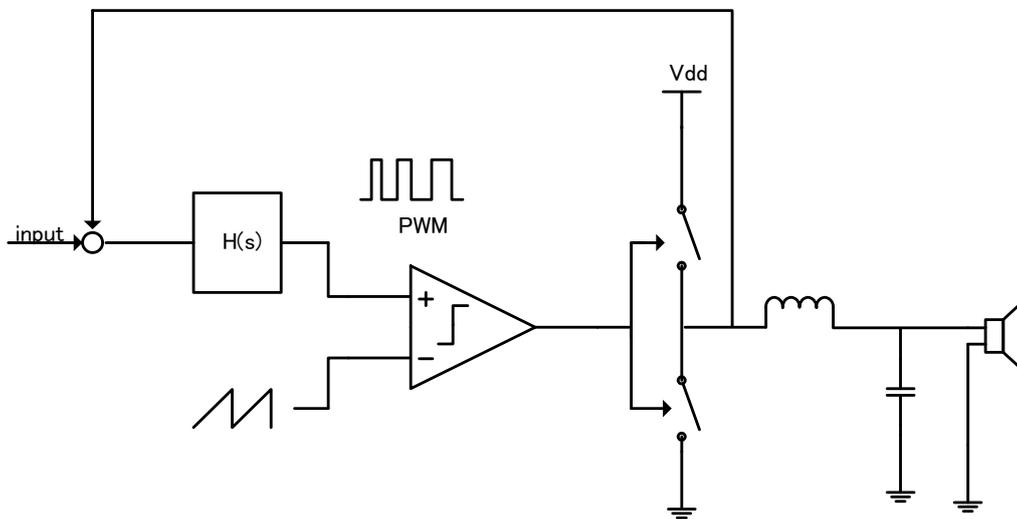


図 3-2 フィードバックループ構造の D 級増幅器

3.3 三角波比較方式

アナログ入力信号から PWM 信号への変換は、参照となる三角波と入力信号をコンパレータで比較して生成する（図 3-3）[28]. この三角波は、入力信号より十分に高い周波数である必要がある. PWM への変換は、入力信号が三角波より高い間は“High”を出力し、入力信号が三角波より低い間は“Low”を出力する（図 3-4）. これにより、入力信号の振幅は、コンパレータでパルス幅に変換され、2 値のデジタル信号である PWM 信号となる.

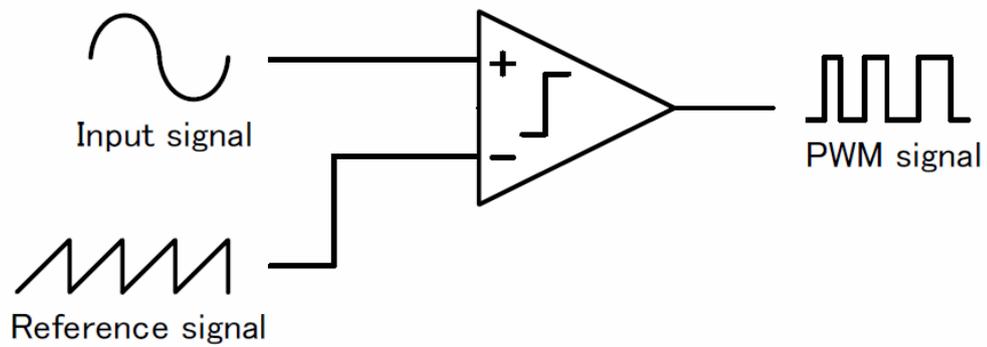


図 3-3 PWM 信号を生成するコンパレータ

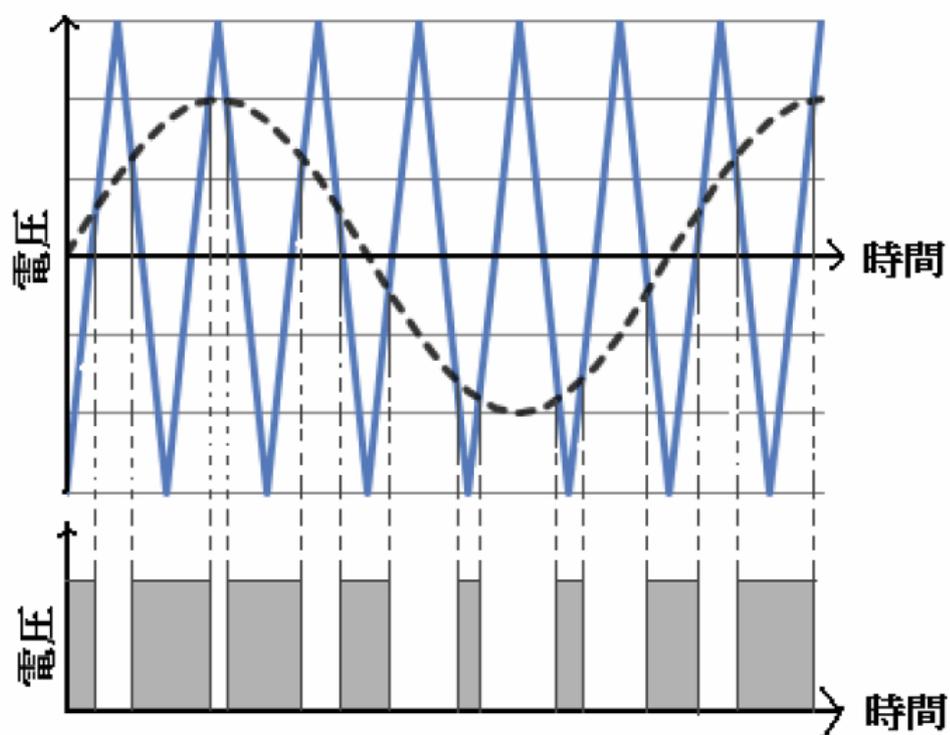


図 3-4 PWM 信号の生成

3.4 出力信号

D 級増幅器の出力振幅は、電源電圧の範囲内に制限される。出力振幅を電源電圧より高くしたい場合は、昇圧のための DC-DC 変換器が必要となる。特に、バッテリーで動作するポータブルデバイスでは、電源電圧はバッテリーから出力される電圧で決まる。リチウムイオンバッテリーで昇圧型 DC-DC 変換器を用いた典型的な D 級増幅器のブロック図を図 3-5 に示す。しかし、この構造は追加的なハードウェアを必要とし、小型化に適しているという D 級増幅器の利点が失われてしまう。

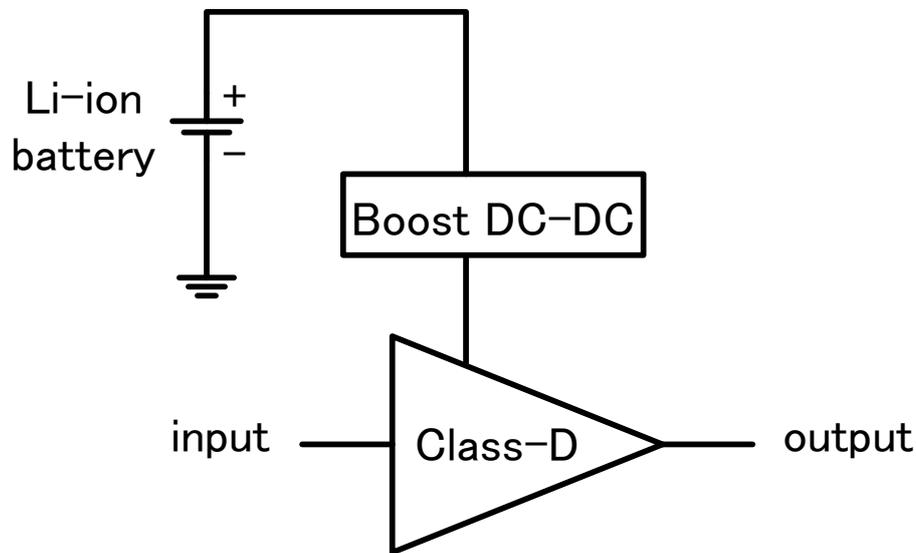


図 3-5 昇圧型 DC-DC 変換器を有する D 級増幅器

3.5 スイッチング電源回路

スイッチング電源回路は、直流の入力電圧をスイッチング動作により、入力電圧とは異なる電圧に変換する回路である。スイッチング電源回路は 3 種類ある。

- 降圧型 DC-DC コンバーター
- 昇圧型 DC-DC コンバーター
- 昇降圧型 DC-DC コンバーター

3.5.1 降圧型 DC-DC コンバーター

図 3-6 の降圧型 DC-DC コンバーター回路は、入力電圧より低い電圧を出力する。入力電圧 V_{ref} と出力からフィードバックされた信号が誤差増幅のためのオペアンプを通過し、三角波と比較することで PWM 信号へと変換され、スイッチングによって作られた方形波を出力段の LC フィルタで平均化することで、電源電

圧より低い直流電圧を出力できる。スイッチング段には、ハーフブリッジを使う。

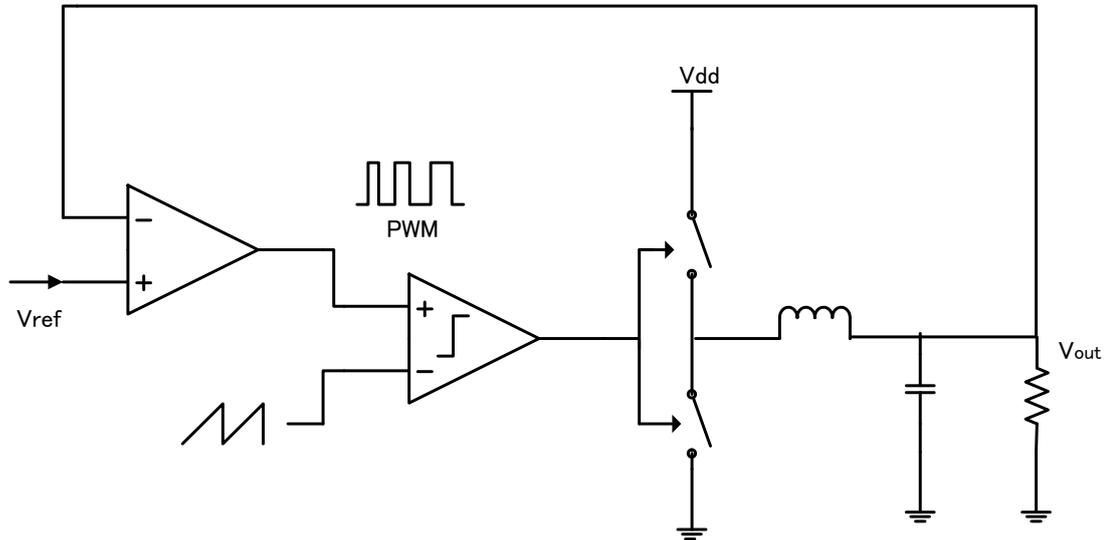


図 3-6 降圧型 DC-DC コンバーター

3.5.2 昇圧型 DC-DC コンバーター

図 3-7 の昇圧型 DC-DC コンバーター回路は、入力電圧より高い電圧を出力する。入力電圧 V_{ref} とフィードバック信号が誤差増幅のためのオペアンプを通過し、三角波と比較することで PWM 信号へと変換される。スイッチング段と電源 V_{dd} の間には直列にインダクタが接続されており、スイッチング段を高速に動作させることでインダクタに蓄えられたエネルギーにより、電源電圧より高い直流電圧を出力できる。スイッチング段には、ハーフブリッジを使う。

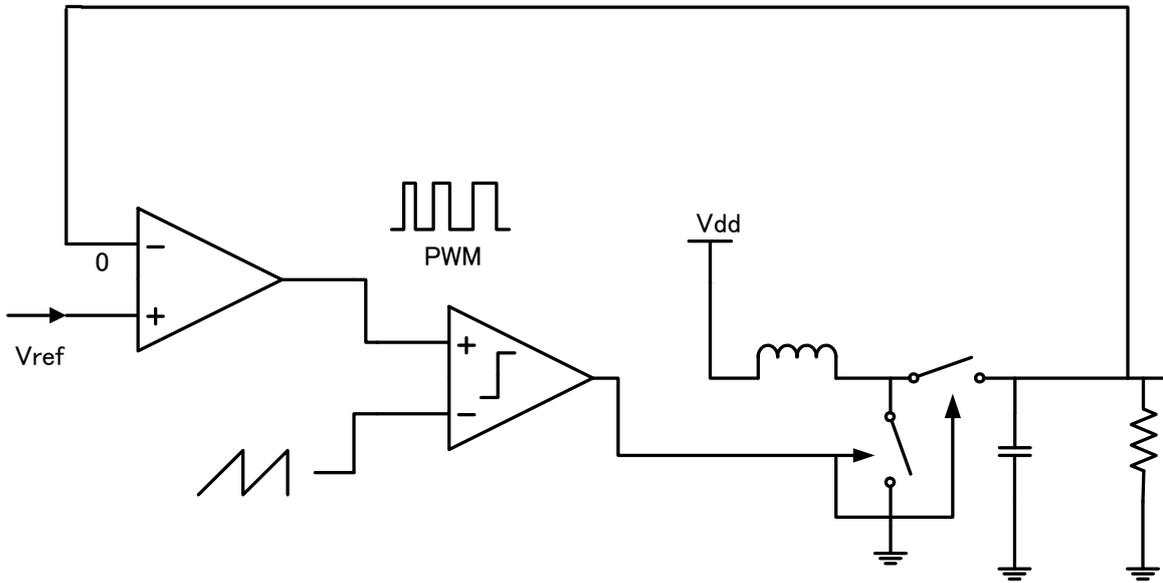


図 3-7 昇圧型 DC-DC コンバーター

3.5.3 昇降圧型 DC-DC コンバーター

昇降圧型 DC-DC コンバーターは、昇圧型と降圧型を組み合わせた動作となり、出力電圧を入力電圧よりも大きくも小さくもできる回路である。図 3-8 に示す昇降圧型 DC-DC コンバーターは、4 個のトランジスタとインダクタで構成され、アルファベットの‘H’に似た形をしているため、H ブリッジと呼ばれる。H ブリッジ回路では、対角線上で対となる Q_1-Q_4 や Q_2-Q_3 を制御信号で交互にオンとオフにする。

Q_1 と Q_4 がオンの時、インダクタは in と GND に接続される。 Q_2 と Q_3 がオンの時、インダクタは out と GND に接続され、電力は out に出力される。したがって、出力電圧は、GND から in に印加された入力電圧を超えた範囲で制御できる。しかしながら、 Q_1 から Q_4 の 4 つのトランジスタを動作させるため、スイッチングによる損失が大きくなり、電力効率は落ちる。

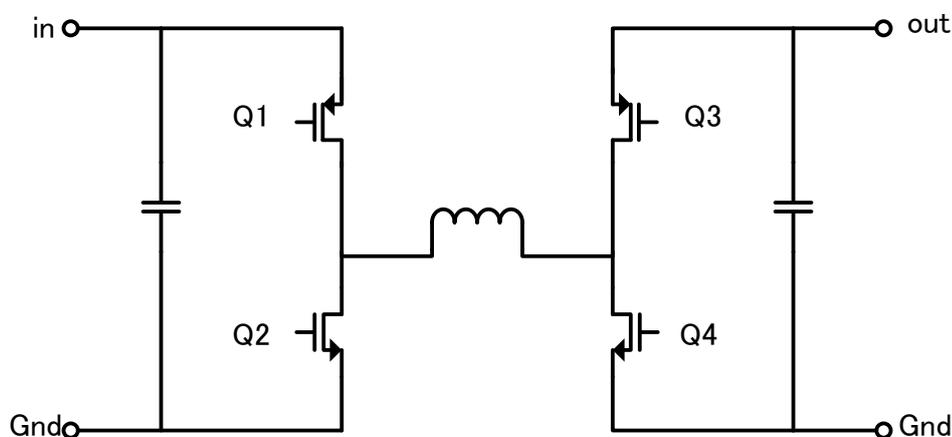


図 3-8 H ブリッジ型昇降圧 DC-DC コンバーター

3.5.4 動作モードを切り替えた昇降圧型 DC-DC コンバーター

図 3-8 の H ブリッジ回路の左半分 (Q_1 と Q_2) は、図 3-6 の降圧型 DC-DC コンバーター、H ブリッジ回路の右半分 (Q_3 と Q_4) は、図 3-7 の降圧型 DC-DC コンバーターと同じ形をしている。

目標とする出力電圧が電源電圧より低い時は、H ブリッジ回路を降圧型 DC-DC コンバーターとして動作させる (降圧モード)。降圧モードで動作している時、 Q_3 は常にオンであり、 Q_1 と Q_2 は交互にオンとオフを繰り返す。

次に、目標とする出力電圧が電源電圧より高い時は、H ブリッジ回路を昇圧型 DC-DC コンバーターとして動作させる (昇圧モード)。昇圧モードで動作している時、 Q_1 は常にオンであり、出力電圧を昇圧するために、 Q_3 と Q_4 は交互にオンとオフを繰り返す。

昇圧と降圧モードで動作している時、どの時間においても 2 つのトランジスタのみがオンとオフになるので、高い効率が得られる。インダクタの電流が連続であるとすると、昇圧と降圧動作時の出力電圧 V_o はそれぞれ、

$$V_o = \frac{T_{ON}}{T_{ON}+T_{OFF}} V_i \text{ (降圧モード)} \quad (3-1)$$

$$V_o = \frac{T_{ON}+T_{OFF}}{T_{ON}} V_i \text{ (昇圧モード)} \quad (3-2)$$

で表せる。ここで、 T_{ON} は Q_1 と Q_4 がオンとなっている時間であり、スイッチング周波数でのオンデューティである。 V_i は入力電圧である。

3.6 提案手法を用いた昇圧と降圧モードを有する D 級増幅器

提案手法を用いた昇圧と降圧モードを有する D 級増幅器を図 3-9 に示す。従来の D 級増幅器で用いられていたハーフブリッジ回路を図 3-8 の H ブリッジ回路に置き換えている。詳細な回路図を図 3-10 に示す。

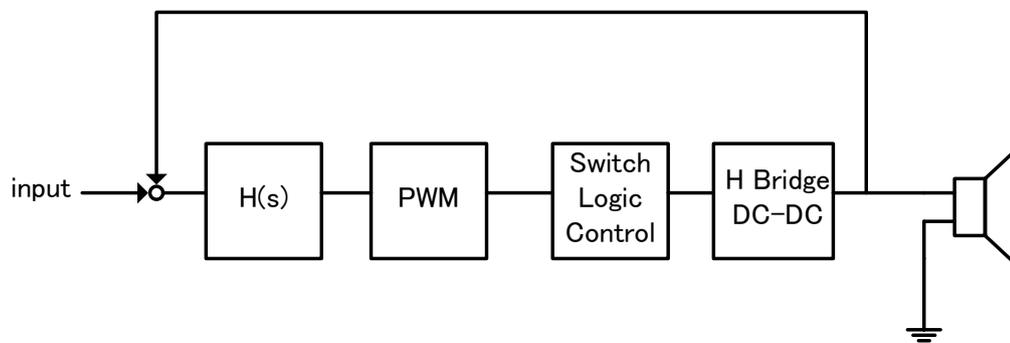


図 3-9 提案手法を用いた D 級増幅器のブロック図

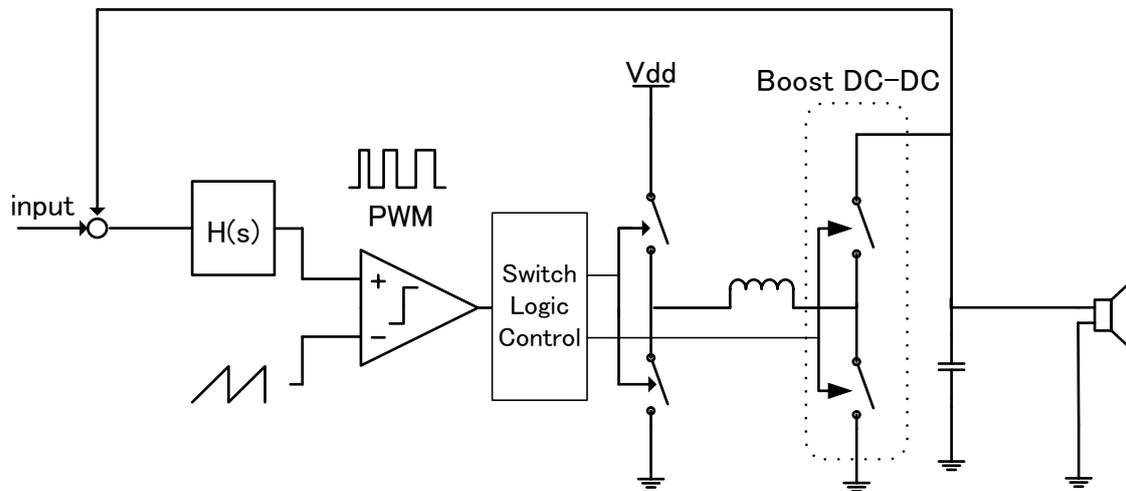


図 3-10 提案手法を用いた D 級増幅器の回路図

3.6.1 スイッチング信号の制御

H ブリッジ回路を駆動する PWM 信号は、図 3-11 に示す論理回路で生成される。ループフィルタの出力電圧が $V_{dd}/2$ より高い時、H ブリッジ回路は昇圧モードで動作する。対照的に、ループフィルタの出力電圧が $V_{dd}/2$ より低い時、H ブリッジ回路は降圧モードで動作する。ここで重要なのは、降圧モードと昇圧モードの切り替えが途切れることなく行われる必要がある。

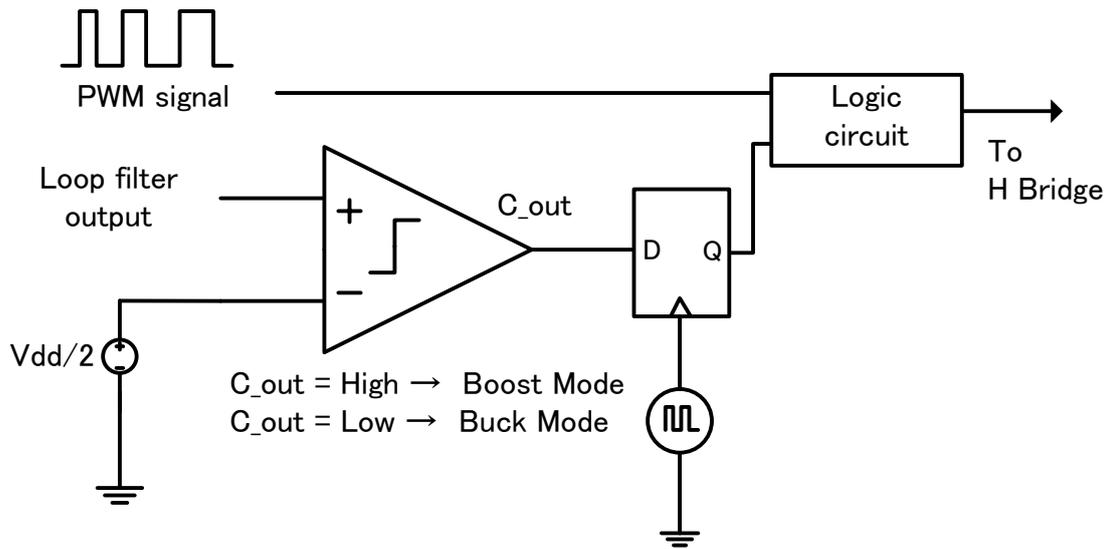


図 3-11 スイッチング信号の制御

3.6.2 PWM 生成回路

2つの動作モードを連続的に切り替えるために、PWM信号の生成に2つの鋸波を使う(図3-12)。ループフィルタの出力電圧が $V_{dd}/2$ より低い時、電圧範囲はGNDから $V_{dd}/2$ の鋸波を使う。インダクタの電流が連続であるとする、昇降圧モード動作における増幅器の出力電圧はPWM波形のデューティー比に依存する。理想的な鋸波を用いたとすると、式(3-1)と(3-2)より昇圧と降圧の動作は連続的に切り替えることができる。2つの鋸波を切り替えるタイミングは、クロック信号に同期したD型フリップフロップ(D-FF)を用いて、それぞれの鋸波が立ち下がるタイミングで切り替えている。

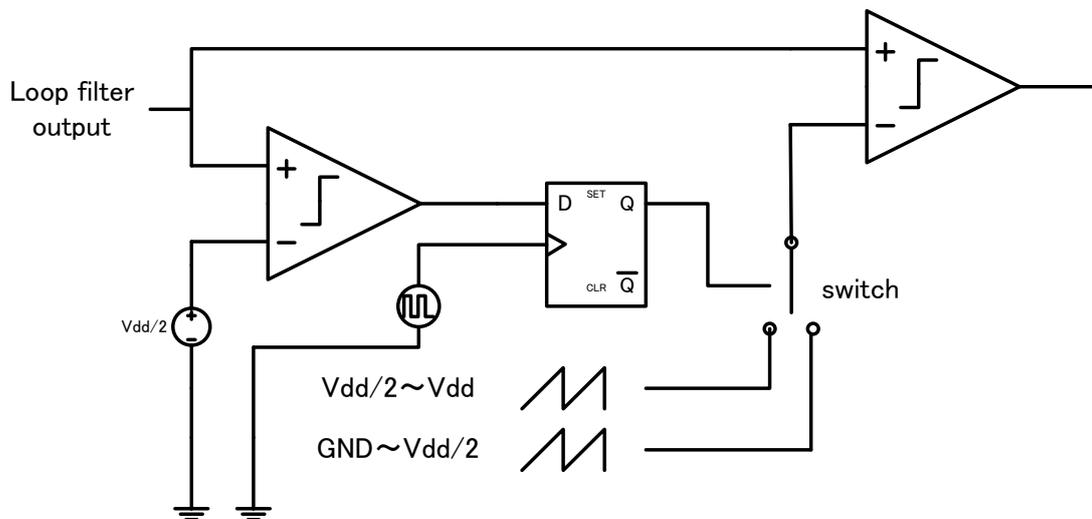


図 3-12 昇降圧型 PWM 生成回路

3.7 シミュレーション

提案した D 級増幅器を Spice シミュレーター (Cadence 社の Spectre) で行った。Spice モデルは TSMC 社の $0.35\mu\text{m}$ CMOS プロセスを用いた。提案方法の効果を確かめるために、シミュレーションでは論理回路と出力段のトランジスタ以外は理想素子を用いた。電源電圧は 3.3V である。出力電圧範囲は 0V から電源電圧の 2 倍までである。

シミュレーション回路を図 3-13 に示す。出力の電力と歪を改善するために、バランス構成の差動出力にしている。この回路にはフィードバックループがある。オペアンプを用いた 2 次の積分器は、ループフィルタとして働く。直流電流源 IDC は、出力ノードのコモンモード電圧を制御している。デッドタイム生成器 (Deadtime generator) は、H ブリッジ DC-DC (H Bridge DC-DC) と論理制御スイッチ (Switch Logic Control) の間に入れている。 Q_1 と Q_2 や Q_3 と Q_4 を通って V_{dd} から GND に流れる電流を防ぐために、図 3-14 に示す、デッドタイム生成回路で出力トランジスタを制御している。

回路半分の利得 G は、

$$G = \frac{R_2}{R_1} \cdot \frac{R_4}{R_3} \quad (3-3)$$

で表せる。シミュレーションでは、それぞれ $R_1=10\text{ k}\Omega$, $R_2=20\text{ k}\Omega$, $R_3=10\text{ k}\Omega$, $R_4=20\text{ k}\Omega$ としている。したがって、入力から出力への利得 G は式(3-3)より 4 となる。鋸波の周波数は、 2 MHz とした。提案した回路のシミュレーション波形を図 3-15 に示す。入力信号が 1 kHz , 振幅 1.65 V の正弦波の出力電圧は、 6.6 V となった。これより、電源電圧の 3.3 V より 2 倍高い出力電圧が得られた。シミュレーションの出力波形には、リップルが見られるが、可聴周波数よりもかなり高いため、問題はない。

出力のスペクトラムを図 3-16 に示す。この時の入力信号の正弦波の周波数は 1 kHz であり、振幅は 1.1 V である。従来の昇圧型 DC-DC コンバーターを用いた D 級増幅器のスペクトラムを比較のために点線で示している。従来型も提案型も同じテクノロジーである。

シミュレーションした回路の特性を表 3-1 に示す。従来の回路のシミュレーションには、 $500\text{ }\mu\text{F}$ と大きな平滑化キャパシタと $1\text{ }\mu\text{H}$ のインダクタを追加する必要がある。これらの電子部品を外部に素子として取り付ける面積を考慮するとかなり大きくなるが、提案回路には必要なく、回路サイズを減らすことができる。Signal-to-noise and distortion ratio (SNDR) は、従来の回路が 76.2 dB に対して、提案した回路は 85.0 dB となった。提案回路の電気特性は良く、追加の DC-DC コンバーターを必要とせず、電源電圧を超えた出力振幅を得ることができる。

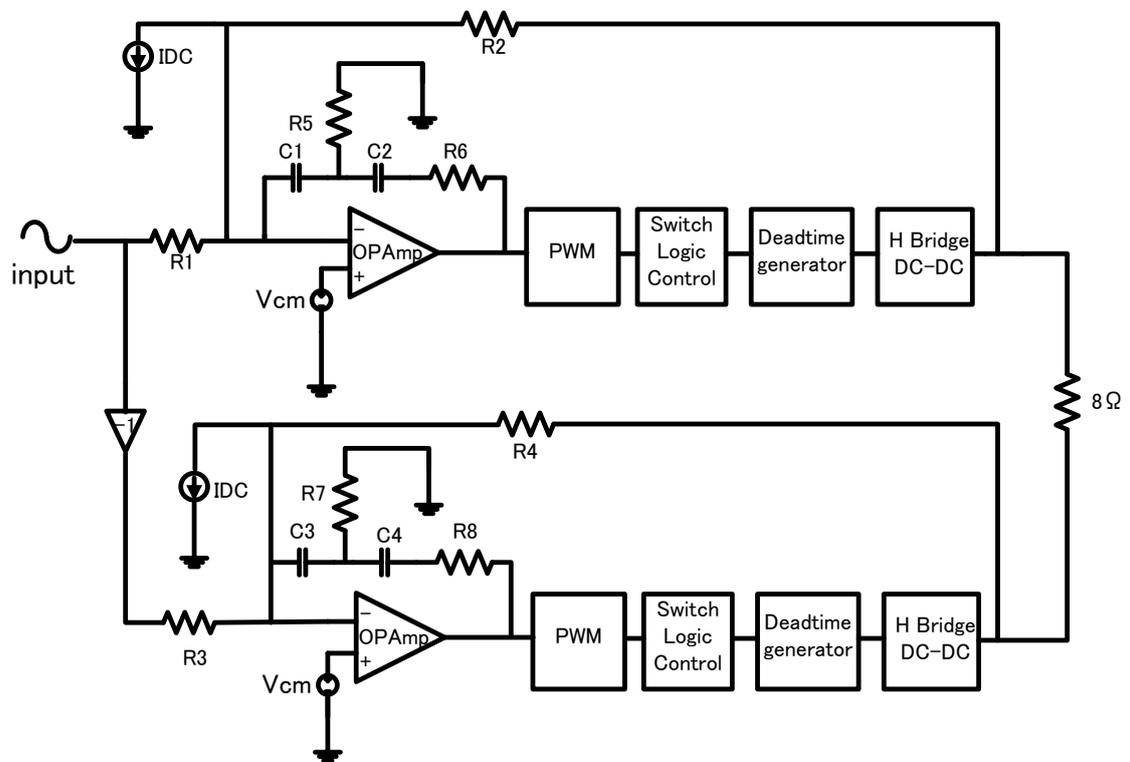


図 3-13 スイッチング電源回路を用いた D 級増幅器

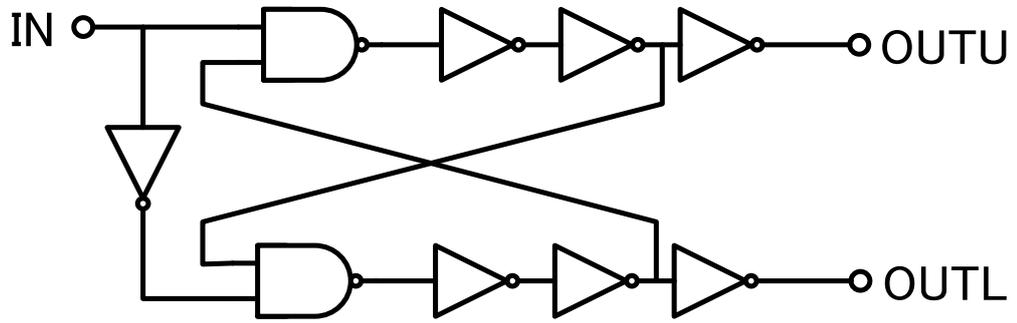


図 3-14 デッドタイム生成回路

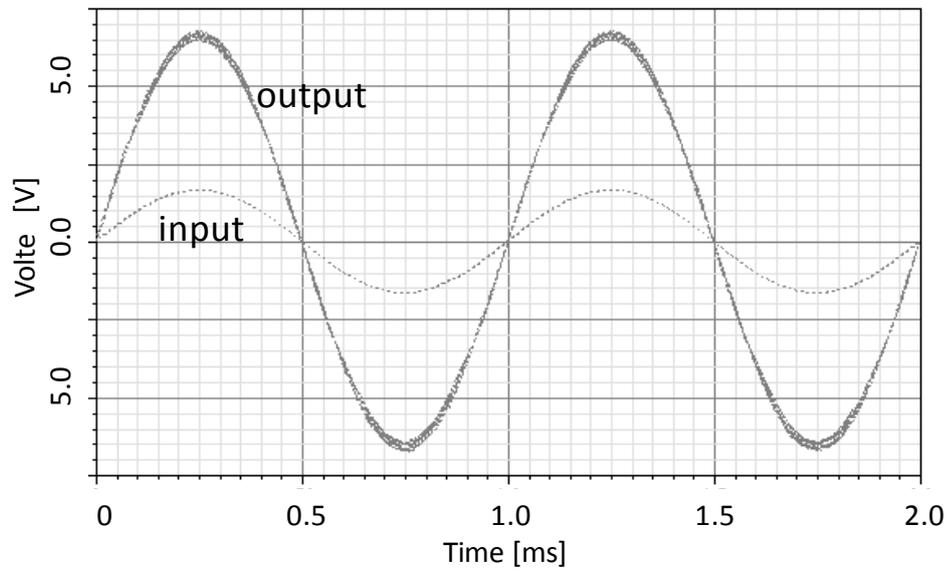


図 3-15 1 KHz 入力時の出力波形

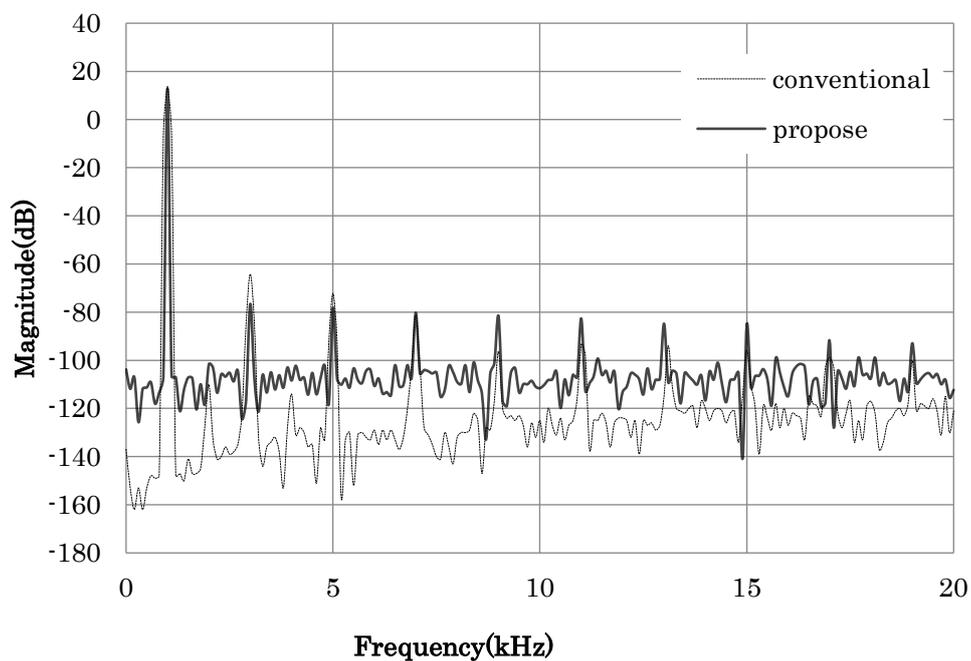


図 3-16 1 KHz 入力時の周波数スペクトラム

3.8 さらなる大出力化への対応

さらなる大出力化へ対応する際に、図 3-8 の回路では、スイッチング時のリングングの影響で回路が損傷する可能性がある。そこで、保護ダイオードを付けてトランジスタが壊れないようにする必要がある。図 3-17 に保護ダイオードを付けた H ブリッジ型昇降圧 DC-DC コンバーターを示す。

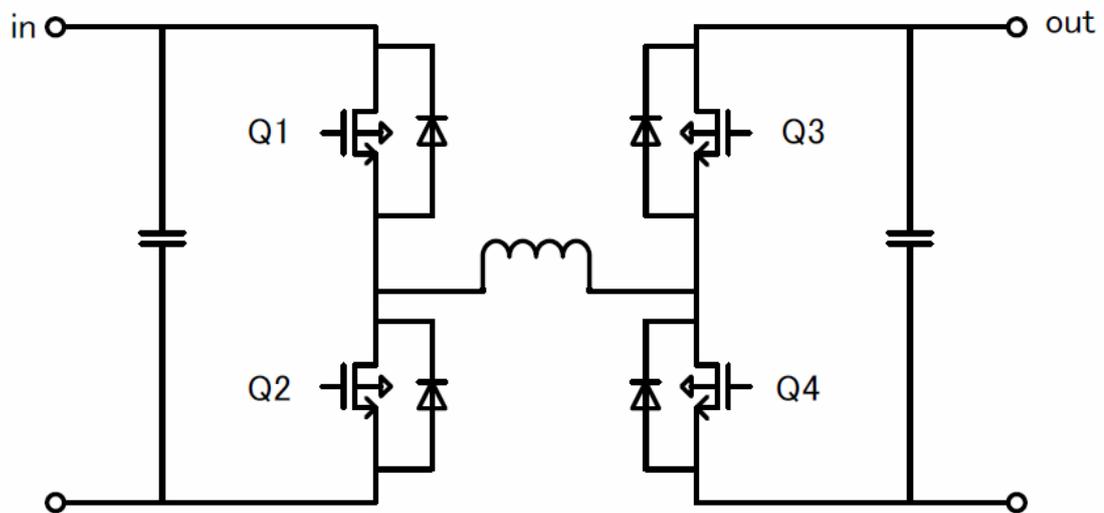


図 3-17 保護ダイオードを付けた H ブリッジ型昇降圧 DC-DC コンバーター

表 3-1 シミュレーション結果

	Conventional circuit	Proposed circuit
Power supply	3.3 V	3.3 V
SNDR (20kHz bandwidth)	76.2dB@Vin=1.1V	85.0dB@Vin=1.1V
SNR (20kHz bandwidth)	110.3dB@Vin=1.1V	103.5dB@Vin=1.1V
THD at 1kHz	0.014%@Vin=1.1V	0.0058%@Vin=1.1V
Switching frequency	2MHz	2MHz

3.9 まとめ

本章では，D 級増幅器で電源電圧より高い出力電圧が得られる構成法を提案した。

D 級増幅器は，スイッチングにより増幅を行っている。また，降圧型や昇圧型の DC-DC コンバーターも同様にスイッチングを利用している。この共通点から，回路構成は非常に似た回路である。そこで，スイッチング段のハーフブリッジ回路をフルブリッジ回路にすると降圧型と昇圧型を組み合わせた昇降圧型の DC-DC コンバーターになる。さらに，D 級増幅器に昇降圧型の DC-DC コンバーターを組み込むことで，スイッチング電源を内蔵した D 級増幅器を構成することができる。これにより，外部の昇圧回路が不要となり，回路規模を縮小することができる。また，出力電圧が高く取れるため，大出力化に適した回路である。

第4章

高出力デジタル直接駆動 スピーカーシステム

4.1 はじめに

日常でラジオやテレビの音声や録音された音楽を聴くとき、ラウドスピーカーやヘッドホンを使うことがほとんどである。ラウドスピーカーはオーディオアンプから出力された電気信号を空気振動に変換し、空間に放射して耳に音を届ける。ラウドスピーカーにはいくつかの種類があるがダイナミックスピーカーが一般的である。図 4-1 に示すダイナミックスピーカーの断面図を示す。ダイナミックスピーカーの背面にはマグネットと電気信号が流れるボイスコイルがある。ボイスコイルに信号を入力すると、フレミングの左手の法則により、ボイスコイルが振動する。この振動が振動板であるコーンに伝わり、コーンが空気を振動させて音に変換している。ダイナミックスピーカーの歴史は古く 1877 年頃に特許が取得されているが、基本的な形は大きく変わっていない[29,30]。より強力なマグネットの開発により小型化されてきているが、構造的に更なる小型化やフレキシブルにすることは難しい。しかし近年、新たな素材の開発により、今までになかった新しいスピーカーが登場しつつある[30-38]。 piezofilm や高導電性フィルムでできたスピーカーは、とても薄くフレキシブルという特徴がある。しかし、駆動するための電圧が非常に高く、1000 V 程度もしくはそれ以上が必要となる[39-44]。

ラウドスピーカーを駆動させるオーディオアンプはアナログ回路で構成されており、1000 V 以上の電圧を出力するためにはデバイスの耐圧が足りない。また、トランスを用いて昇圧できたとしても小型化することはできず、薄くフレキ

シブルを特徴とするスピーカーの利点を生かすことができない。そこで、高電圧出力に適したオーディオシステムとして、DDSP システムについて述べる。

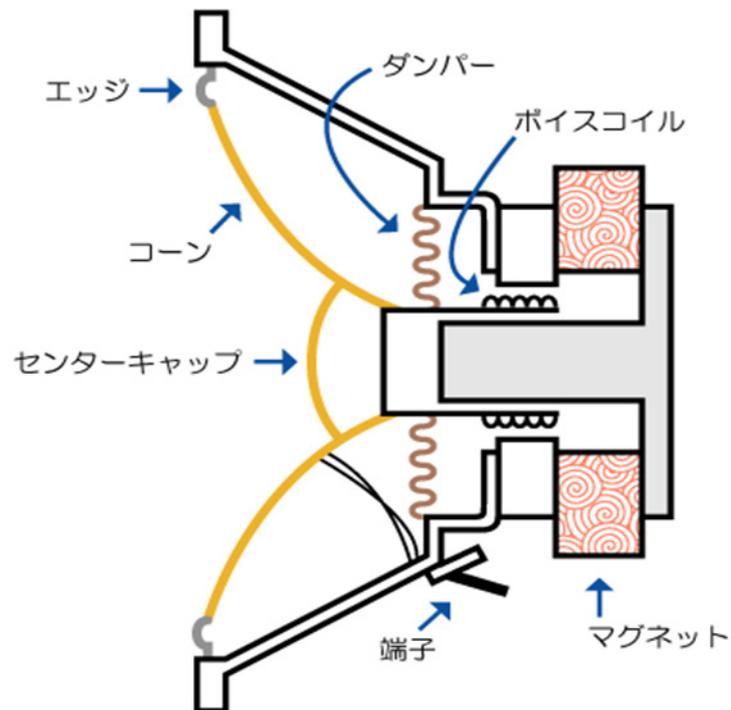


図 4-1 ダイナミックスピーカーの断面図

4.2 アナログオーディオ再生システム

オーディオ再生システムは、長い間ほぼアナログ回路で構成されてきた[45-47]。アナログなオーディオアンプには、従来の真空管、A級、B級、AB級、C級アンプに加え、最近では高効率なD級アンプが使われるようになってきている[46]。A級、B級アンプは、音質が良い反面、電力効率が悪いといった欠点がある。

ある。近年では、再生する音声や音楽などのデータの多くはデジタル化されているが、オーディオアンプはアナログ回路で構成されているため、デジタル信号のまま入力することができず、D/A変換器をアンプの前段に付けて、デジタル信号をアナログ信号に変換しなければならない。

D級アンプは、従来のアナログアンプと比較して、低パワー出力時のエネルギー効率が非常に高いことに特徴がある。一方、通常、音楽を再生している場合、アンプ出力は、ほとんどの時間で低パワー出力になっている。したがって、オーディオ内蔵携帯機器、すなわち、ノートブックPC、携帯電話、スマートフォン、CDプレーヤー等の電池寿命は、その機器が搭載しているオーディオアンプの低パワー出力時のエネルギー効率に大きく依存している。以上より、D級アンプは、電池寿命が重要なオーディオ内蔵携帯機器用アンプとして最適であり多くの機器で採用されている。D級アンプは、デジタル信号(パルス信号)の特徴を活かしているが、音声信号を純粹な“0”、“1”のデジタル信号として扱うわけではなく、変調したパルス信号を処理している。D級アンプの出力信号をそのままスピーカへの入力に使うことはできない。アナログ信号に再度変換し、スピーカへ入力できる信号となる。D級アンプで構成されるスピーカシステムは従来のA級、B級アンプで構成した場合とアナログフィルタ以外は同じである。そこで、近年急激に採用されているD級アンプを用いたオーディオ再生システムのブロック図を図4-2に示す。再生(増幅)したいCD等のデジタル音声信号は、D/A変換器で一旦アナログ信号に変換され、そのアナログ信号をD級アンプに入力する。D級アンプは、入力されたアナログ信号をパルス幅変調(PWM)またはパルス密度変調(PDM)し、パルス幅またはパルス密度に音声情報を付加したパルス信号を発生し、これらのパルス信号を処理して増幅を行っている。D級アンプから出力されたパルス信号は、ローパスフィルタ等のアナログフィルタを通して高周波成分を除去し、再びアナログ信号に変換され、ラウドスピーカへ入力される。しかし、このD級アンプは、純粹な“0”、“1”のデジタル信号ではなく、パルス幅またはパルス密度の異なるパルス信号を処理するため、その処理にはアナログ回路が使用される。一般にアナログ回路は大きな面積を必要とするが、D級アンプでは、さらに面積の大きなD/A変換器が必須であるため、D級アンプを搭載した

チップは面積が大きいという問題があった。また、D級アンプを用いたオーディオ再生システムでは、ラウドスピーカーを電源電圧よりも高い4V以上で駆動するため、昇圧回路の内蔵が必須になっていた[48,49]。

現在のオーディオアンプのほとんどが、入力信号に比例して電圧を出力するタイプの電圧駆動型である。オーディオアンプの出力電圧は、真空管で数百ボルト、トランジスタでは数十ボルトであり、携帯機器の場合はもっと低い電圧である。アナログのオーディオアンプで出力電圧を上げようとする、出力電圧範囲の全てにおいて歪まずに線形に出力する必要がある。しかし、出力電圧範囲が広がるとどうしても歪みが増えてしまう。したがって、アナログオーディオアンプで、高電圧でしか駆動できない新しいスピーカーを駆動することは難しい。

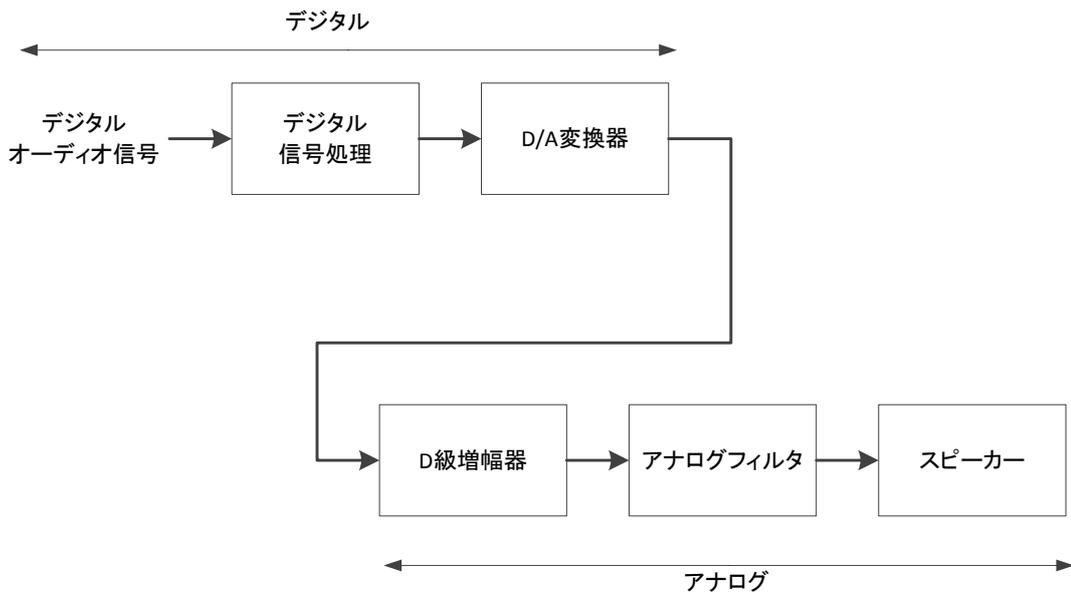


図 4-2 アナログ・スピーカー・システムのブロック図

4.3 デジタルスピーカーシステムの概要

DDSP システムの特徴は、ラウドスピーカーの駆動を含め、全て純粋な“0”，“1”のデジタル信号で動作する点である。全てデジタルで処理するため、従来のアナログ方式とは決定的に異なる仕組みとなっている。目に見えて最も異なる点は、モノラルの再生にラウドスピーカーが複数個必要となる点である。DDSP システムでは、最低 3 個以上のラウドスピーカーを組み合わせて使う。組み合わせるラウドスピーカーの数は、音量、スペース、音質、指向性、信号処理に必要な LSI の面積などを考慮して自由に選択することができる。本論文では、4 個から 8 個までのラウドスピーカーを組み合わせた場合を取り上げる。この組み合わせが自由な特徴から、スピーカーの数を増やして大出力化に対応できる。

DDSP システムでは、フルパワー出力時から低パワー出力時までの効率を、全て 80 %以上にでき、電池寿命が重要な携帯機器用オーディオシステムとして十分使用できる。また、DDSP システムは、全てデジタル信号で動作するので、通常のデジタル LSI/IC と同様、プロセス世代にしたがって低電圧化することが可能であり、昇圧回路等が一切不要である。また、D 級アンプを用いたシステムでは必須であった、大きな面積の D/A 変換器も必要ない。また、デジタル信号を処理する部分とスピーカーを駆動するためのドライバー回路とで分けることができるため、信号処理部は、デジタル回路のロジック電圧（例えば 1 V）の低電圧で駆動させつつ、ドライバー回路だけ超高電圧（例えば 1000 V）などで動作させることができる。つまり、出力電圧は“0”と“1”の 2 値が判別できればよく、途中の電圧レベルは関係ない。このような特徴から、DDSP システムは携帯機器などのバッテリーで動作する低消費電力が要求される機器から、高電圧をかけなければ動作しない新しいスピーカーまで対応することができる。

本章では、DDSP システムで使われている要素技術について説明し、従来の 2 値駆動の DDSP システムについて説明する。次に、音質改善と高電圧出力に適した、3 値駆動の DDSP システムについて述べる。

さらに、DDSP システムであるが、音質の面で問題があり、実用化が遅れていた。すなわち、従来の DDSP システムでは、DDSP システムを構成する複数の

ラウドスピーカーまたは複数のコイルのミスマッチにより発生するノイズ(全高調波歪)の影響で音質が劣化し、これが実用化を妨げていた。

そこで本論文では、この音質を改善するために、ディザを用いた3値駆動用3次ベクトルのミスマッチシェーパーを提案した。

DDSP システムは、入力からスピーカーの出力まで全てにおいて、純粋な“0”、“1”のデジタル信号のみで処理している。これにより、アナログアンプで必要だった D/A 変換器や D 級アンプのアナログフィルタが不要となり、回路規模の削減や、高い精度が必要なアナログ回路をなくすことができる。

以上の問題を解決するために、DDSP システムを用いたオーディオ再生システムの研究・開発が盛んになってきている[7, 50-63]。

4.4 基本的な DDSP システム

4.4.1 基本構造

図 4-3 に基本的な DDSP システムのブロック図を示す[56]。DDSP システムは、デジタル回路で構成される信号処理ユニットとサブスピーカーユニットからなる。この信号処理ユニットは、デジタルボリューム、マルチビット $\Delta\Sigma$ 変調器 (DSM) [64,65]、Noise Shaping Dynamic Element Matching (NSDEM) [66-72]、ドライバー回路で構成される。図 4-3 は、1 チャンネルのみの構成であり、モノラル出力である。ステレオで出力するためには、図 4-3 を 2 つ並列にする必要がある。

従来のアナログ・スピーカー・システムとの大きな違いは、スピーカーが複数個必要となる点である。DDSP システムは、デジタル信号で直接スピーカーを駆動するため、一つのスピーカーから出力される音は“0”と“1”に対応した音しか出ず、再生元のオーディオデータとはかけ離れた音としか聞こえない。そこで複数のスピーカーから同時に“0”と“1”に対応した音を出力し、空間またはスピーカー内部のコイルで合成することにより、耳に届いた時に元のオーディオデータ

と同じように聞こえるシステムになっている。

CDなどのデジタル化されたオーディオ信号は、最初にデジタルボリュームに入力される。デジタルボリュームで音量を調整された信号は、マルチビット $\Delta\Sigma$ 変調器に入力される。マルチビット $\Delta\Sigma$ 変調器に入力された信号は再量子化され、ノイズシェーピングをかけられる。マルチビット $\Delta\Sigma$ 変調器の出力信号 X は、NSDEMに入力される。NSDEMは、サブスピーカーのミスマッチにより発生するノイズを低減し、サブスピーカーの駆動信号を生成する。NSDEMより出力された駆動信号により、ドライバー回路がサブスピーカーをデジタル信号で直接駆動する。

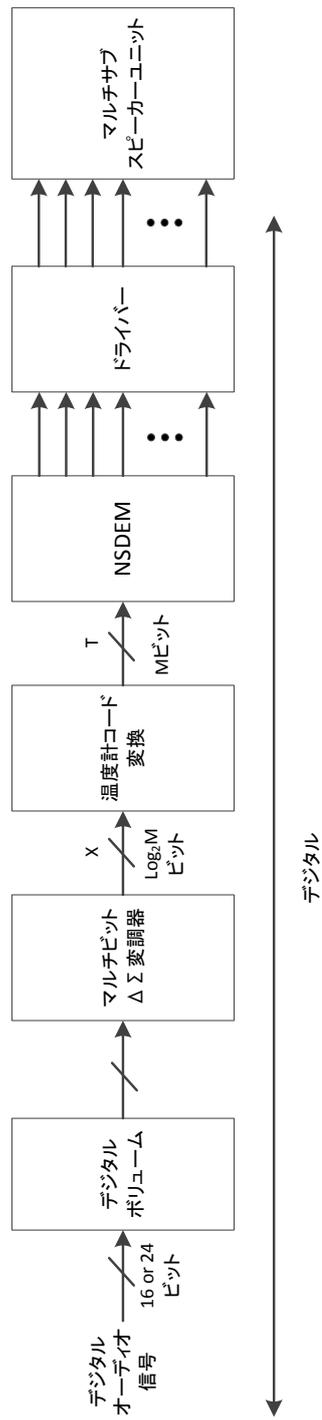


図 4-3 2 値駆動の DDSP システムのブロック図

4.4.2 マルチビット $\Delta \Sigma$ 変調器

マルチビット $\Delta \Sigma$ 変調器の役割は、ノイズを低減することである [55,66,68]。マルチビット $\Delta \Sigma$ 変調器を使うことで、スピーカークの駆動数を連続的に変化させることができる。マルチビット $\Delta \Sigma$ 変調器には次数があり、用途に応じて1次、2次、3次が使われることが多い。DDSP システムで用いるマルチビット $\Delta \Sigma$ 変調器も次数を選ぶことができ、2次や3次が使われている。マルチビット $\Delta \Sigma$ 変調器の次数によって、回路構成やノイズシェーピングの特性が大きく異なってくる。そこで、どの次数を選択するかが、重要なパラメータとなる。

2次の $\Delta \Sigma$ 変調器は安定性が高いが SNR は良くない。3次の $\Delta \Sigma$ 変調器は、安定性が悪いが SNR が良くなる。DDSP システムではマルチビットの $\Delta \Sigma$ 変調器を用いることができるので、安定性を改善でき、信号振幅をフルスケール付近まで入れられる。これにより、電源回路を簡単にでき、回路規模の削減に大きく寄与する。そこで、本チップのマルチビット $\Delta \Sigma$ 変調器は、3次を選択した。

DDSP システムでは、マルチビット $\Delta \Sigma$ 変調器の出力信号 X のビット数 N は、スピーカークまたはボイスコイルの個数 M と密接に関係している。出力信号 X のビット数 N とボイスコイルの個数 M の関係は、

$$N \geq \text{Log}_2(2M + 1) \quad (4-1)$$

となる。ただし、N は正の整数である。

4.4.3 温度計コード

マルチビット $\Delta \Sigma$ 変調器から出力される信号は、ビット数の低い2進数の信号として出力される。この出力信号は重み付けされておらず、そのまま出力デバイスのサブスピーカークに接続することはできない。そこで、サブスピーカークを選択・駆動するために、N ビットの信号 X を M ビットの温度計コードに変換する必要がある。温度計コードはスピーカークの個数 M と同じビット数となる。温度計コードの1ビットがスピーカークまたはボイスコイル1つと1対1で対応する。温度

計コードは重み付けされていないので、出力デバイスであるスピーカーやマルチボイスコイルは同じ素子を使うことができる。

$\Delta\Sigma$ 変調器から出力される信号を温度計コードに変換すると、下位ビットの使用頻度が高くなってしまう。そのため、温度計コードとスピーカーが1対1で関連付けられている DDSF システムでは、下位ビットのスピーカーは頻繁に使われるのに対し、上位ビットのスピーカーはほとんど使われなくなってしまう。複数のスピーカーの特性が全く同じであれば、使用頻度による問題は発生しないが、特性にばらつきがある場合、頻繁に使われる下位ビットのスピーカーの特性が音質に大きく影響してくる。これにより、出力された音に変化が生じ、音質劣化の要因となる。この問題を解決するために、Data-Weighted Averaging (DWA) アルゴリズムが用いられる[73,74]。DWA は、最後に使われたスピーカーをポイントとして覚えておき、次の信号では、最後に使われた次のスピーカーから使うようにするアルゴリズムである (図 4-4 参照)。

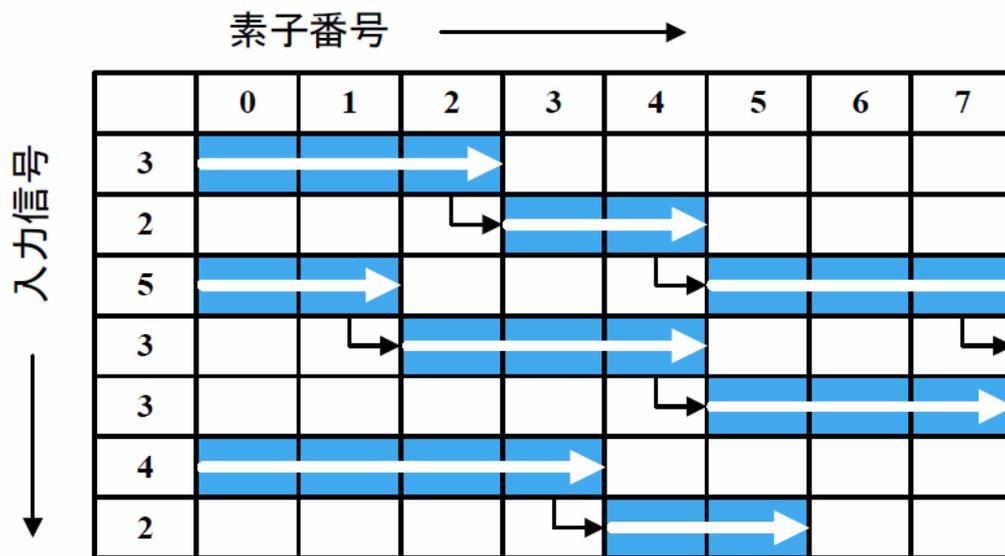


図 4-4 DWA の素子選択

4.4.4 NSDEM 回路

DDSP システムでは、複数のスピーカーを用いて“0”と“1”を出力しているため、スピーカーの特性ばらつきの影響を大きく受ける。全てのスピーカーの特性が同じであれば音質は劣化しないが、実際のスピーカーでは製造上のばらつきや使う頻度による特性の変化があり、音質が劣化する要因となっていた。そこで、NSDEM 回路を用いてこの問題を解決しつつ、更なる音質向上を図っている [68]。

図 4-5 に NSDEM 回路のブロック図を示す。NSDEM 回路に温度計コードを入力すると、出力素子（スピーカー）を駆動する信号を生成する。しかし、単純に温度計コードを変換しているのではなく、ソート・セレクト回路とループフィルタによる信号処理が行われた上で出力信号を生成している。

ソート・セレクト回路から出力された信号は、ループフィルタで積分され、ソート・セレクト回路にフィードバックされる。ソート・セレクト回路の出力信号は各スピーカーの選択信号と対応しているため、ループフィルタで積分された値は、各スピーカーが使われた回数となる。

ソート・セレクト回路は、ソート回路と選択回路で構成される。ソート回路は、ループフィルタで積分された値を小さい順に並べ替え、次に使うスピーカーの順番を決定する。そして、入力された温度計コードから決まる駆動するスピーカーの数に基づいて、セレクト回路から選択信号を出力している。

このように、NSDEM 回路では、温度計コードからの単純な変換だけでなく、スピーカーの mismatch により発生するノイズを低減するために、駆動するサブスピーカーを動的に決定する機能を有している。NSDEM 回路の動的決定機能を使わなくても、スピーカーを温度計コードで直接駆動することはできるが、

S/N はかなり悪くなってしまふ。

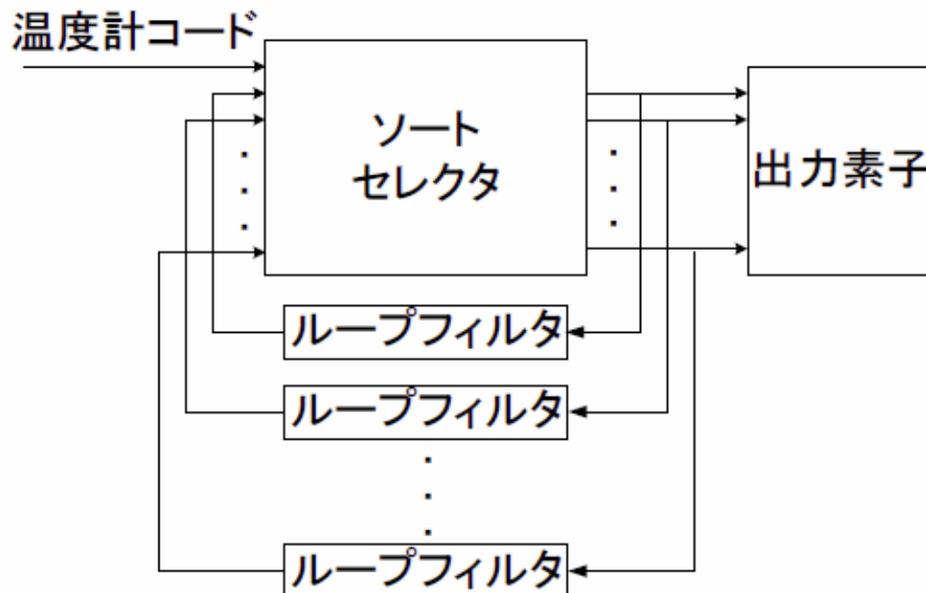


図 4-5 NSDEM のブロック図

4.4.5 ソート・セクタ回路

ソート・セクタ回路は NSDEM のブロックに入っているが、DDSP システムでは非常に重要な回路であるため、節を分けて記述する。

前述の通り、ソート・セクタ回路はどのスピーカーを駆動させるかを決定している。そのため、ソート・セクタ回路は次の信号が来る前に処理を終わらせ、信号を出力する必要がある。信号処理が間に合わないと、スピーカーに出力した際に再生したオーディオ信号を完全に再現できなくなってしまう。再生されたオーディオは人が聞くために、個人差はあるものの、駆動信号のタイミングのずれや信号の遅延は非常にシビアに感じられてしまう。そこで、ソート・セクタ回路には、高速なバイトニック・マージ・ソート回路[75]を使用した。

バイトニック・マージ・ソート回路のブロック図を図 4-6 に示す。図 4-6 は、

8 個のスピーカーがあると仮定し、8 入力・8 出力の構成となっている。I₁ から I₈ には、ループフィルタで積分されたサブスピーカーの使用回数の情報が入力される。I₁ から I₈ に入力された情報に、サブスピーカーのユニット番号を紐付けして並び替えを行っている。

図 4-6 中の一つの四角いブロックが、2 入力・2 出力のコンパレーターとなっている。

↓の四角いブロックは、2つの入力を比較し、大きい値を上側（実線側）に出力し、小さい値を下側（点線側）に出力する。

↑の四角いブロックは、2つの入力を比較し、大きい値を下側（点線側）に出力し、小さい値を上側（実線側）に出力する。

ソート・セクタ回路は、2種類のコンパレーターのブロックを6段組み合わせ構成されている。最終的には、カッコの中の数字で示したように、上から入力信号の値が小さい順に並び替えられる（図 4-6 の右端）。このように多段構成のバイトニック・マージ・ソート回路を用いることで、並び替えを並列化でき、DDSP システムで求められる性能を満たしている。

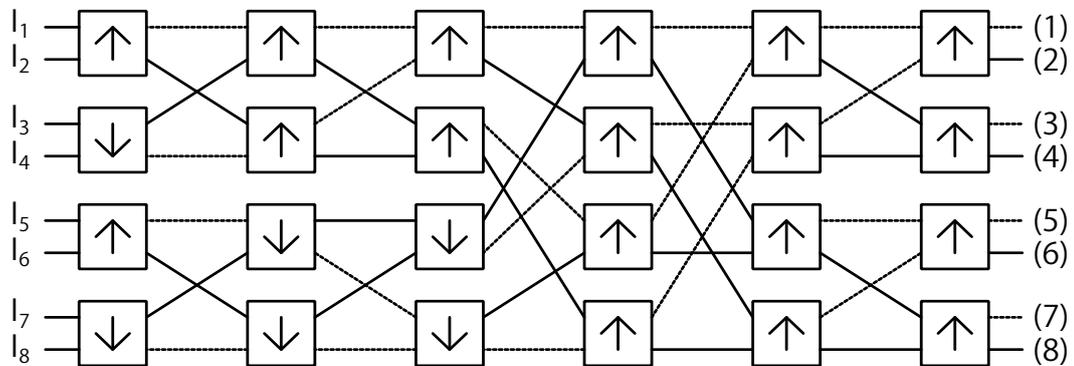


図 4-6 M=8 の時のソート回路のブロック図

4.4.6 ドライバー回路

ドライバー回路は、NSDEM から出力された信号を増幅し、スピーカーを駆動するための信号を作る。スピーカーを駆動するための信号は、“0”と“1”の2値であるため、ドライバー回路は、簡単なスイッチング回路で構成できる。ドライバー回路は、スピーカーを駆動するのに必要な電流を供給するとともに、デジタル信号をスピーカーにかける電圧に変換している。すなわち、デジタル信号が“0”であれば、接地電圧（GND：0V）を出力し、デジタル信号が“1”であれば、電源電圧 V_{dd} を出力する。ドライバー回路で出力電圧を決めているため、出力電圧を上げる必要がある場合は、ドライバー回路のみの電源電圧を上げるだけで対応できる。これより、デジタルボリュームから NSDEM までは電源電圧が低く、動作速度も速い微細プロセスを使うことができ、面積やコストの面で有利となる。したがって DDSP システムは、高出力にも適したシステムであると言える。

4.4.7 スピーカーユニット

前に述べたように、DDSP システムでは複数のスピーカーから音を出して空間やスピーカーのコイル内部で合成している。そのため、複数のスピーカーを一つにまとめたスピーカーユニットとして扱っている。スピーカー4個を一つにまとめたマルチ・サブスピーカー・ユニットを図4-7に示す。図4-7では、スピーカーが4個の場合であるが、もっと増やした構成をとることも可能である。マルチ・サブスピーカー・ユニットはスピーカーの数が増えると大きくなってしまいうため、設置する際に問題となる場合がある。また、イヤホンやヘッドホンのような携帯向けには適さない。

そこで、別のスピーカーユニットとして、マルチボイスコイルスピーカーが実用化されている。ボイスコイルが一つだけの一般的なスピーカー（図4-8）に対し、図4-9は一つのスピーカーに4個のボイスコイルを有する構造になっている。そして、入力端子もボイスコイルの数に対応した4個となっている。4個のコイルから生成される磁界がスピーカーユニットを駆動し、スピーカーユニット

からオーディオが再生される。マルチボイスコイルスピーカーは、小型・軽量化にも適しており、ヘッドホンにも採用されている。マルチ・サブスピーカー・ユニットと同様に、ボイスコイルの数は自由に変更可能である。

マルチ・サブスピーカー・ユニットは空間で音を合成するのに対して、マルチボイスコイルスピーカーは電氣的に音を合成している。マルチ・サブスピーカー・ユニットは既存のスピーカーを利用できるのに対して、マルチボイスコイルスピーカーは新しく作らなければならない。しかし、新しく作るためのコスト増はそれほど大きくはなく、どちらの方式を使うかはアプリケーションにより判断することになる。

以上、DDSP システムで使えるスピーカーについて述べてきたが、どちらの方式のスピーカーユニットを用いても DDSP システムの動作に違いはない。そこで、説明をしやすくするために、これ以降は、どちらの方式もスピーカーユニットと記述する。

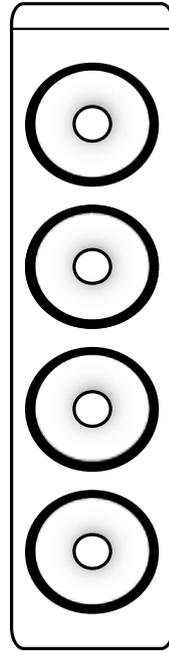


図 4-7 マルチ・サブスピーカー・ユニット (M=4)

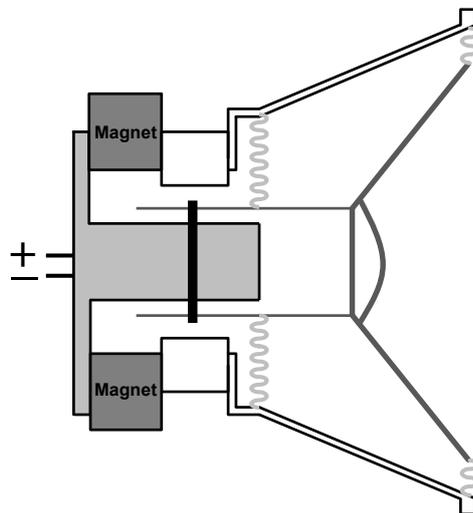


図 4-8 一般的なスピーカー

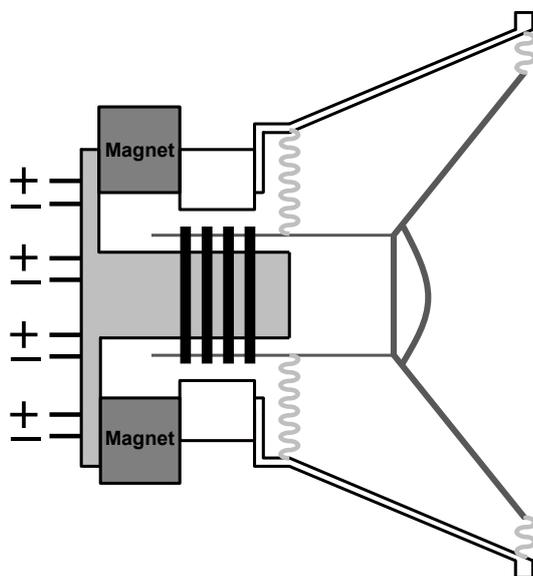


図 4-9 マルチボイスコイルスピーカー（4 コイル）

4.5 大出力化に適した 3 値駆動 DDSP システム

前節までで DDSP システムで用いられている基本的な技術について概説した。前節までの DDSP システムは、出力が“0”と“1”の 2 値であった。出力を電圧レベルに変換すると、0 V と V_{dd} となり、出力電圧範囲は V_{dd} となる。よって、出力電圧を大きくしたい場合は、出力電圧に比例した電源電圧をドライバー回路に供給する必要がある。

そこで、大出力化に適した、3 値駆動の DDSP システムについて述べる。図 4-10 に 3 値駆動の DDSP システムのブロック図を示す。3 値駆動にするために、図 4-3 の 2 値駆動のドライバー回路を H ブリッジ回路に、それに伴い NSDEM を 3 値レベルの NSDEM へと変更している。図 4-3 にあった温度計コード変換ブロックは、3 値レベルの NSDEM に統合されている。

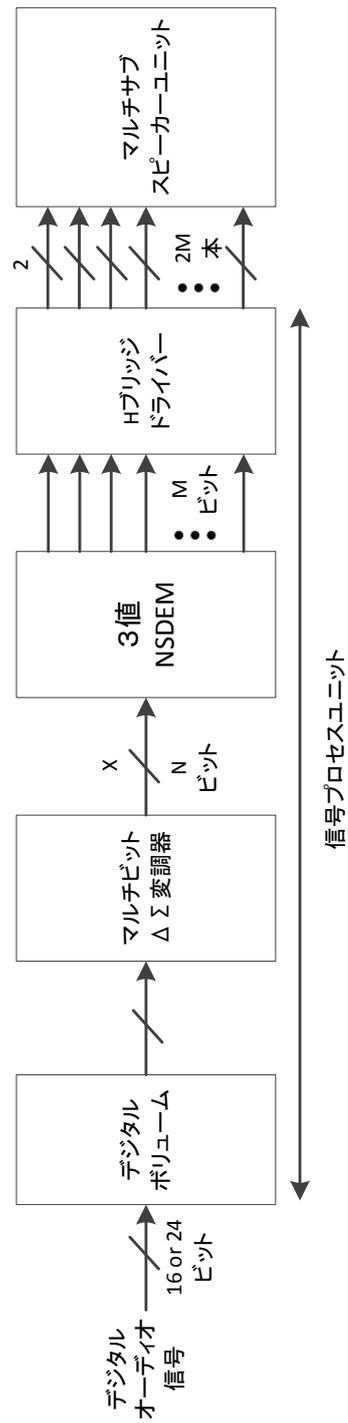


図 4-10 3 値駆動の DDSP システムのブロック図

4.5.1 Hブリッジドライバー回路

図 4-11 に H ブリッジドライバー回路を示す。H ブリッジドライバー回路には、 V_{dd} と GND が接続されており、スイッチ SW1 から SW4 のオンとオフの組み合わせで真ん中にあるスピーカーに与える電圧の組み合わせを変更することができる。

H ブリッジが取れる組み合わせを図 4-12 に示す。

SW1 と SW4 をオフ、SW2 と SW3 をオンにすると、スピーカーの \oplus 端子に 0 V、スピーカーの \ominus 端子に V_{dd} が印加され、これを“-1”とする（図 4-11 の左）。

次に、SW1 と SW3 をオフ、SW2 と SW4 をオンにすると、スピーカーの \oplus 端子に 0 V、スピーカーの \ominus 端子にも 0 V が印加され、これを“0”とする（図 4-11 の中央）。さらに、SW2 と SW4 をオフ、SW1 と SW3 をオンにすると、スピーカーの \oplus 端子に V_{dd} 、スピーカーの \ominus 端子にも V_{dd} が印加される。この場合、スピーカーにかかる電圧は 0 V であり、スピーカーから音は出力されない。そのため、図 4-11 の中央と同じであるため、この条件は使わない。

最後に、SW2 と SW3 をオフ、SW1 と SW4 をオンにすると、スピーカーの \oplus 端子に V_{dd} 、スピーカーの \ominus 端子に 0 V が印加され、これを“1”とする（図 4-11 の右）。

以上より、H ブリッジドライバー回路でスピーカーを駆動した場合には、3つの状態を作り出すことができる。ここから H ブリッジをドライバー回路に用いた DDSF システムを 3 値駆動 DDSF システムと呼んでいる。

H ブリッジドライバー回路は、スピーカーを駆動するのに必要な電流を供給するとともに、デジタル信号をスピーカーにかける電圧に変換している。すなわち、デジタル信号が“-1”であれば、 $-V_{dd}$ を出力し、デジタル信号が“0”であれば、0 V を出力し、デジタル信号が“1”であれば、 V_{dd} を出力する。

2 値の場合の出力電圧範囲が 0 から V_{dd} であったのに対して、3 値の場合は一 V_{dd} から V_{dd} となる。H ブリッジにして 3 値にすることで、電源電圧を変更することなく 2 値の 2 倍の出力電圧を得ることができるようになる。

2 値の場合と同様に、出力電圧を上げる必要がある場合は、H ブリッジドライバー回路のみの電源電圧を上げるだけでよい。

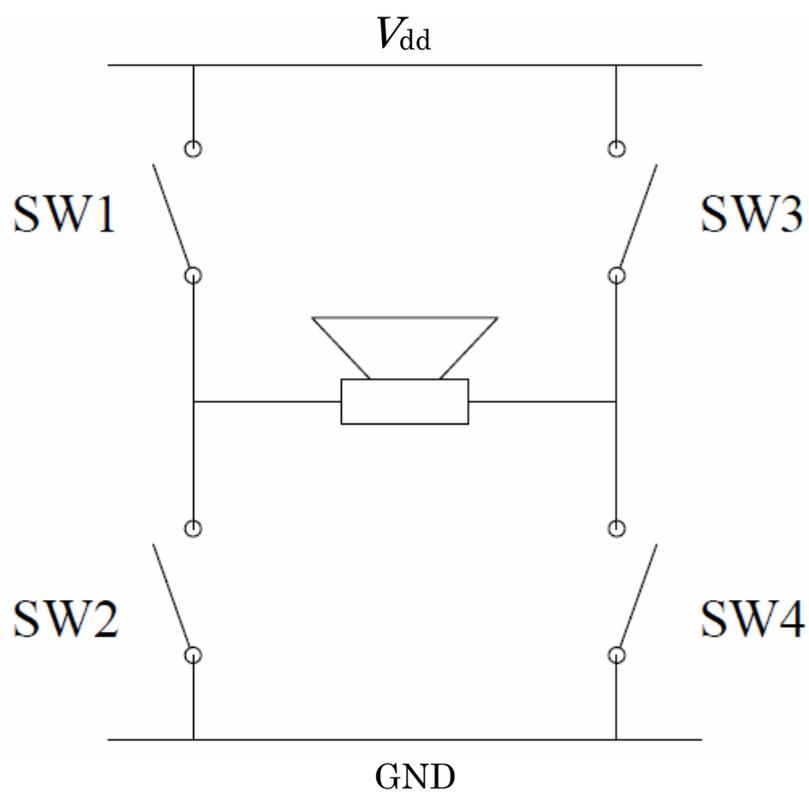


図 4-11 H ブリッジドライバー回路

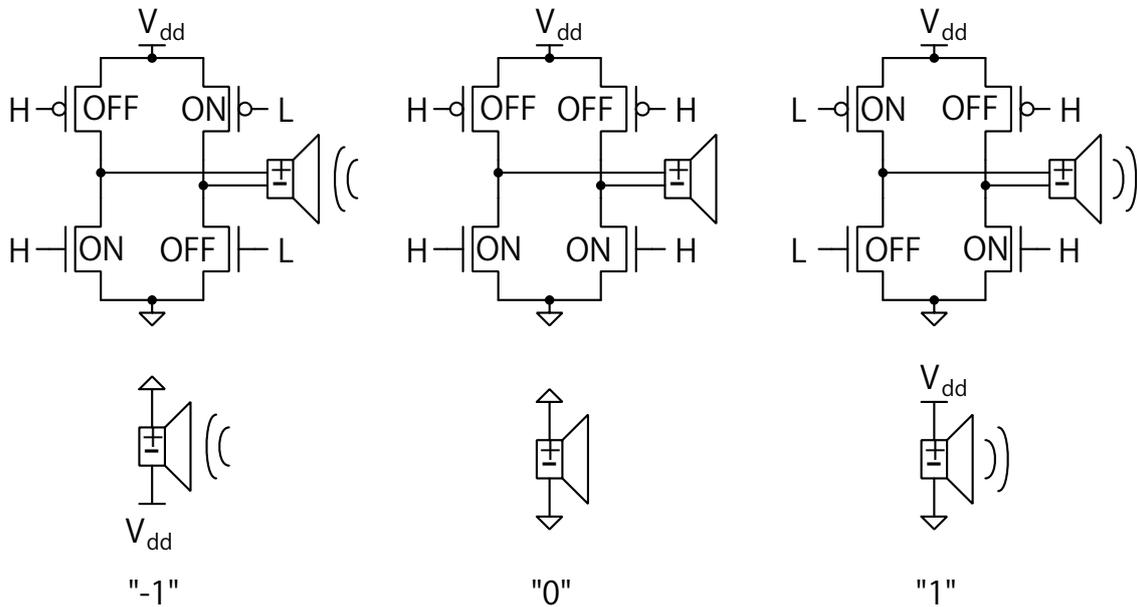


図 4-12 3つの状態をとれる H ブリッジ

4.5.2 H ブリッジ制御回路

H ブリッジドライバー回路には、貫通電流が流れやすいという問題がある。図 4-11 の H ブリッジで、SW1 と SW2 や SW3 と SW4 の切り替えのタイミングが少しでも重なっていると、貫通電流が流れ無駄に電力を消費してしまう。そこで切り替えのタイミングを調整するための、H ブリッジ制御回路が必要となる。

H ブリッジドライバー回路と H ブリッジドライバー回路を制御する回路を図 4-13 に示す。H ブリッジ制御回路は、AND、OR、NOT 回路で構成され、H ブリッジの右半分 (SW3 と SW4) と左半分 (SW1 と SW2) にそれぞれ接続されている。これにより、貫通電流が流れるのを防ぎ、消費電力を低減している。

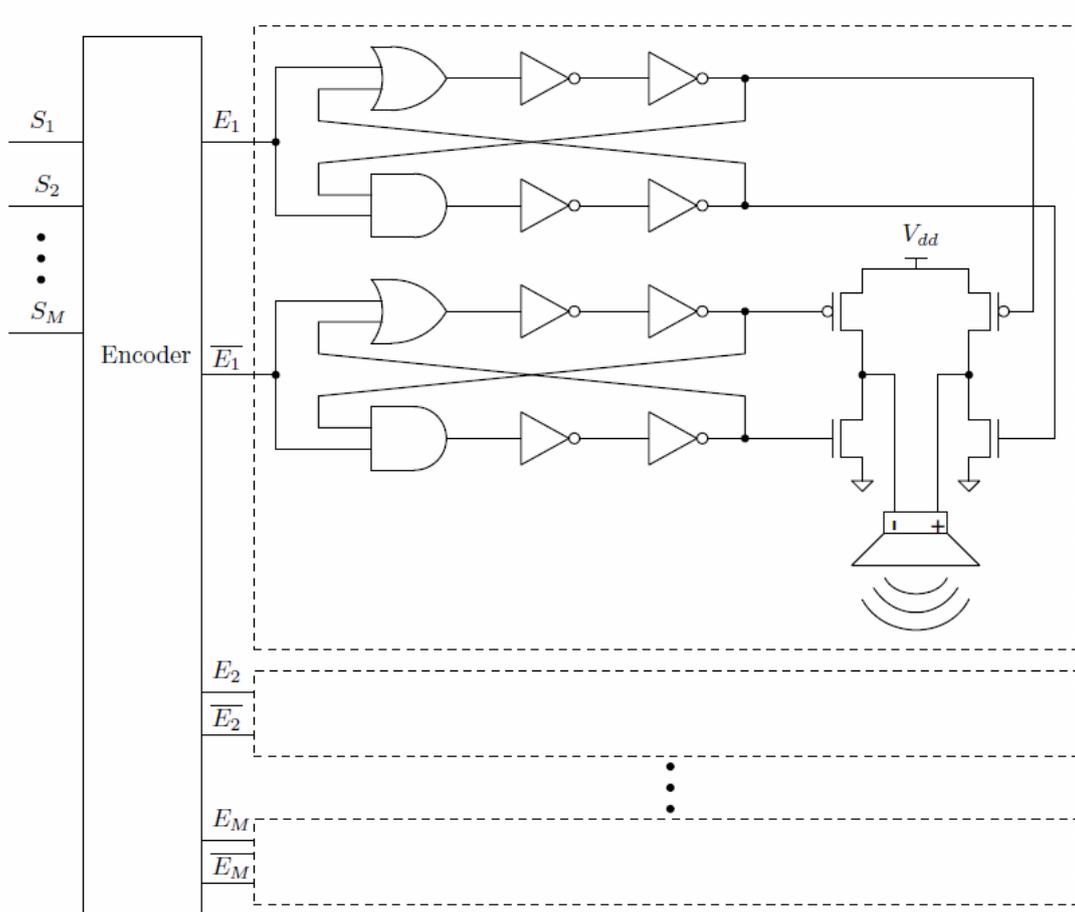


図 4-13 Hブリッジドライバー回路と Hブリッジ制御回路

4.5.3 3 値 NSDEM

H ブリッジ回路を導入し、スピーカーを 3 値駆動にするためには、H ブリッジ回路の前段の NSDEM も 3 値に対応させる必要がある (図 4-10 参照)。図 4-14 に 3 値 NSDEM と H ブリッジ回路を示す。基本的な構成は 2 値の NSDEM と同じであるが、図 4-14 の X from DSM から上側と下側でソート回路とループフィルタが 2 経路に分かれている。セレクタ回路の出力 SI_M は“-1”, “0”, “1”の 3 値を有している。 SI_M が 0 より大きい場合は、上側のループフィルタで加算される。一方、 SI_M が 0 より小さい場合は、下側のループフィルタで減算される。このように、プラス側とマイナス側の両方でループフィルタの積分値を同じにしている。この変更により、H ブリッジ回路を 3 値駆動できるようになった。

図 4-14 の DDSP システムでスピーカーユニットを動作させた場合に取りうる組み合わせを図 4-15 に示す。ここでは、スピーカーの数は 4 個としている。スピーカーの下に書いてある数字は、スピーカーの出力を単純に足した数である。左端のマイナスの出力が 4 個から右端のプラスの出力まで、全部で 9 通りの音を出力できる。2 値駆動の場合は、プラスの出力しかなかったため、0 から 4 までの 5 通りの出力であったのに対し、3 値駆動では、9 通りまで出力できるようになっている。

スピーカーを M 個組み合わせると、スピーカーユニットから出力される音の組み合わせは $2M+1$ 通りとなる。この組み合わせから音を合成している。

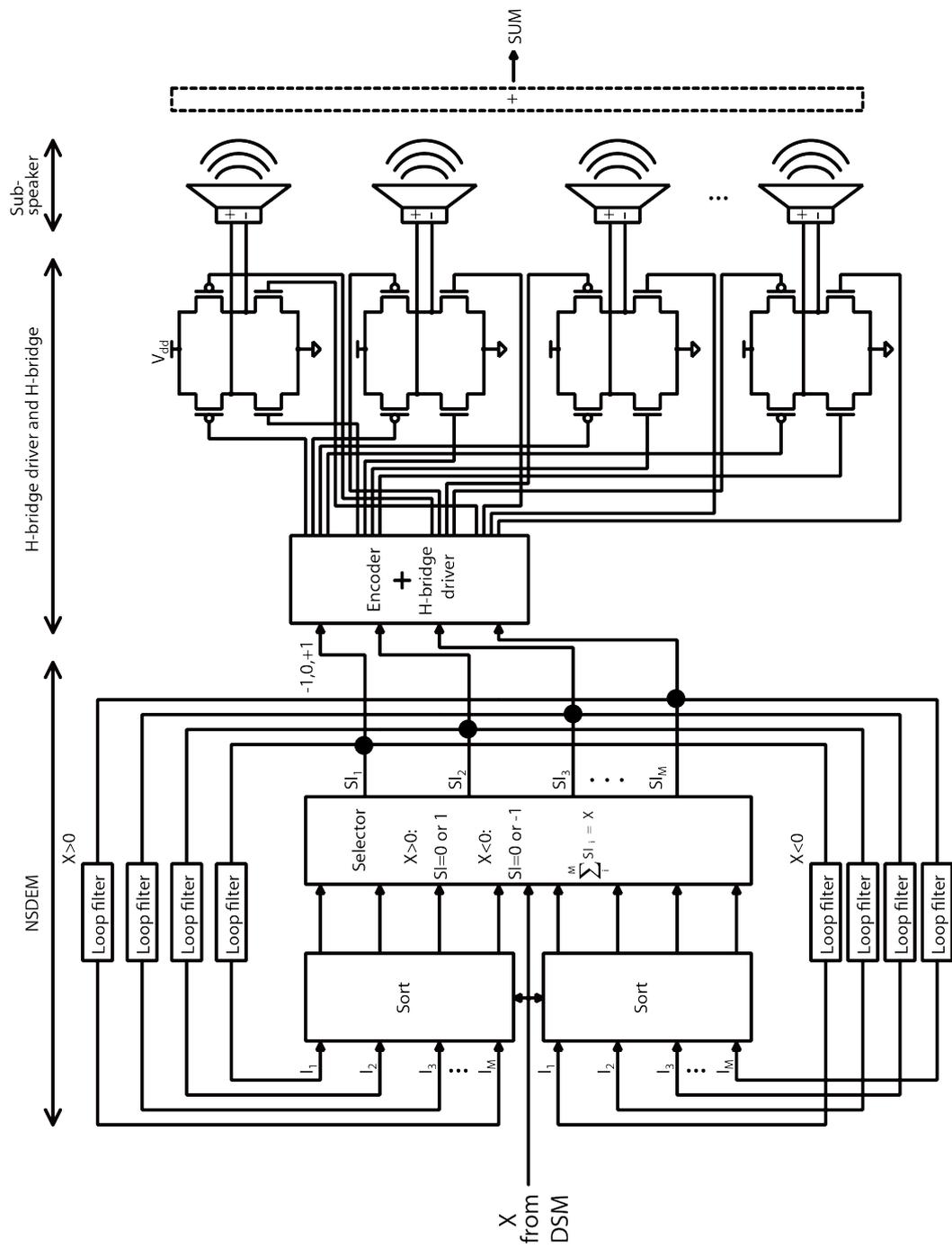


図 4-14 3 値 NSDEM と H ブリッジ回路

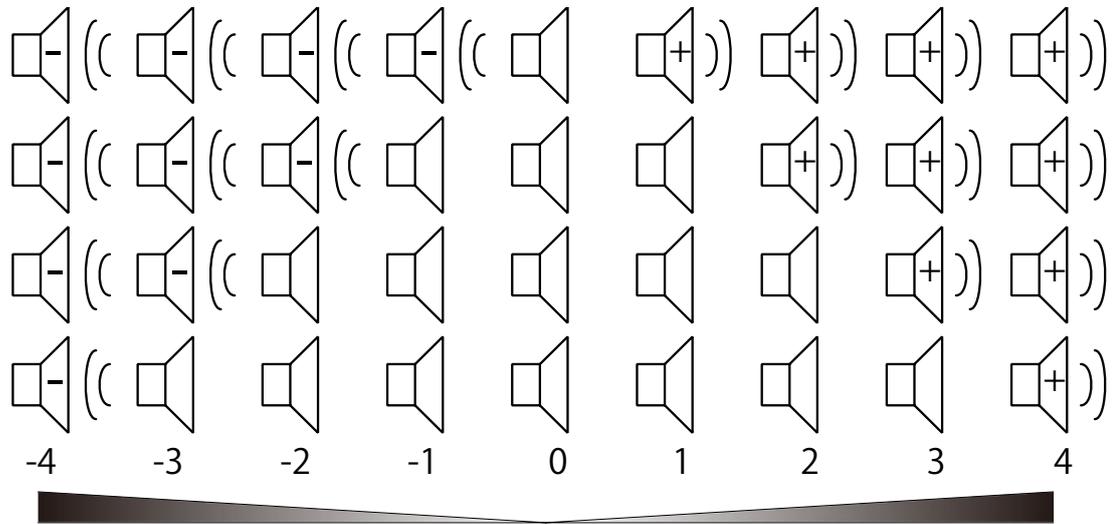


図 4-15 DDSP システムの出力の組み合わせ

4.6 DDSP システムの利点

DDSP システムを採用する利点としては、次の 4 点が挙げられる。

1. DDSP システムは、従来アナログ信号で駆動していたスピーカーを純粋なデジタル信号で駆動するため、単一電源(5 V や 3.3 V など)で駆動できる。
2. 低電圧化できるので、微細プロセスが使える。
3. 微細プロセスを使うことで、更なる高速化が実現でき、スイッチングロスが減り、高効率にできる。
4. 出力パワーに応じて使用するスピーカーの数、またはコイルの数が必要最小限に自動で制御されるので低消費電力化が可能。(図 4-15 参照)
5. 出力信号は、スイッチングで増幅すればいいので、出力電圧を上げるのが簡単であり、大出力化に対応しやすい。

4.7 DDSP システムの問題点

大出力化のために H ブリッジを採用し出力電圧の範囲を増やしたが、これにより S/N が悪化してしまう問題が生じる。

4.8 提案する DDSP システム

4.8.1 構成

本論文で提案する DDSP システムを図 4-16 に示す。

図 4-10 の 3 値駆動 DDSP システムと大きく異なるのは、NSDEM にゼロ・バリエーション・ディザ (ZVD : Zero Variant Dither) を導入した点である。ZVD 以外は従来と同じである。

前述のように、NSDEM は選択されたスピーカーの使われた回数を元に、次に使うサブスピーカーをシャッフルしながら選択していく。これにより、全てのサブスピーカーの使用回数を平均化し、S/N を改善している。しかし、図 4-15

に示されるように、出力パワーが小さいときは、使われるサブスピーカも 1 ないしは 2 個と少なくなる。使われるサブスピーカが少ないと、全てのサブスピーカが選択されるまでに長い時間がかかってしまい、人の耳の時間分解能の下限から決まる有限期間内での使用回数を正確に平均化するのは困難となる。もし、時間間隔が時間分解能より長くなってしまうと、平均化は実際実現しない。これにより、NSDEM の本来の機能が発揮できず、S/N の悪化につながってしまう。

このような低出力パワー時の S/N を改善するために、ディザ信号（ダミー信号）を入れる方法を考案した。

NSDEM にディザ信号を処理する ZVD を組み込んだブロック図を図 4-17 に示す。ZVD では、スピーカを選択する回数が少ないときに、ディザ信号を入れるようにしている。ディザ信号は 1 と -1 の対となっており、その和は常に 0 となり、結果として聞こえる音には、何も影響を与えないことになる。

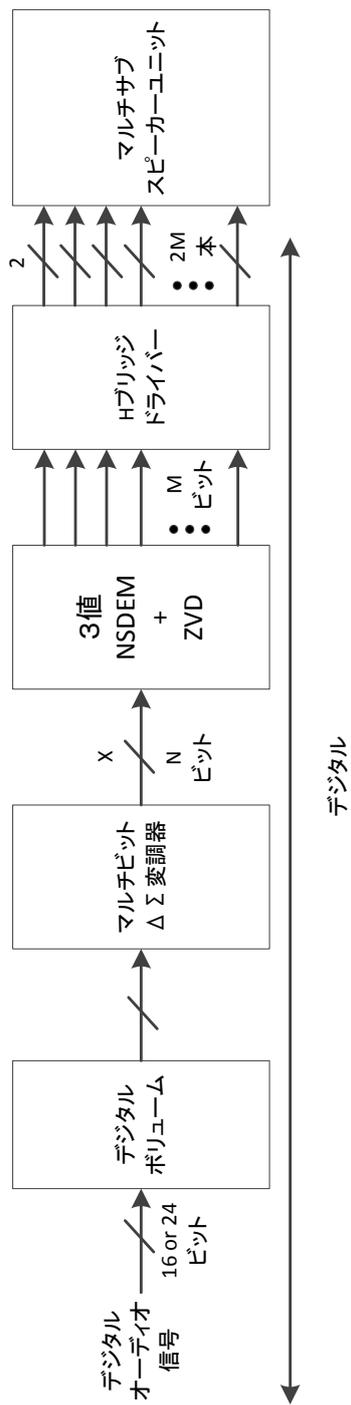


図 4-16 提案する DDSP システム

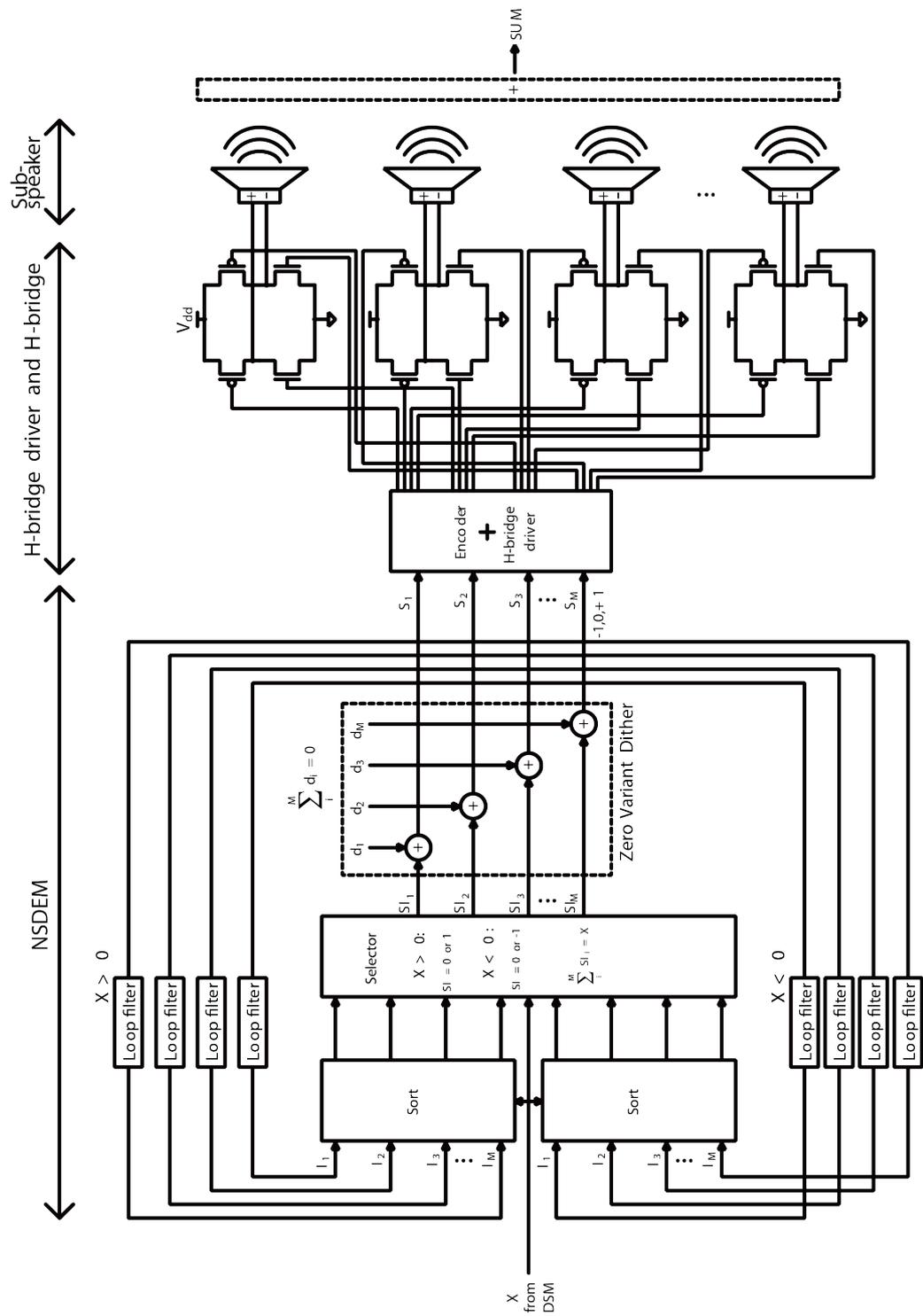


図 4-17 ZVD を組み込んだ 3 値レベルの NSDEM

4.8.2 タイミングチャート

具体的な動作を説明するために、波形をタイミングチャートに示す。タイミングチャートの横軸は時間である（任意目盛：Arbitrarily Unit）。

図 4-18 から図 4-23 は、従来の 3 値駆動 DDS（図 4-10）のタイミングチャートである。サブスピーカークの数は 4 個 ($M=4$) とし、デジタル信号で駆動している。

出力パワーが大きい場合について述べる。図 4-18 は、 $\Delta\Sigma$ 変調器からの出力信号 X を示している。ただし、図 4-18 では、出力信号 X は既にデコードされ、サブスピーカークの数に対応したレベル、 $2M+1$ (-4 から 4) へと変換されている。図 4-18 の出力信号 X は、従来は一旦温度計コードに変換され、その後 NSDEM でシャッフリングされていたが、図 4-14 の DDS では、温度計コード変換とシャッフリングが同時に並行して行われている。

しかし、以下では、動作原理をわかりやすくするために、温度計コードの変換（擬似温度計コード）とシャッフリングが別々に行われているとして図示している。

図 4-18 の出力信号 X を擬似温度計コードに変換すると図 4-19 のようになる。 SI_1 から SI_4 は、サブスピーカークの駆動信号を表している。サブスピーカークは図 4-12 で示されるように、“-1”、“0”、“1”の 3 値で駆動されるので、 SI_1 から SI_4 の信号も 3 値となる。

図 4-19 の信号を NSDEM でシャッフリングし、スピーカークを駆動させる信号を生成する。

図 4-20 にスピーカークの駆動信号を示す。このように出力パワーが大きい場合は、 S_1 から S_4 に接続されたスピーカークが順次使われる。これにより、短時間の間に、全てのスピーカークが均等に使われる。

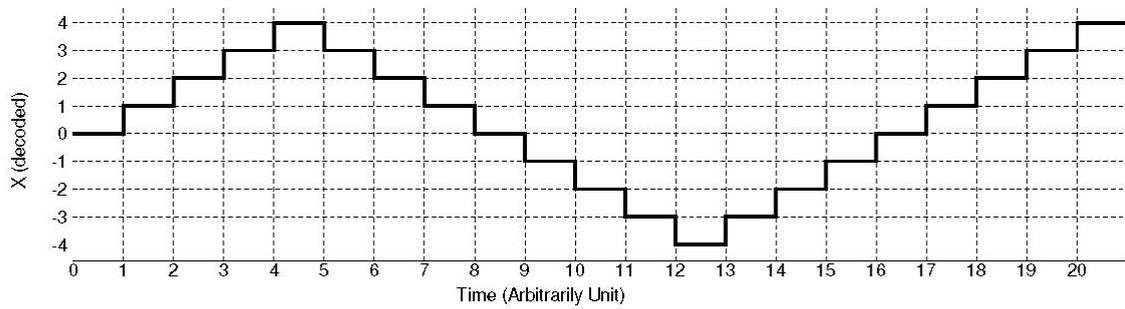


図 4-18 $\Delta\Sigma$ 変調器からの信号 X

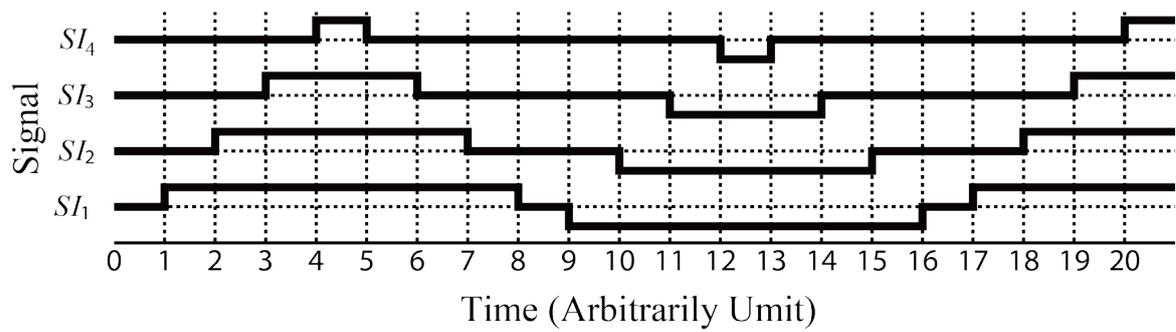


図 4-19 信号 X から変換した疑似温度計コード

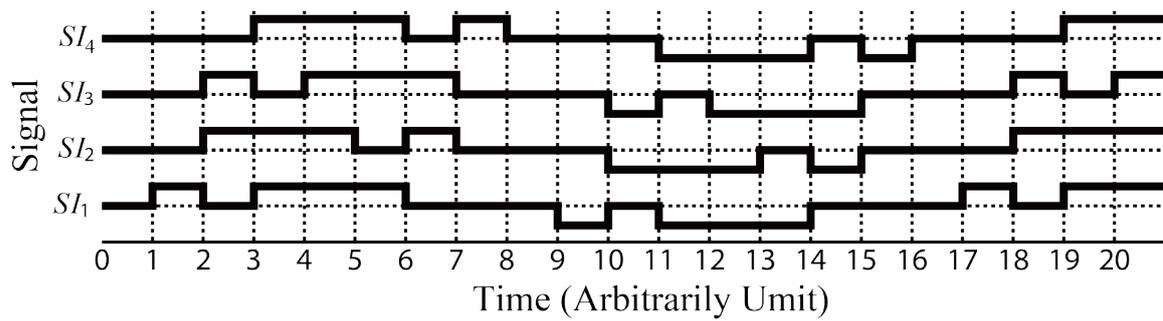


図 4-20 出力信号

次に、出力パワーが小さい場合について述べる。

DSM からの出力信号 X は図 4-21 に示すように、まばらな間隔で、 -1 と $+1$ レベルの信号が出力されているとする。

図 4-21 の出力信号 X を擬似温度計コードに変換すると、図 4-22 となる。図 4-22 の擬似温度計コードは、従来の DDSF システム (図 4-10) から NSDEM を外した場合のスピーカークの駆動信号と同じになる。SUM は SI_1 から SI_4 の信号を足し合わせた信号であり、最終的に変換される信号を表している。図 4-22 より、NSDEM がない場合は、 S_1 の信号のみが使われ、 S_2 から S_4 の信号は全く出力されない。

次に NSDEM がある場合の擬似温度計コードを図 4-23 に示す。NSDEM の働きにより、 S_1, S_2, S_3, S_4 と順繰りに、使われるスピーカークが移動していく。しかし、全てのスピーカーク (S_1 から S_4) が使われるまでに長い時間がかかってしまい、NSDEM の効果が発揮されず、S/N が悪化してしまう。

本論文で提案する、ZVD を用いた 3 値レベル NSDEM (図 4-16) の場合について述べる。

従来の回路 (図 4-14) の NSDEM にディザを組みこんだ場合のタイミングチャートを図 4-24 に示す。 SI_1 から SI_4 は、ディザ信号を入れる前のセレクト回路の出力である。 d_1 から d_4 はダミー信号となるディザ信号である。 S_1 から S_4 は、NSDEM with ZVD 回路の出力信号であり、エンコーダ回路に入力する信号となる。SUM は S_1 から S_4 の信号を足し合わせた信号であり、最終的に変換される信号を表している。

時間 1 から 2 の間は、 SI_1 に信号があるので、そのまま S_1 の信号として出力している。

時間 2 から 7 の間は、 $SI_1 \sim SI_4$ が全て 0 となり、出力される信号が全くない状態が続いている。

時間 2 から 7 の間に、 $d_1 \sim d_4$ に総和がとなるように 1 と -1 をペアにしてディザ信号を入力する。例えば、時間 2 から 3 の間は、 $d_1=0, d_2=-1, d_3=1, d_4=0$ のようにディザ信号を入れる。

次に、時間 3 から 4 の間は、 $d_1=1, d_2=0, d_3=0, d_4=-1$ のようにディザ信号

を入れる。

無音の状態が続いた場合は、前に選択したのとは異なるペアを選択する用にディザ信号を入れる。SUM の波形は、図 4-22 と全く同じであり、聞こえる音は同じであるが、実際には、 S_1 から S_4 の信号が出力されている。

ディザ信号を入れることにより、DDSP を構成する複数のサブスピーカまたは複数のコイルのミスマッチにより発生するノイズ(全高調波歪)を従来の 1/3 に低減できるようになった。したがって、前の問題が解決され、S/N が向上した。

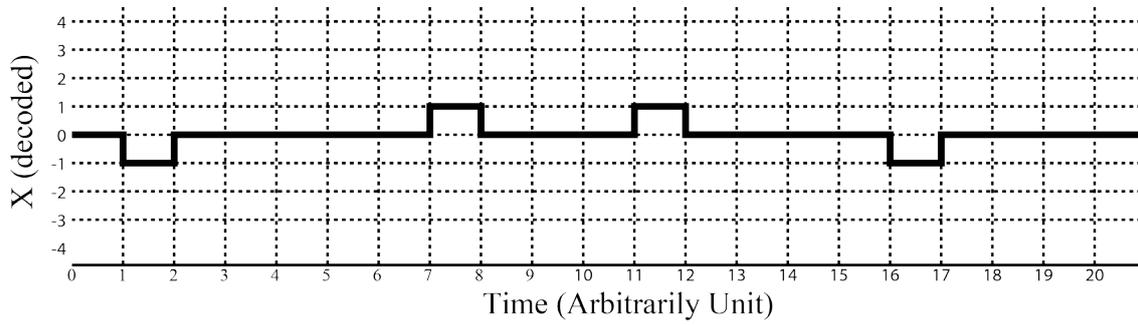


図 4-21 出力パワーが小さい場合の $\Delta\Sigma$ 変調器からの出力信号 X

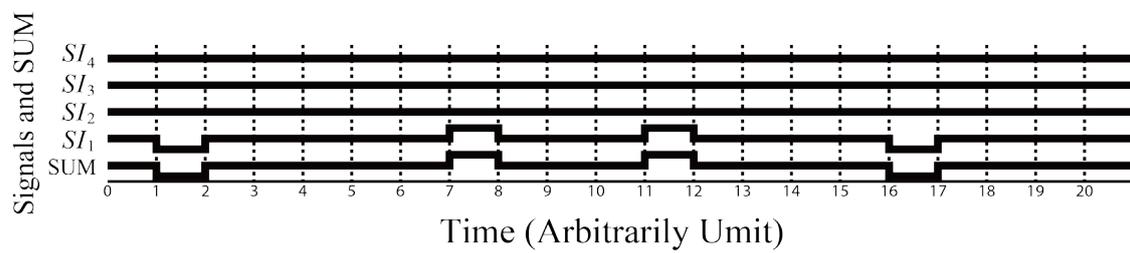


図 4-22 ソートとディザなしの疑似温度計コード

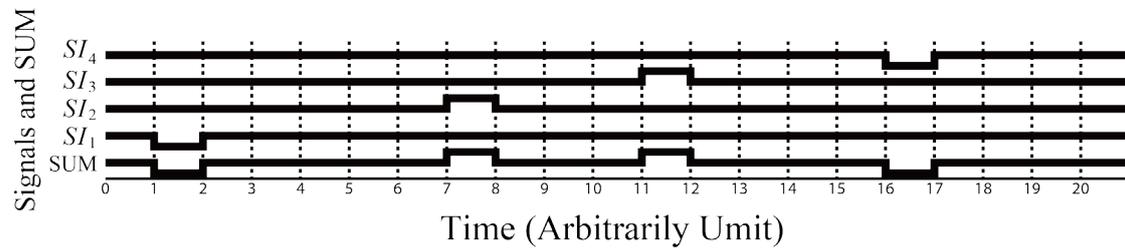


図 4-23 ソートあり，ディザなしの疑似温度計コード

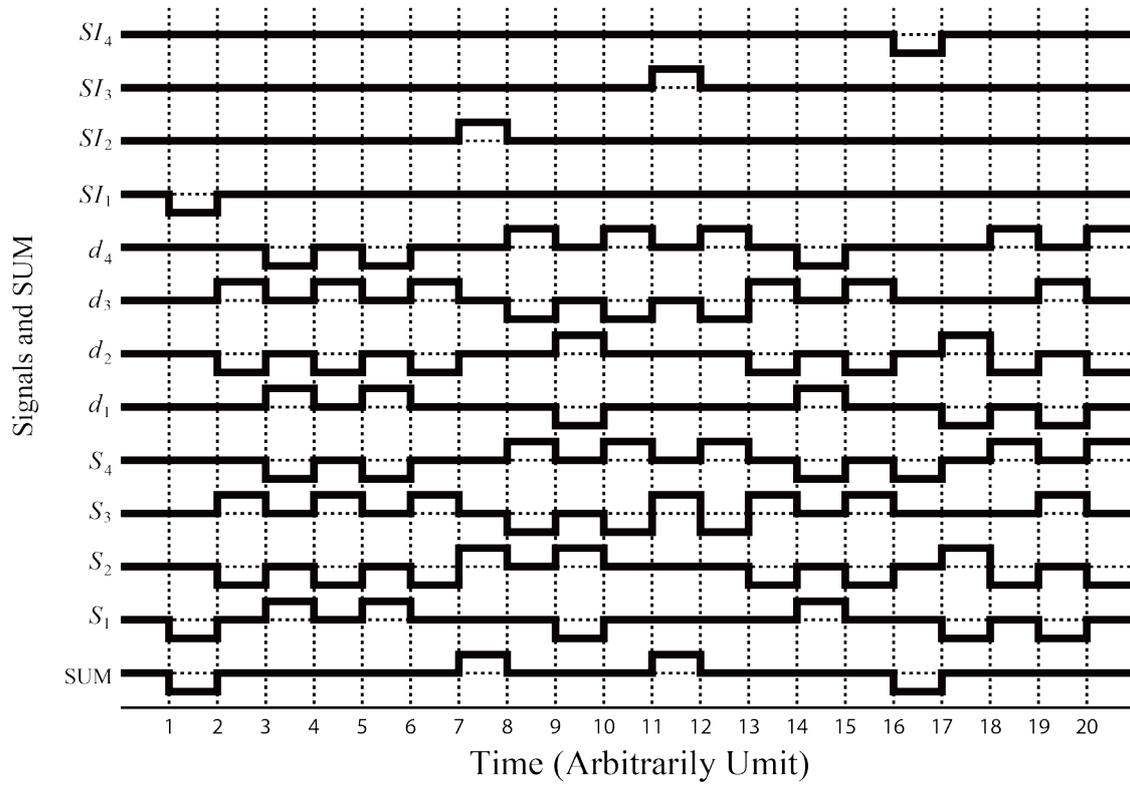


図 4-24 ソートあり, ディザありの疑似温度計コード

4.9 測定結果

図 4-25 に作製したチップの顕微鏡写真を示す。チップの中央にデジタルポリューム、マルチビット $\Delta\Sigma$ 変調器、3 値レベル NSDEM が配置されている。H ブリッジ回路は上部、左部と右部に配置されている。このチップを用いて特性を測定した。図 4-26 から図 4-28 に DDSP システムの出力を FFT した結果を示す。なお、ここでの負荷は、5% の mismatch を有する $4\ \Omega$ の抵抗である。この負荷は、マルチ・サブスピーカー・ユニット (図 4-29) の特性、または、マルチボイスコイル型スピーカーユニット (図 4-30) の特性をモデル化している。

図 4-26 より、NSDEM を使用しない場合の出力スペクトルには、大きな倍音歪みが存在することが分かる。倍音歪みは、3 次の NSDEM を使用することで、50 dB の改善を図ることができる。(図 4-27) さらに、高周波数領域の歪みは、ZVD 付きの 3 次 NSDEM で除去することができる。(図 4-28)。これは、ZVD が mismatch シェーパの帰還ループを安定にするからである。

図 4-28 の場合において、室温の 27 度で測定したエネルギー効率を図 4-31 に示す。入力パワーを減少させていった時の効率の減少は、従来の D 級アンプと同等であるが、原理的には D 級アンプより小さくできるはずである。これは、入力信号に比例してスイッチングトランジスタの数が減少するため、効率を高い値に維持できるからである。この結果は、電池寿命の拡大を示唆している。何故ならば、音源が通常の音楽であれば、その平均的なパワーは、フルパワーの 1/10 程度であるからである。また、図 4-31 の実測値は、ボイスコイルの数を増加すると、エネルギー効率が改善することも示している。

無響室においてマイクロフォンで測定した、6 個のボイスコイルを有する 5.5 W のパワー出力のラウドスピーカーの出力スペクトルを図 4-32 に示す。この出力スペクトルは、このシステムで再量子化された入力デジタル信号のノイズフロアが、-120 dBFS 以下になっていることを示している。2 次や 3 次の高調波歪みは、全高調波歪み (THD) 性能を制限するが、これは、主に、ラウドスピーカーの非線形性が原因となっている。

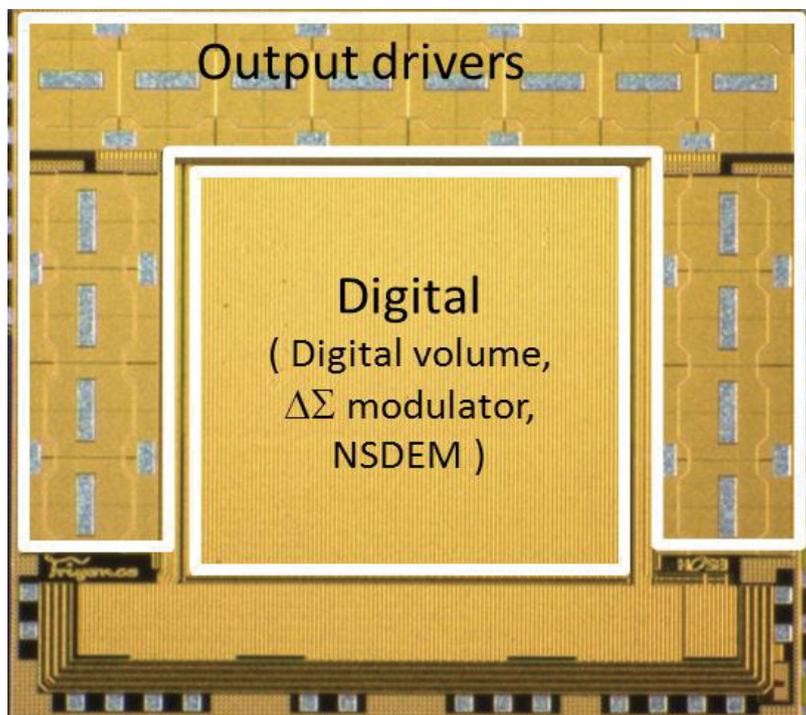


図 4-25 チップ写真

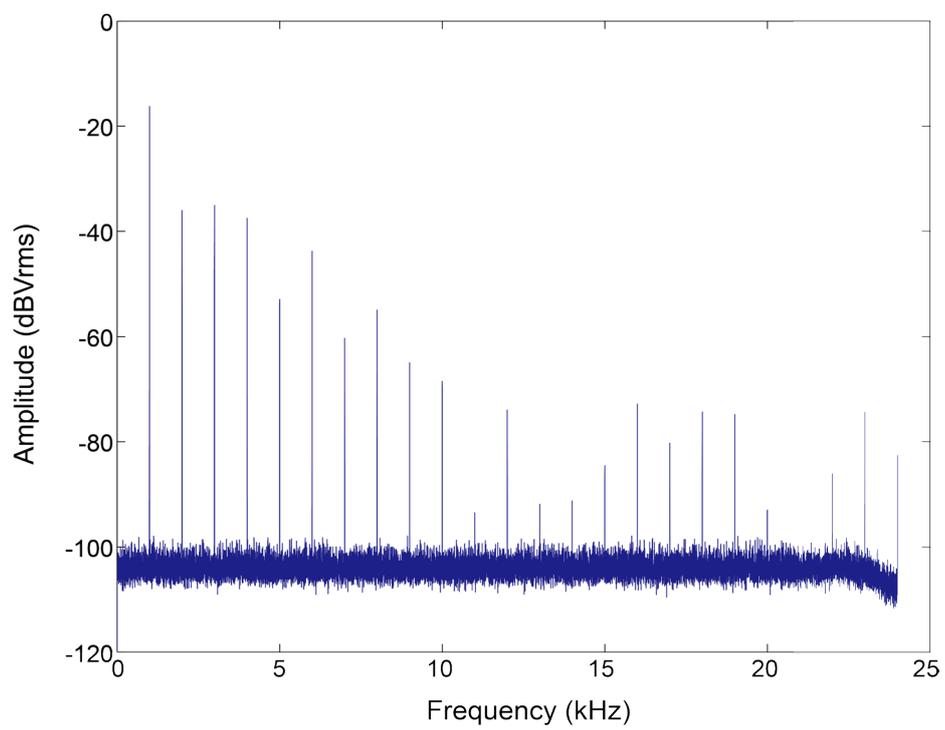


図 4-26 NSDEM なしの FFT 結果

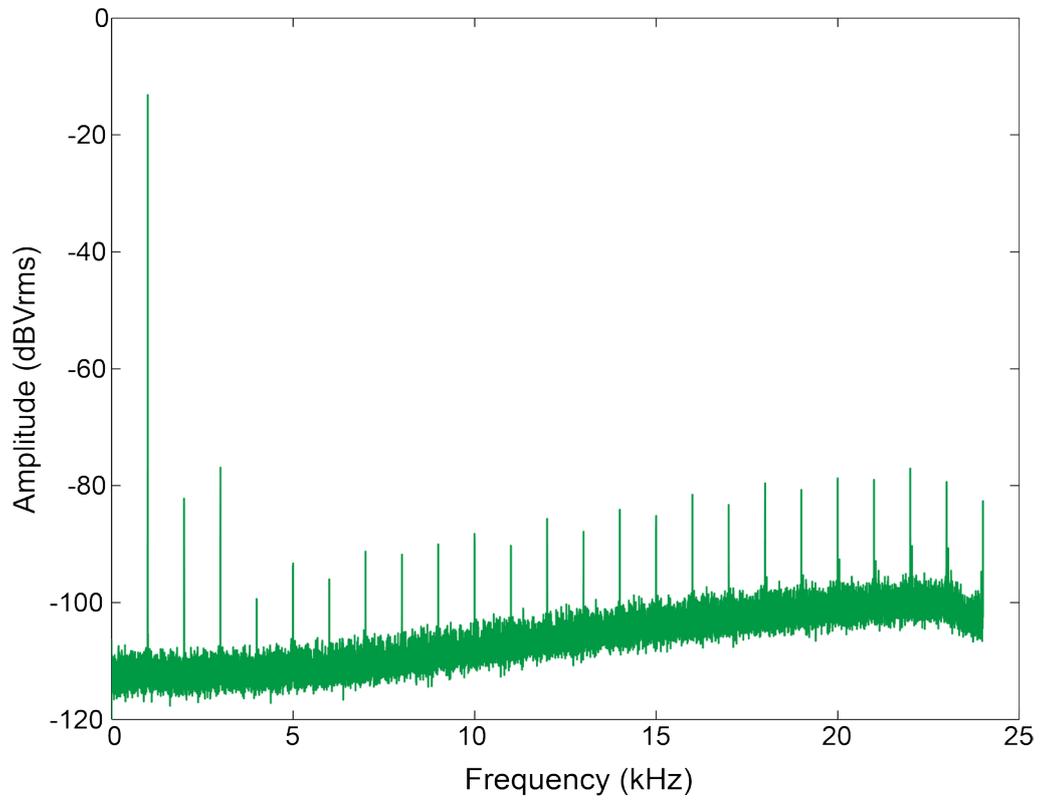


図 4-27 3 次の NSDEM ありの FFT 結果

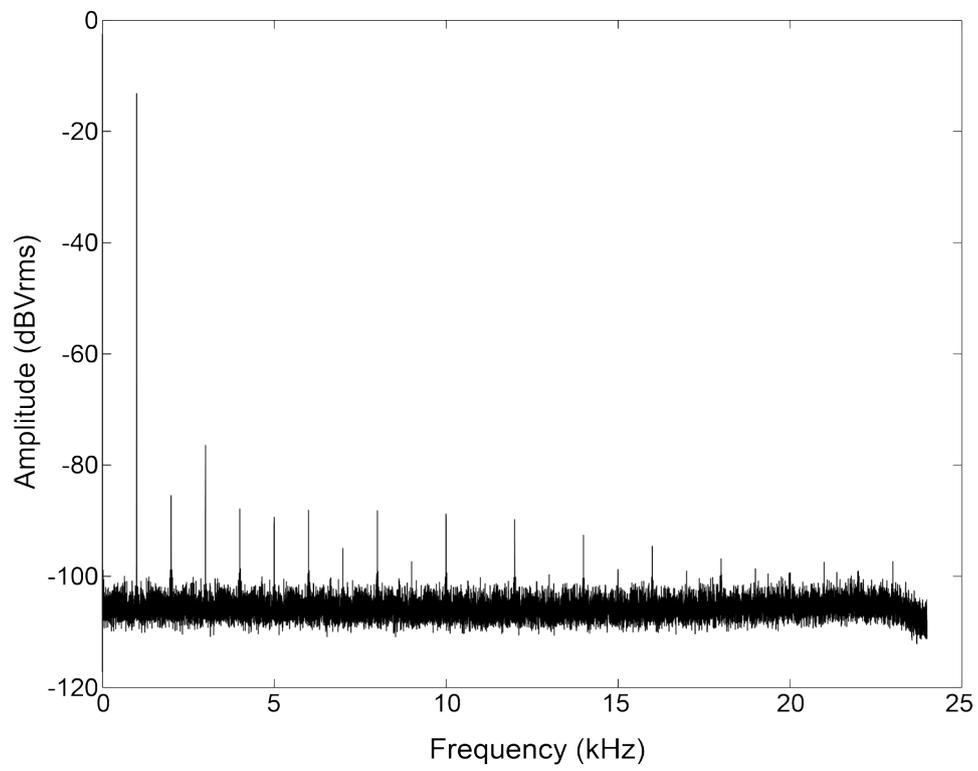


図 4-28 3 次の NSDEM と ZVD ありの FFT 結果

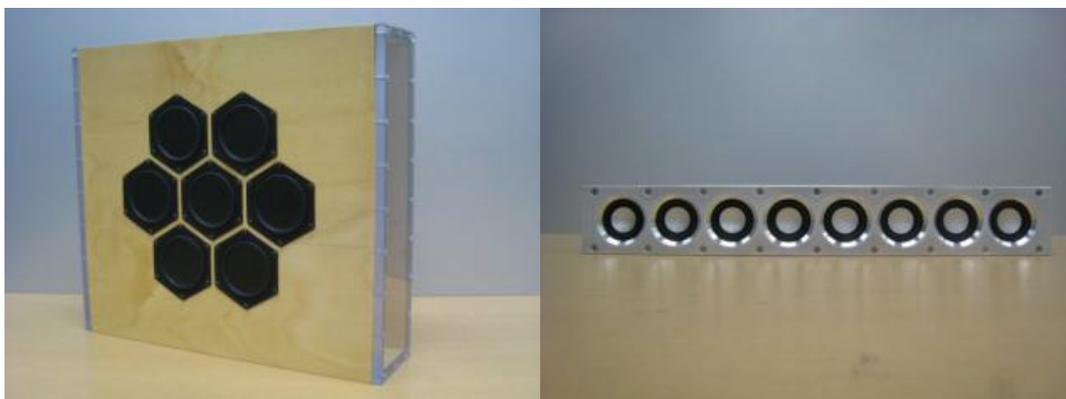


図 4-29 (左) 7スピーカー (右) 8スピーカー

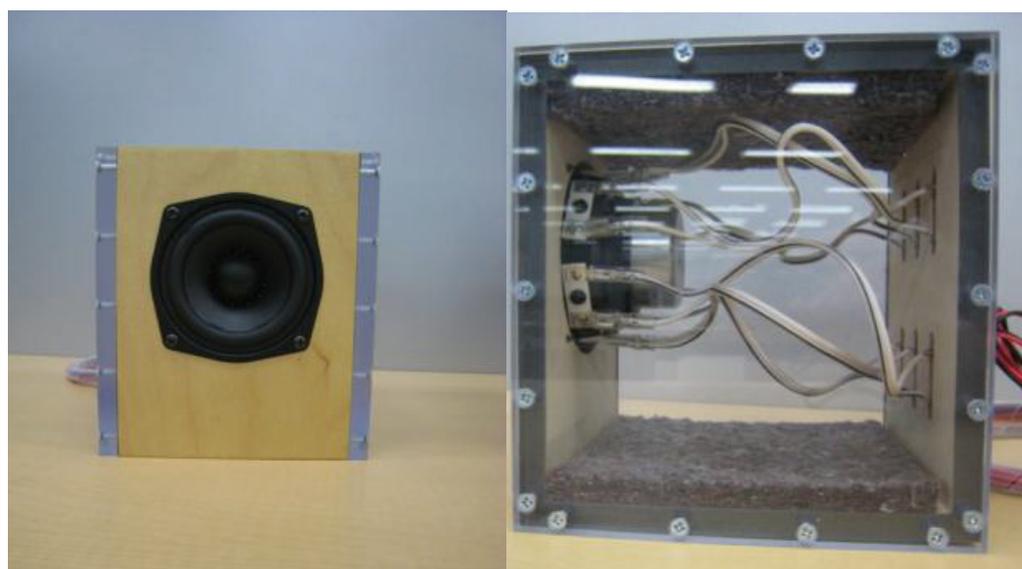


図 4-30 マルチボイスコイルスピーカー (8 コイル)

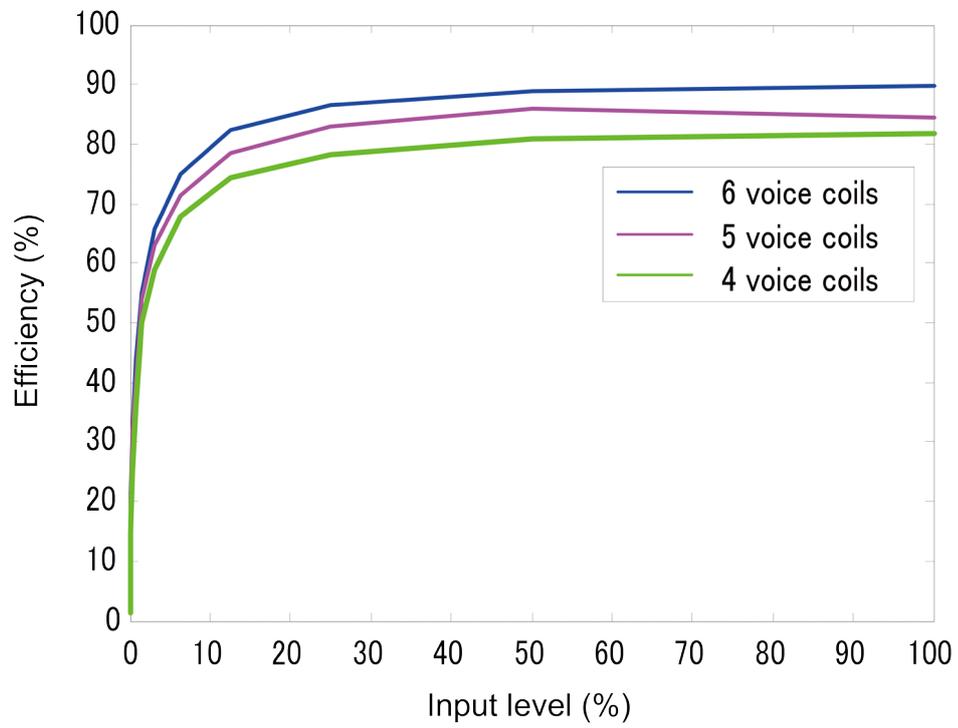


図 4-31 DDSP システムの電力効率

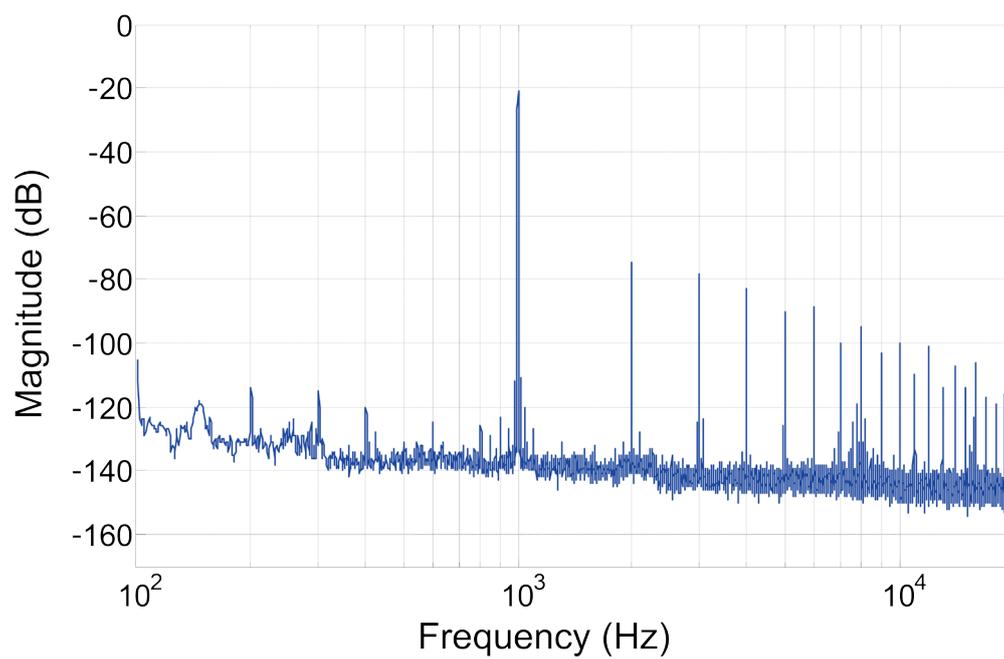


図 4-32 6 コイルスピーカーで測定した出力スペクトラム

4.10 まとめ

DDSP システムは、昇圧回路や DAC が必要なアナログアンプに比べ、小面積のチップで構成でき、低電圧で動作するという特徴を有している。さらに、出力電圧と信号処理の回路の電源電圧を別に行うことができるため、高電圧出力に対応できる。また、スピーカーの数を自由に変更できるため、出力電圧を変えることなく、スピーカーの数を並列に増やして音量を上げることもできる。

しかし、従来の DDSP では、複数のラウドスピーカーまたは複数のコイルのミスマッチにより音質が低下するという問題があった。

そこで、高次のミスマッチシェーパーである NSDEM に、ディザ回路を加えることを提案し、これにより音質の低下を大きく改善できることを示した。ディザ回路は、出力パワーの大小にかかわらず、常に複数のラウドスピーカーまたはコイルの使用頻度の平均化を可能にする回路である。

この回路を導入し、 $0.18 \mu\text{m}$ CMOS プロセスで作成したチップでは、従来と同等の SNR (100 dB) が達成され、かつ、全高調波歪み (THD) を 1.1% (@1 W) から 0.054% (@5 W) に約 $1/20$ に低減し、音質が大幅に向上された。

第5章

半導体デバイスの高耐圧化

5.1 はじめに

ムーアの法則に代表されるように半導体デバイスは微細化され高速化されてきたが、デバイスの物理的な寸法は微細化の限界にまで達しつつある。さらに、微細化に伴ってデバイスの寸法が縮小すると、単位面積当たりにかかる電界強度は高くなってしまふ。微細化されたデバイスは、高速かつ低電圧な用途で用いられている。その一方で、低炭素社会実現のために、大出力に対応した高効率なパワー半導体デバイスが求められている[3]。大出力システムの実現には高耐圧や大電流、またはその両方を兼ね備えた、高効率な半導体デバイスが必要となる。第4章で提案した DDSF システムでは、高電圧のため大型な装置でしか駆動できなかったスピーカーや薄型なスピーカーを駆動するための高耐圧で高効率なデバイスが必要とされている。そこで、高耐圧化を目的としたパワーエレクトロニクス用半導体デバイスの開発が重要となる。

本章では、高耐圧化手法および効果について概説する。ここで述べる高耐圧化手法の多くは、シリコンを用いた半導体デバイスで開発され用いられてきた。しかし、シリコンの材料物性の限界により、これ以上の耐圧向上は望めなくなりつつあり、GaN, SiC や GaAs などの化合物半導体材料が用いられるようになってきている。化合物半導体材料は、絶縁破壊電界が高く高耐圧デバイスに向いており、ワイドバンドギャップのため高温でも安定して動作する特徴を有している。まず、デバイス材料による高耐圧化について述べる。次に、化合物半導体材料の中でも特に絶縁破壊電界が高い GaN に着目し、GaN 材料の特徴について述べる。さらに、GaN を半導体デバイスに用いた場合の一例として、縦型 GaN ダイオードを

取り上げる。このダイオードは単純な構造ながら pn 接合を持ち、半導体デバイスとして基本的な構造を有している。したがって、pn 接合ダイオードで行った高耐圧化手法は、FET など他のデバイスに応用可能である。また、構造が単純なため、高耐圧化手法の効果が分かりやすく、シミュレーションも行いやすいという利点がある。

半導体デバイスにかかる電圧を上げていくと、半導体内部で絶縁破壊電界を超えたところからデバイスが破壊されてしまう。GaN のような絶縁破壊電界が高い材料を使っているにもかかわらず、さらに耐圧を上げようとするとう絶縁破壊電界を超えてしまいデバイスが破壊されてしまう。そのため、半導体デバイスの破壊を防ぎ信頼性や耐圧を向上させるためには、電界強度が高くなりやすい場所に電界低減手法を適用しつつ、最大となる電界強度を下げる必要がある。そこで電界低減手法として、メサ構造、フィールドプレート構造、接合ターミネーションエクステンションについて述べる。ここでは一例として縦型 GaN ダイオードに高耐圧化手法を適用したが、これはどの材料やデバイスでも適用可能な技術である。

5.2 電界強度

高耐圧な半導体デバイスにおいて、デバイスの破壊は絶縁破壊電界を超えたところから起こるのが一般的である。そのため、高耐圧化のためには、電界強度がどのように分布し、どこで高くなるのかを知ることが欠かせない。そこで、平行平板コンデンサと、単純な pn 接合の場合の電界強度がどのようになるのかを考える。最後に、実際のデバイスにおける電界強度を求めることになるが、構造が複雑であり、数値的な手法で求める必要がある[76]。そこで、デバイスシミュレーターを用いて電界強度を求めることにした。

5.2.1 平行平板コンデンサ

図 5-1 に示すような平行平板コンデンサの電界強度を考える[77]。2つの導体間の電界強度を E V/m とし、 1 m^2 当たりの電気力線を電界強度と等しい E 本と

する。

図 5-2 に示すような、誘電率 ε の誘電体中において $+QC$ の電荷から、距離 r m 離れた点における電界の強さは、クーロンの法則より

$$E = \frac{1}{4\pi\varepsilon} \frac{Q}{r^2}$$

となる。図 5-2 で中心の $+QC$ の電荷から半径 r m 離れた球の表面積は $4\pi r^2$ であるから、 $+QC$ の電荷から出る電気力線の本数は、

$$\frac{1}{4\pi\varepsilon} \frac{Q}{r^2} \cdot 4\pi r^2 = \frac{Q}{\varepsilon}$$

となる。単位面積当たりの電気力線の本数が電界強度となり、

$$E = \frac{1}{4\pi r^2} \frac{Q}{\varepsilon}$$

となる。図 5-1 のように、面積が S m² の平行平板コンデンサの陽極と陰極にそれぞれ $+QC$ 、 $-QC$ の電荷があるときは、この平行平板コンデンサの極板間における電界強度は

$$E = \frac{1}{S} \cdot \frac{Q}{\varepsilon}$$

となり、電界強度は一様となる。

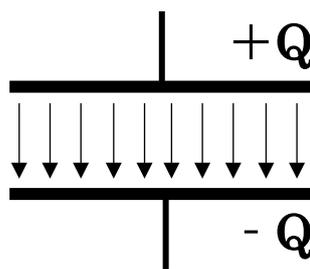


図 5-1 平行平板コンデンサ

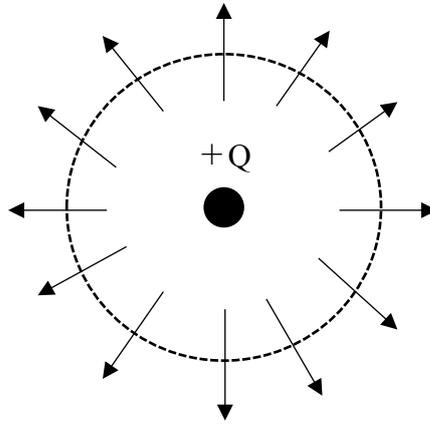


図 5-2 電荷から出る電気力線

5.2.2 pn 接合

pn 接合に逆バイアスした時の電界強度を考える. 図 5-3 に逆バイアス V_R が印加された階段接合を示す[78]. 印加電圧が 0 V の時, 接合間にはビルトイン・ポテンシャル φ_0 が存在する.

$$\varphi_0 = V_T \ln \frac{N_A N_D}{n_i^2} \quad (3.1)$$

ここで, n_i は真性キャリア濃度, N_A は n 形材料の一定な不純物濃度, N_D は p 形材料の一定不純物濃度であり,

$$V_T = \frac{kT}{q} \quad (3.2)$$

となる.

図 5-3 では, 逆バイアスされており, 接合間の全電圧 V は,

$$V = \varphi_0 + V_R \quad (3.3)$$

となる。空乏層領域が p 形領域へ距離 W_1 、n 形領域へ距離 W_2 だけ伸びるとすると、接合の両側での単位面積当たりの全電荷は互いに大きさが等しくなるため、次式が成り立つ。

$$W_1 N_A = W_2 N_D \quad (3.4)$$

1次元のポアソン方程式より、 $-W_1 < x < 0$ において、

$$\frac{d^2V}{dx^2} = -\frac{\rho}{\epsilon} = \frac{qN_A}{\epsilon} \quad (3.5)$$

が導かれる。ここで、 ρ は電荷密度、 q は電子電荷、 ϵ は半導体デバイス材料の誘電率であり、

$$\epsilon = k\epsilon_0 \quad (3.6)$$

となる。ここで、 k は半導体デバイス材料の比誘電率、 ϵ_0 は自由空間の誘電率である。式 (3.5) を積分すると、次式が得られる。

$$\frac{dV}{dx} = \frac{qN_A}{\epsilon}x + C_1 \quad (3.7)$$

ここで、 C_1 は定数である。これより電界強度 E は、

$$E = -\frac{dV}{dx} = -\left(\frac{qN_A}{\epsilon}x + C_1\right) \quad (3.8)$$

と求まる。空乏層領域の外では電界はゼロとなるので、 $x = -W_1$ での境界条件は次式となる。

$$E = 0 \quad (3.9)$$

$-W_1 < x < 0$ の時、式 (3.8) にこの条件を使うと、

$$E = -\left(\frac{qN_A}{\epsilon}x + W_1\right) = -\frac{dV}{dx} \quad (3.10)$$

が得られる。これより、接合部の電界強度は、距離とともに直線的に変化し、
図 5-3(c)に示したように pn 接合面で最も高くなる。

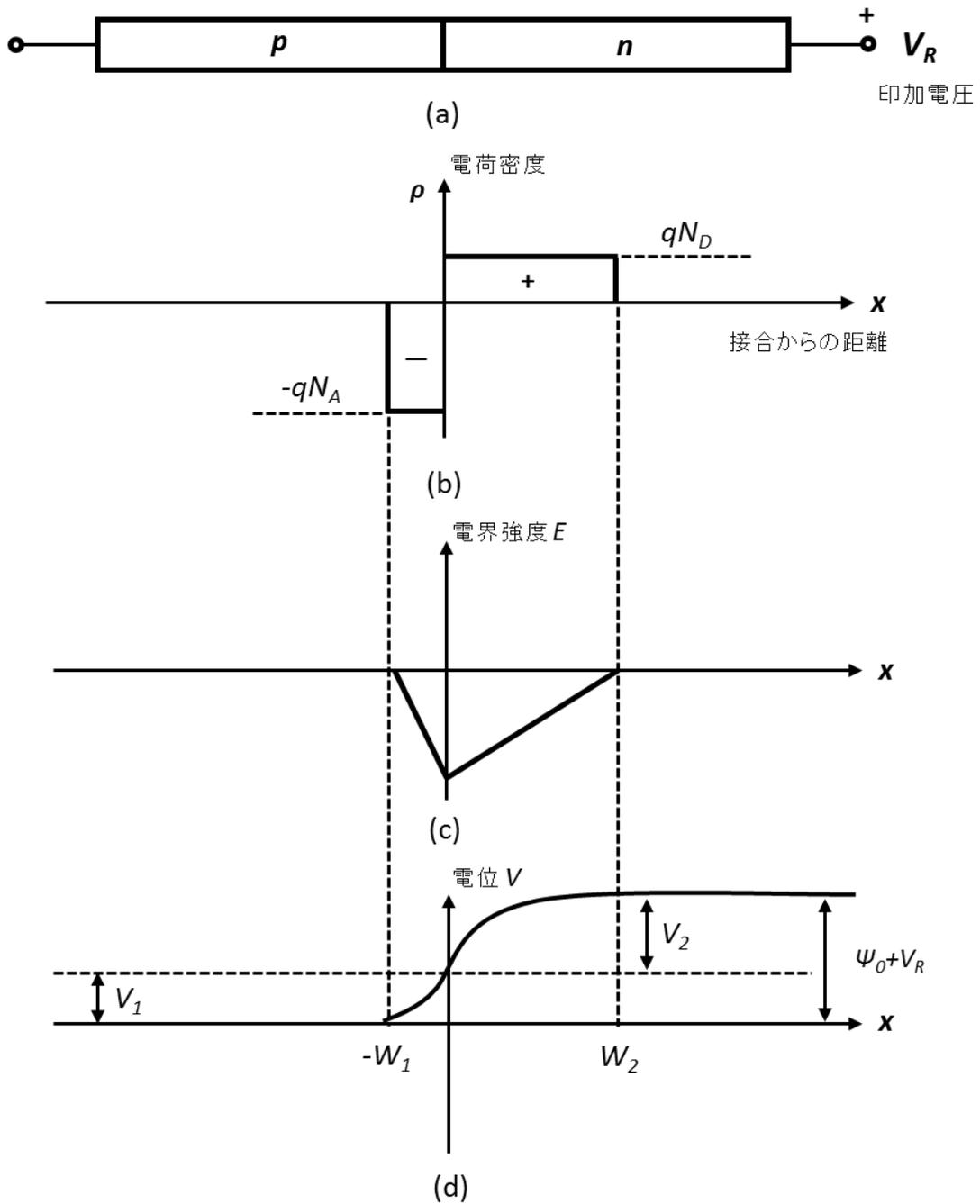


図 5-3 逆バイアス V_R が印加された階段接合 (a) 構成図. (b) 電界密度. (c) 電界. (d) 静電ポテンシャル.

5.2.3 実際のデバイス

実際に作製するデバイスは、前節の平行平板コンデンサや pn 接合のような簡単な構造ではなく、メサ構造や異なる不純物濃度の層が複数あるような 3 次元構造のため、電位や電界強度を求めるためには数値的な手法を用いる必要がある。そこで、デバイスの空乏層領域、電位や電界分布を調べるために、デバイスシミュレーションを行った。デバイスシミュレーターには、Synopsys 社の TCAD Sentaurus Device と鳥谷部氏が作成した 2D GaN Simulator を用いた[79]。

5.3 デバイスシミュレーション

デバイスシミュレーションを行うための手順について概説する。大まかな手順としては、デバイス構造を作成し、シミュレーション条件を設定した後、デバイスシミュレーションを実行する。

デバイス構造の作成

1. デバイス構造を 3 次元で作成する。

デバイス構造は専用のツールを使うか、テキスト形式で入力する。

最初から 3 次元で作成することもできるが、複雑になるため、2 次元の断面構造を入力し、3 次元に変換した。

2. 電極の領域を指定するとともに、適切な名前を付ける。
3. 不純物プロファイルを指定する。
4. メッシュを作成する。

メッシュの切り方でシミュレーションの収束性や結果が変わってくる場合がある。特に不純物濃度が変わるところや、形状が変化するところ、電界強度が高くなる場所にはメッシュを細かく設定する必要がある。

デバイスシミュレーションの設定

1. 使用する材料のパラメータを設定する.
主に、物理定数に関連した値など
2. 計算に用いる物理式を指定する.
Auger, Avalanche Recombination
3. 計算する式を指定する.
ポアソン方程式など
4. 電極の指定と初期値の設定.
デバイス構造で指定した電極名を使用する
5. 保存するデータを指定する.
6. 作成したデバイス構造を読み込む.

最後に、デバイスシミュレーションを実行する.

構造は3次元で作成しているが、3次元のままシミュレーションしようとする
とメッシュ数が膨大となり、使用メモリや計算時間が増大してしまう。そこで、
デバイスシミュレーションでは奥行きを $1\mu\text{m}$ に設定し、使用メモリや計算時間
を削減する手法が一般的となっている。この手法を用いた場合のシミュレーショ
ン結果は3次元となるが、両端は実デバイスとは異なってしまうため、正しい結
果として使えるのは中心に近いところのみとなる。そのため、奥行きを $1\mu\text{m}$ に
設定した場合の3次元シミュレーションの結果から、中心付近の断面を抜き出し
た2次元の結果としている。

シミュレーションは、ポアソン方程式を解き、静電ポテンシャル、電位分布、
電界強度分布を出力した。

シミュレーションには下記の式を組み込んだが、Ga_N と絶縁膜との間のイン
ターフェースは考慮していない。

Doping Dependence Mobility

High Field Saturation

Recombination

Avalanche, Generation

5.4 高耐圧化手法

本論文で検討した高耐圧化手法は、デバイスに使う材料を変更することで絶縁破壊電界を高くする方法と、電界低減手法を用いて最大電界強度を低くする方法である。多くの高耐圧な半導体デバイス（ダイオードや FET など）では、デバイス構造を変えたり、新たな埋め込み層を作ったりするなどして、積極的に電界強度を低減する手法がとられている。最大電界強度を低減する方法として、何種類かのエッジターミネーション（終端構造）技術が考案され、半導体デバイスの高耐圧化に寄与してきた。エッジターミネーション技術としては、メサ構造、フィールドプレート (FP) 構造、接合ターミネーションエクステンション (Junction Termination Extension : JTE) やそれぞれの組み合わせた構造がある [80-82]。それぞれのエッジターミネーション技術について説明する。

5.4.1 デバイス材料による高耐圧化

半導体デバイスの材料は、長いことシリコンが主流となっている。しかし、シリコン材料の物性限界により、これ以上の耐圧向上は難しくなっている。そこで次世代の材料として、SiC や GaN に代表される化合物材料を半導体に用いるようになってきた。化合物半導体材料はバンドギャップエネルギーが広いのが特徴である。シリコン、GaN や SiC などの半導体材料の主な特性を表 5-1 に示す [3,83]。バンドギャップが大きくなると、アバランシェ効果が起こりにくくなり、材料の絶縁破壊電界が高くなる。SiC の絶縁破壊電界はシリコンの約 10 倍となる一方、GaN は約 10~15 倍となる。さらに、GaN は破壊電界や飽和ドリフト速度が高く、熱伝導率が高いという特徴を有している。したがって、半導体デバイスに用いる材料をシリコンから SiC や GaN に切り替えることで高耐圧化できる。このように、ワイドバンドギャップの半導体材料である GaN は、高い電力効率が必要とされるパワーエレクトロニクスに適した材料であり、近年高耐圧化の報告が多くなされている [84-87]。

GaN は青色の発光ダイオード (LED) の実用化で注目を集めた [88]。近年、

材料の特性から、パワーデバイスや高周波・高出力の用途で注目されており、ショットキー・バリア・ダイオード、pn 接合ダイオード、MISFET、バイポーラトランジスタなど様々なデバイスが開発されている。

表 5-1 半導体材料の特性

	Si	SiC	GaN
Energy Band Gap (eV)	1.12	3.26	3.39
Saturation Velocity (cm/sec)	1.0×10^7	2.0×10^7	2.7×10^7
Breakdown Electric Field (MV/cm)	0.3	3.0	3.3~5.0

次に、シリコン、SiC、GaN の耐圧 1000 V 時の損失限界を図 5-4 に示す[83]. この図は、シリコンの Superjunction (SJ) 構造を有する MOSFET、SiC の MOSFET および AlGaIn/GaN High Electron Mobility Transistor (HEMT) の損失限界を理論計算したもので、シリコンの SJ 構造 MOSFET を 100 % にしている. これより、SiC の損失はシリコンの半分にでき、GaIn はシリコンの 1/5 にできることが分かる. したがって、高効率の観点からも GaIn を選択するのが最良と言える.

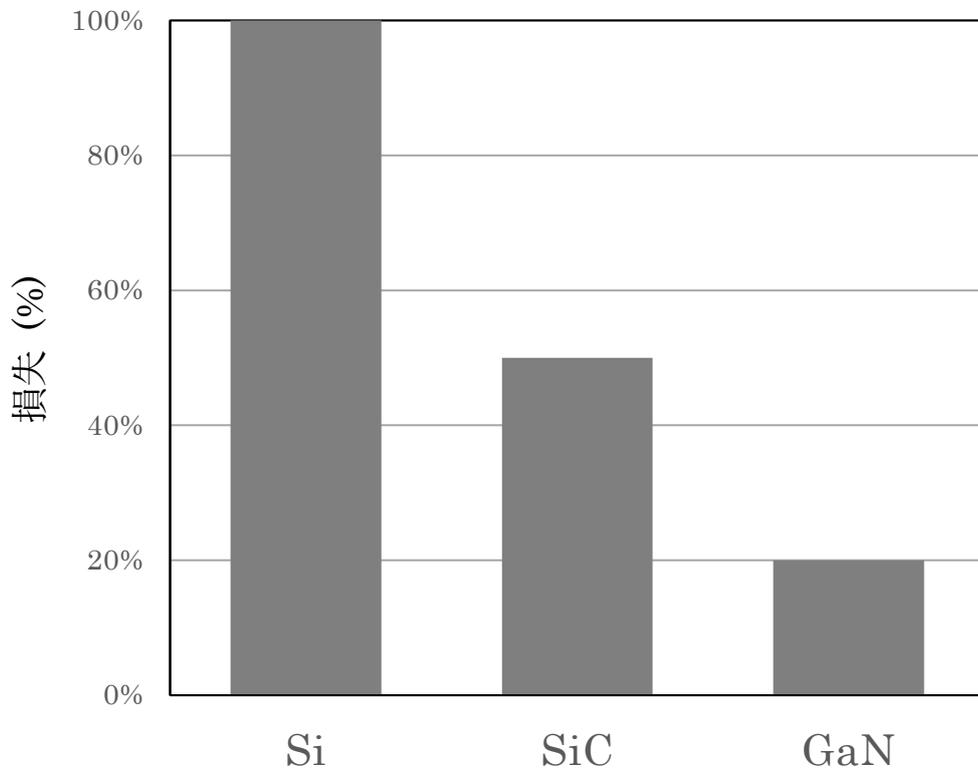


図 5-4 材料の違いによるデバイス損失の比較

5.4.2 ドリフト層による電界低減

半導体デバイスの基本は pn 接合である. pn 接合に逆方向電圧を印加すると, 空乏層が形成される. 空乏層は不純物濃度の低い側に広がることから, 不純物濃度が低いドリフト層を広く取ることで空乏層領域を広くしている. 空乏層内には自由電子はなく, コンデンサと同じ平行平板と考えることができる. そのため, 空乏層が広がれば広がるほど電界強度を緩和できる. しかし, ドリフト層を厚くするとオン電圧-スイッチング特性が悪くなるため, 適切な厚さにする必要がある[3]. 以上より, 電界強度の緩和には pn 接合の不純物濃度のプロファイルとドリフト層の厚さを決めることが重要となるが, デバイス性能との間にトレードオフが生じる.

5.4.3 メサ構造による電界低減

一般的な高耐压用の縦型 GaN ダイオードは円柱形である (図 5-5). 上面がアノード電極, 下面がカソード電極になっている [89]. 図 5-5 の断面構造は図 5-6 であり, 上から p^+ -GaN, p -GaN, n -GaN, n -GaN, n -GaN 基板となっている. 上面のアノード電極以外は絶縁膜で覆われている. p -GaN の不純物はマグネシウム (Mg) であり, n -GaN の不純物はシリコンである. 現在, GaN を半導体材料に用いた場合, シリコンで一般的なイオン注入を行うことができず, 同じ基板上に複数のデバイスを配置するには, 素子分離のためのメサを切る必要がある. そのため, メサ周辺での電界強度が高くなるという問題がある. そこで, 逆方向電圧を上げていった時に, メサ周辺でどのように電界強度が変化するかを確認するためにデバイスシミュレーションを行った. シミュレーションでは, 図 5-6 の縦型 GaN ダイオードを用い, 絶縁膜は SiO_2 ($k=3.9$) とし, メサ角は 90 度とした. アノード電極を 0 V に設定し, カソード電極の電圧 V_c を上げていくことで, 逆方向電圧を印加している. 逆方向電圧が 500 V と 1000 V の結果をそれぞれ図 5-7 と 5-8 に示す. 逆方向電圧 V_c が 500 V の時, 形状が鋭角になっているところと GaN のメサ端に電界強度が高くなった緑や水色の領域が出現している (図 5-7 参照). そしてさらに V_c を増加するとメサ全体に電界強度が高い赤色の領域が広がっていき, pn 接合端 (面) でも電界強度が高くなっている (図 5-8 参照). これは, 3.2 節で述べたように, コンデンサのような平行平板構造では電界強度は均一となるが, pn 接合がある半導体デバイスに高電圧を印加すると, 電界強度は pn 接合面で最大となることと一致する. さらに, 半導体デバイスは 3 次元構造であり, メサなどで構造が複雑になった場合, 電界強度は不均一となり, エッジなどで電界強度が高くなる傾向がある. そこで耐压を上げるためには, 電界強度が高くなる場所と傾向を探る必要がある. このシミュレーション結果からもわかるように, 半導体デバイスの端, 鋭利な形状, メサ端, pn 接合端 (面) や空乏層端で電界強度が高くなることがわかる.

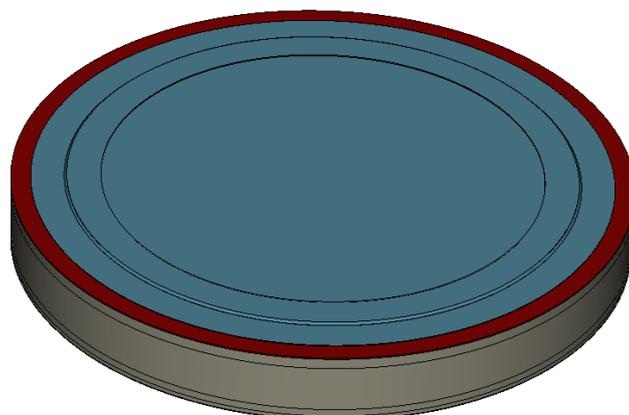


図 5-5 GaN を用いた縦型 pn 接合ダイオード

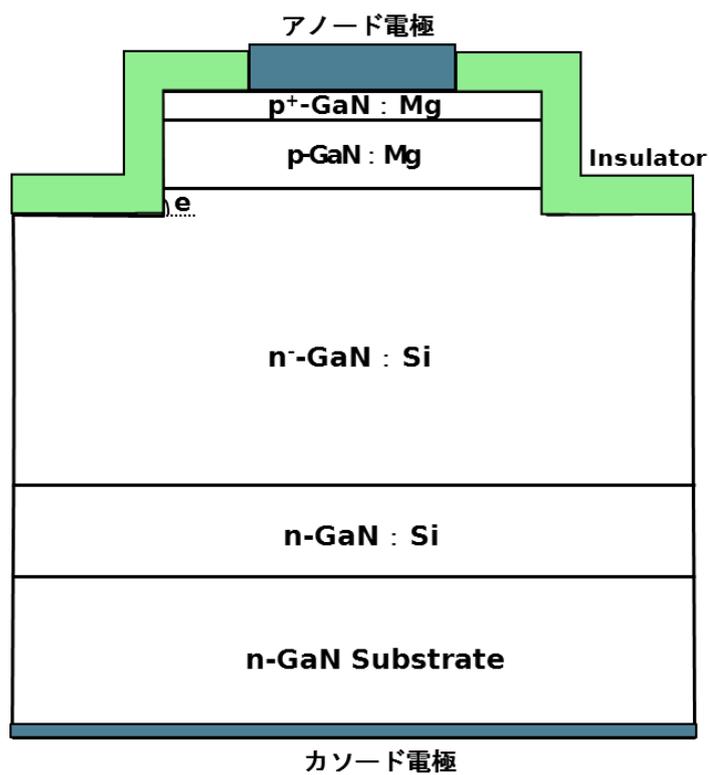


図 5-6 縦型 GaN ダイオードの断面図

図 5-6 の一般的な縦型 GaN ダイオードでは、90 度 ($\angle e$) に削られたメサが存在する[89]。しかし、図 5-7 と 5-8 に示したように、メサ部と p-GaN と n-GaN の pn 接合端で電界強度が高くなってしまふ。そこで、メサ角を小さくし、傾斜を緩やかにすることで電界強度を緩和する方法が用いられている。そこで、 V_c を 1000 V に設定し、メサ角を変えた場合のシミュレーション結果を図 5-9 から図 5-11 に示す。図 5-9 はメサ角を 65 度にした場合であるが、図 5-8 のメサ角 90 度と比べて、電界強度が高く赤い領域が大幅に減少している。しかし、メサの端部や pn 接合部に電界強度が高い領域が残ってしまう。図 5-10 はメサ角を 45 度にした場合を示している。メサ全体で電界強度が高い領域はなくなっているが、pn 接合面に高い領域が一部残っている。図 5-11 はメサ角を 30 度にし、さらに緩やかにしている。これより、電界強度が高く赤い領域はなくなり、メサ全体と pn 接合面で電界強度が緩和していることがわかる。これらの結果より、メサ角を小さくし、メサの傾きを緩やかにすることで電界強度を緩和することができる。

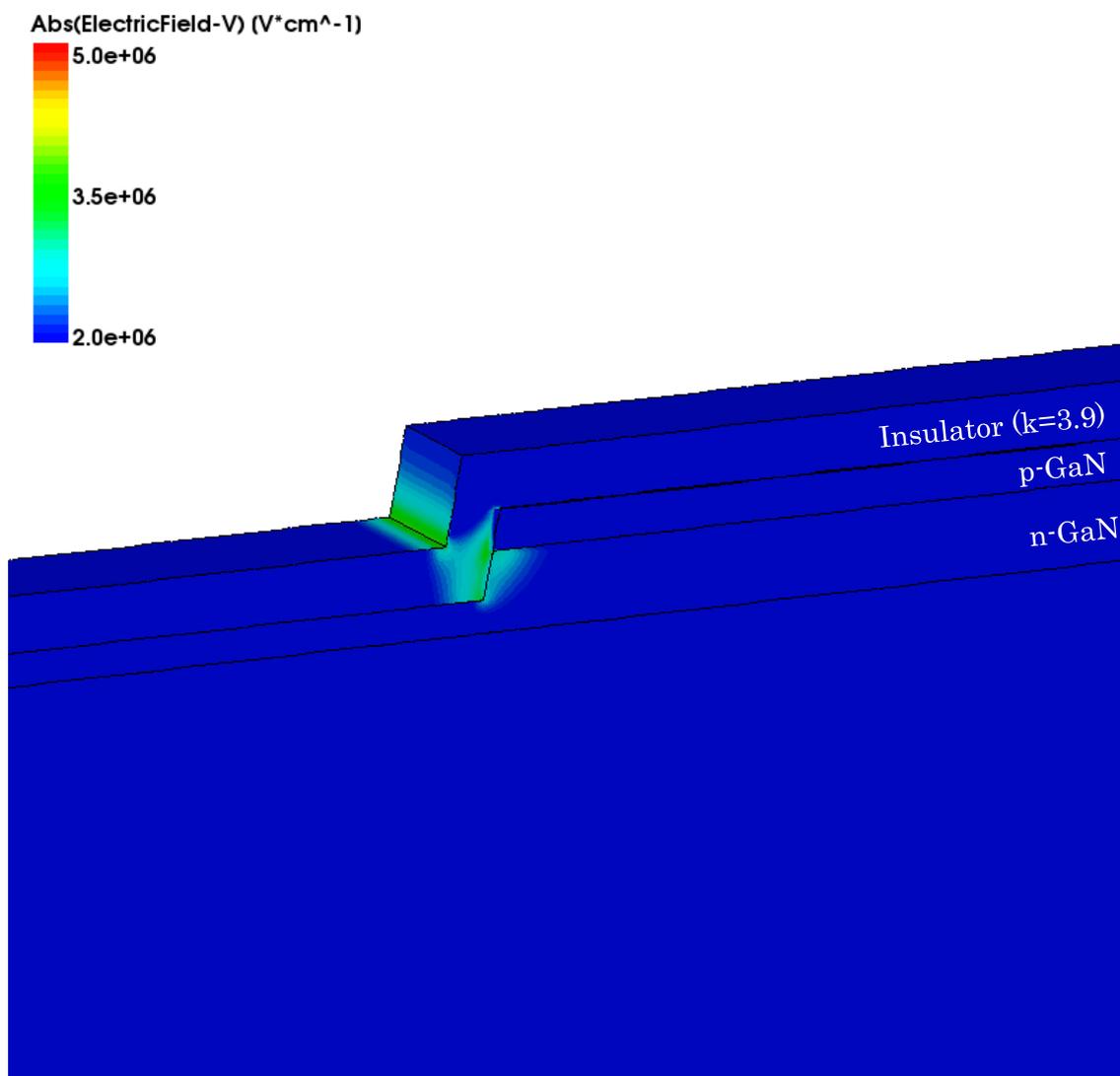


図 5-7 $k = 3.9$, $V_c = 500$ V, メサ角 90 度のシミュレーション結果

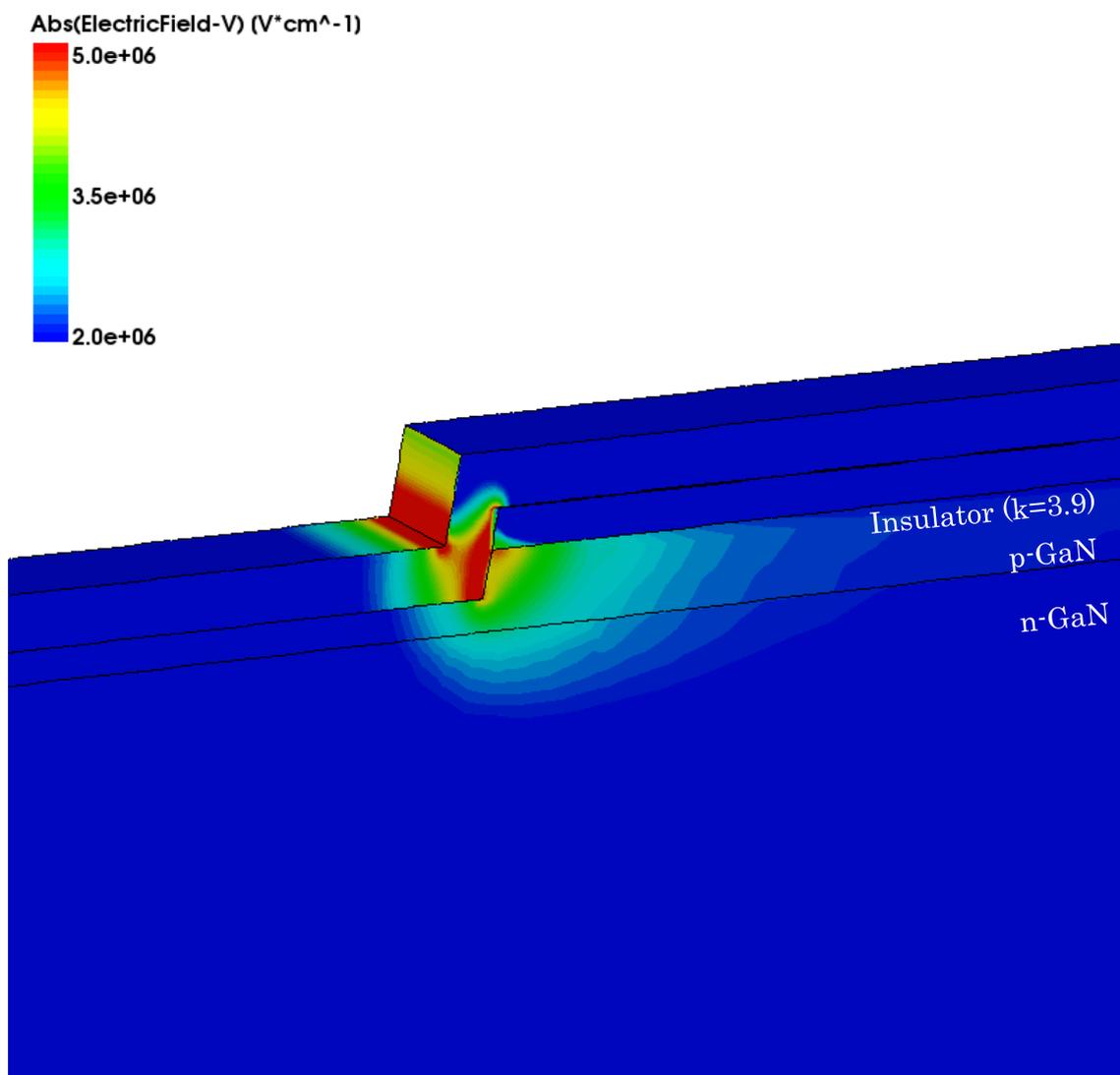


図 5-8 $k = 3.9$, $V_c = 1000$ V, メサ角 90 度のシミュレーション結果

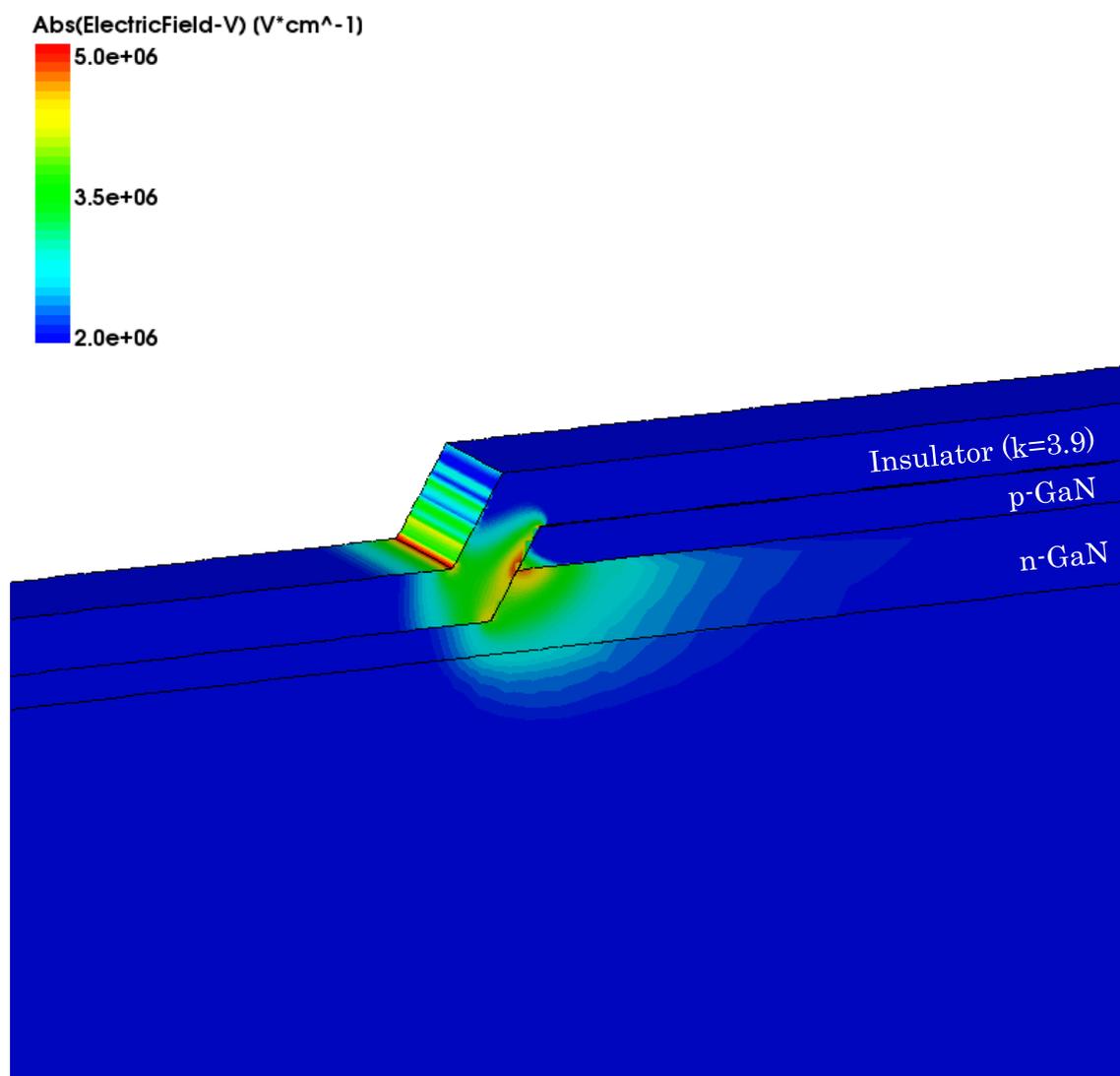


図 5-9 $k = 3.9$, $V_c = 1000 V$, メサ角 65 度のシミュレーション結果

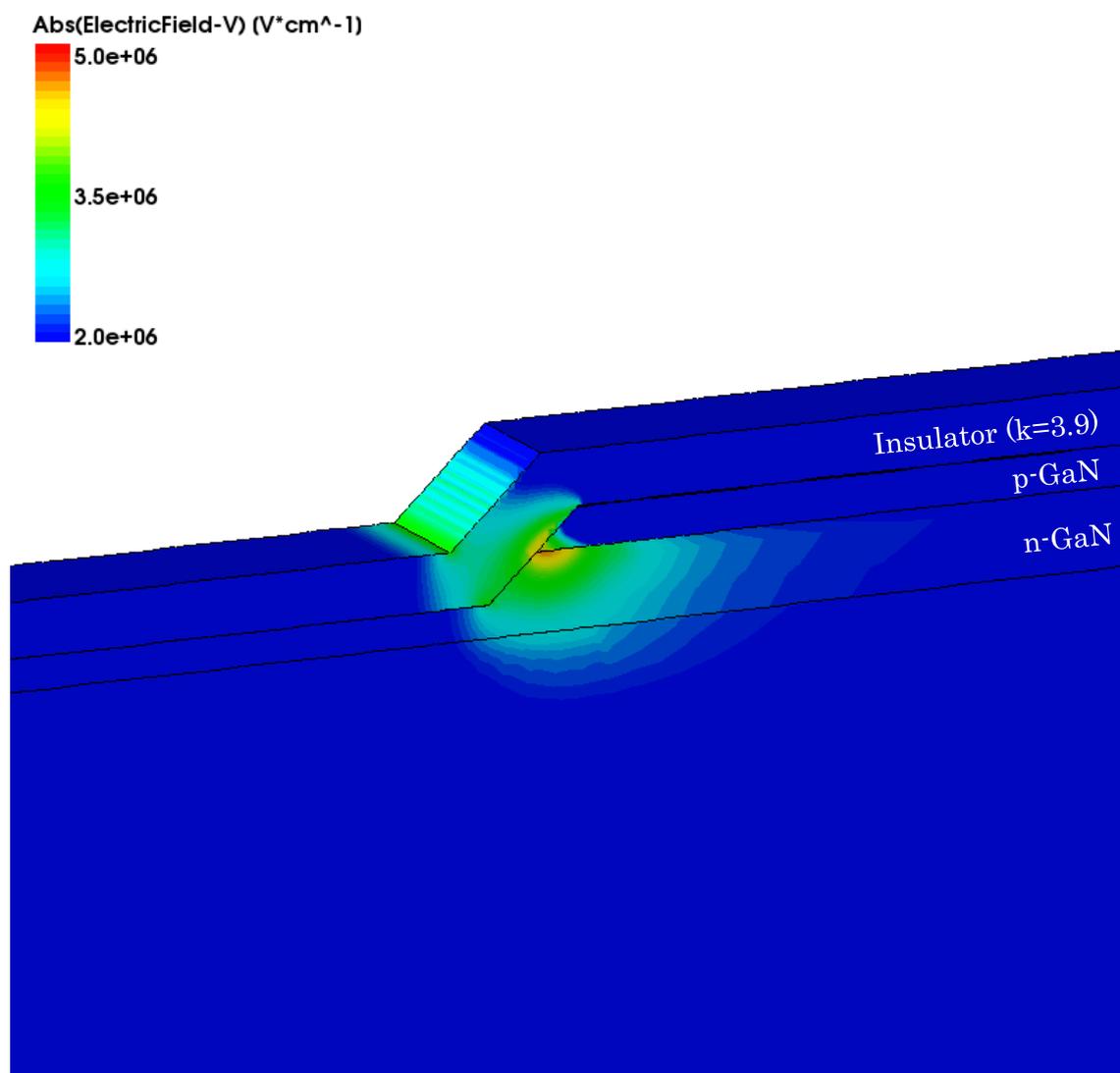


図 5-10 $k = 3.9$, $V_c = 1000 V$, メサ角 45 度のシミュレーション結果

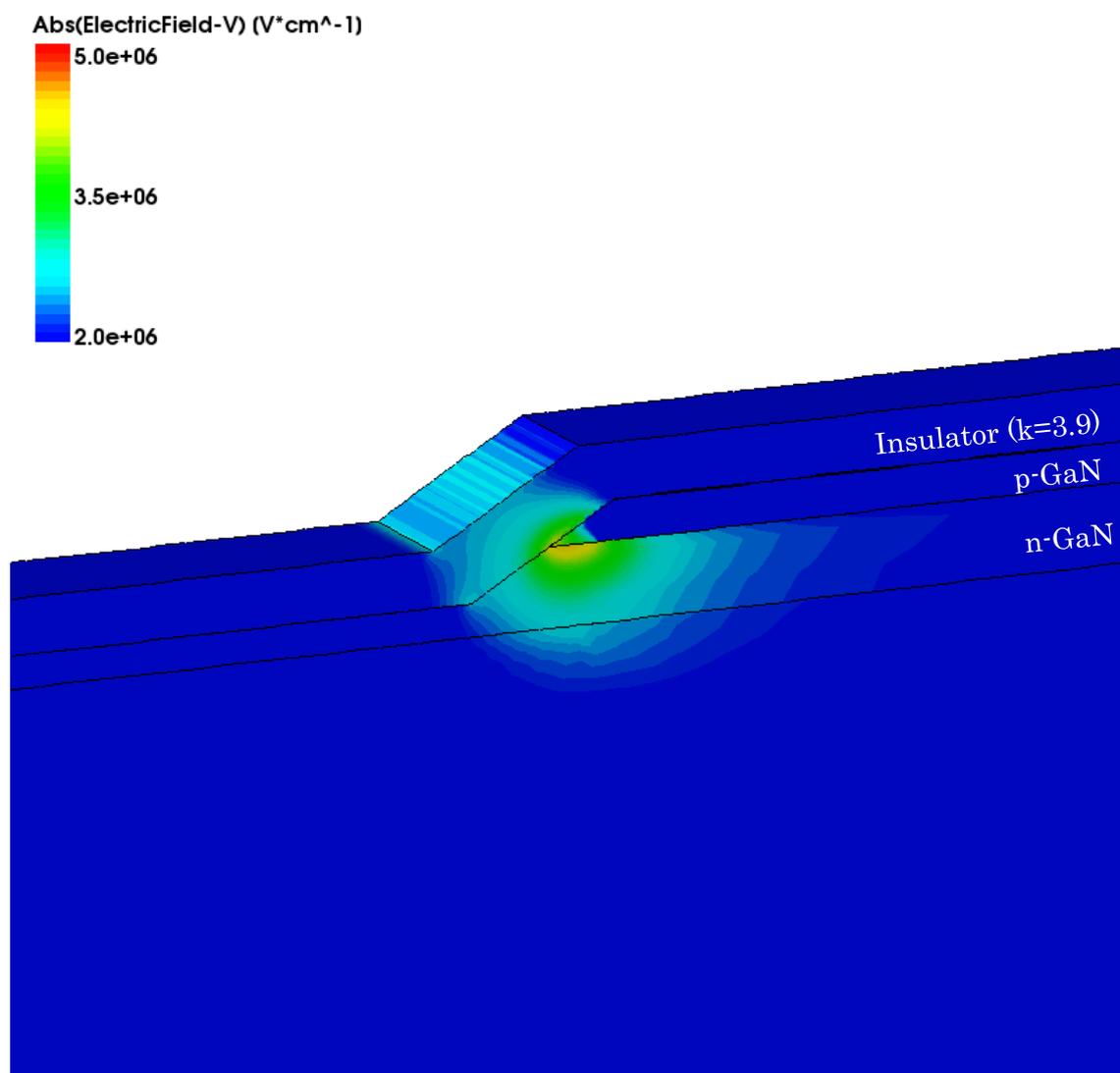


図 5-11 $k = 3.9$, $V_c = 1000$ V, メサ角 30 度のシミュレーション結果

5.4.4 フィールドプレート構造による電界低減

最もシンプルな pn 接合ダイオードの構造図を図 5-12 に示す[89-92]. 図 5-12 は, n 形の GaN 基板に p+領域が埋め込まれており, p+領域の上に, アノード (Anode) 電極があり, 基板の下面がカソード (Cathode) 電極となっている. 上面のアノード電極の横は絶縁膜である SiO_2 が覆っている. 次に, フィールドプレート構造の pn 接合ダイオードの構造図を図 5-13 に示す. 図 5-13 はほぼ図 5-12 と同じであるが, アノード電極が SiO_2 の上まで伸びている点が異なる. この伸びた電極がフィールドプレート構造となる. 図中の点線は空乏層の領域を示している.

図 5-12 のフィールドプレートがない場合は, p+の領域からほぼ一定の間隔で空乏層が伸びている. 一方, フィールドプレート構造の図 5-13 では, n 基板の上端で空乏層領域が広がっている. 空乏層領域が広がるとその領域にかかる電位も下がり電界強度も下がる. pn 接合ダイオードのシミュレーション結果を図 5-14 に示す. 図 5-14 はフィールドプレートがない場合とある場合の等電位線 (50 V 間隔) と電界強度を示している. 電界強度は 5 MV/cm 以上で赤く表示している.

フィールドプレートがない場合, pn 接合の円弧の部分で等電位線の間隔が狭くなっており, 電界強度を見るとその部分が高く (赤色) なっていることがわかる. 一方, フィールドプレートがある場合は, pn 接合の円弧の等電位線の本数が減っており, 間隔も広がっている. その結果, 電界強度が強い赤や黄色の領域はなくなり pn 接合周辺の電界強度が下がっていることがわかる. このように, フィールドプレート構造で電界強度が緩和できる.

シリコンなどでは, ガードリングとしてイオン注入により p+領域を形成して電界強度を緩和する方法も用いられている. 図 5-13 の p+領域の円弧の半径を大きくすることで, n 形基板に空乏層が広がり, pn 接合面での電界強度を緩和することができる. しかし現状では, GaN へのイオン注入技術は確立されていない.

以上よりフィールドプレートによる電界強度緩和の効果を見てきたが, 実際に

フィールドプレートを設計するには次のような点を考慮する必要がある。

1. フィールドプレートの長さ (L_{FP})
2. 絶縁膜 (図 5-13 では SiO_2) の厚さ
3. ガードリングの p^+ 領域の円弧の半径

これらのパラメータを適切に選ぶことで、高耐圧に適したデバイス構造が決定できる。しかし、GaN にはイオン注入で p^+ 領域を形成することはできず、上記 3 のガードリングを用いた方法は使えない。

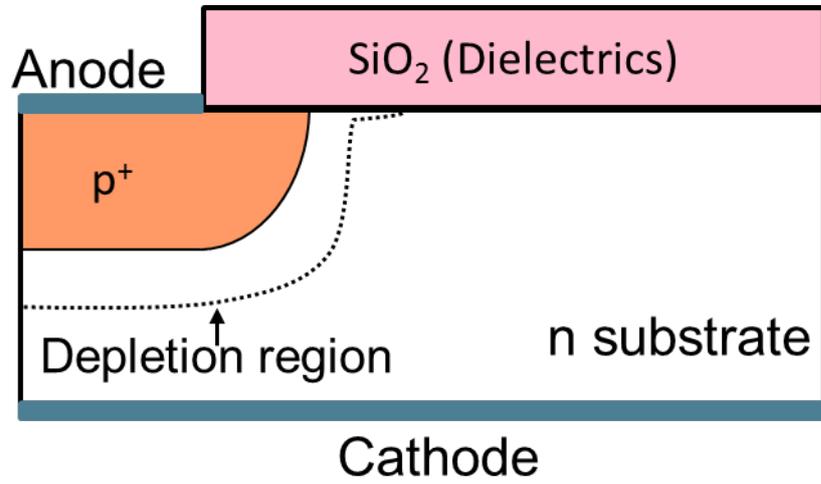


図 5-12 シンプルな pn 接合ダイオードの構造図

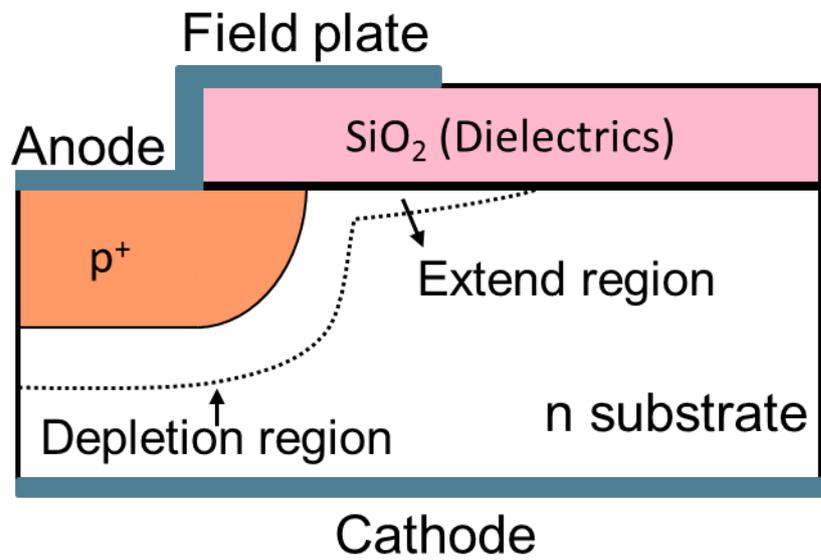


図 5-13 フィールドプレート構造を用いた pn 接合ダイオードの構造

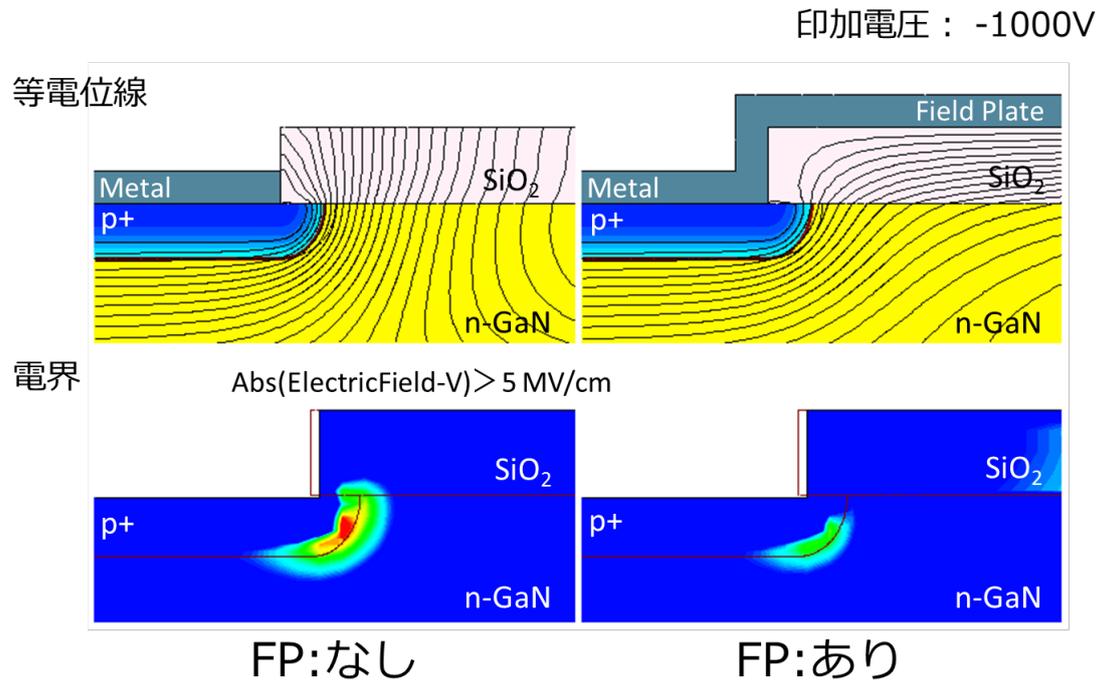


図 5-14 FP 構造の有無によるシミュレーション結果

5.4.5 接合ターミネーションエクステンションによる電界低減

接合ターミネーションエクステンション (JTE) の断面構造を図 5-15 に示す [93]. JTE は, アノード電極下の p^+ 領域から少し離れた場所に追加の p^+ 領域を設け, さらに少し離れた場所に追加の p^+ 領域を設ける. 図 5-15 では, p^+ 領域は 2 つだが, 一定の間隔を空けてより多くの p^+ 領域を設けることでさらに電界強度を緩和する方法もある. 追加された p^+ 領域により, 空乏層が拡がり, 電界強度を下げる可以降低ることができる.

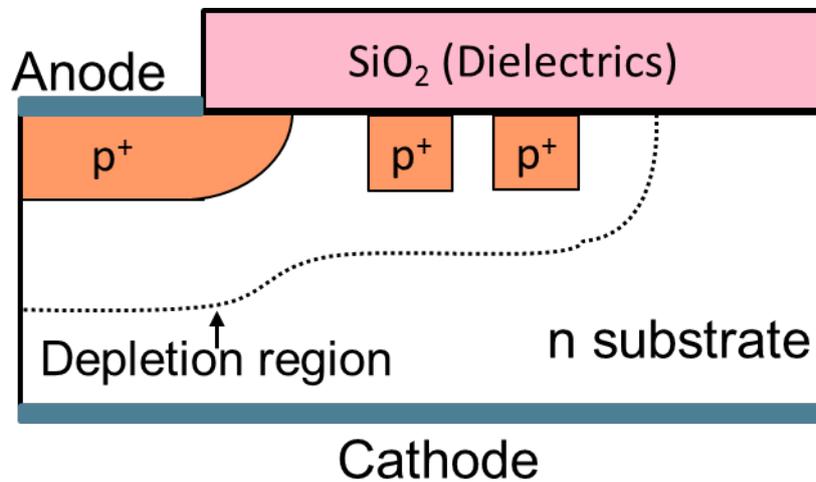


図 5-15 JTE の断面構造

5.5 まとめ

本章では、大出力化を実現するために必要な半導体デバイスの高耐圧化手法を概説した。半導体材料を従来のシリコンから GaN などの化合物半導体材料に変更することで絶縁破壊電界が高くなり、半導体デバイスを高耐圧化できる。GaN を用いた縦型 pn 接合ダイオードを一例として、ドリフト層の設計による高耐圧化手法を述べた。ドリフト層を厚くすることで耐圧を上げることができるが、順方向特性とのトレードオフになっており、ドリフト層の設計だけで高耐圧化することは難しい。さらに、GaN では素子分離のために必須のメサ構造について説明し、メサ角を変化させることで、最大となる電界強度を低減し得ることをシミュレーション結果より示した。しかし、メサ角を変化させただけでは、材料の絶縁破壊電界を超えてしまい、デバイスが破壊されてしまうことから、メサ構造にフィールドプレート構造を適用し、さらなる電界強度の低減が図れることを示した。

電界強度が高くなりやすいところは、半導体デバイスの端、鋭利な形状、メサ端、pn 接合端（面）や空乏層端などいくつもあり、解析的に求めることは難しく、シミュレーションでも多くの時間と計算資源を必要とする。そのため、シミュレーターに入力する構造を簡単にしたり、可能な限りメッシュを減らしたりするなど工夫が必要である。

本章で述べた高耐圧化手法は単独で使うこともできるが、いくつかの方法を組み合わせて使うことで効果的に電界強度を低減することができる。しかし、GaN ではイオン注入技術が確立されておらず、適用できない技術もある。

第6章

高誘電率材料を用いた高耐圧化手法の提案

6.1 はじめに

第5章で述べたように、電界強度を緩和する方法には複数の方法がある。しかし、どれか一つだけを用いた場合では、電界強度を緩和する効果は限られてしまう。そこで縦型 GaN ダイオードに適用しやすい、メサ構造とフィールドプレートを用いた構造で高耐圧化を試みた。しかし、これだけでは、メサ部で電界強度が高くなってしまい、デバイスが破壊されてしまうことがわかった[89,94]。そこで、メサ部での電界強度を低減する方法として絶縁膜に一般的な SiO₂ではなく、高誘電率材料を用い、高耐圧化を目指した。

本章では、絶縁膜に高誘電率材料を用いて、電界強度を低減できることをシミュレーションにより確認し、作製したダイオードでアバランシェ耐性が向上し、デバイスが高耐圧化できることを確認した。

6.2 ダイオードのデバイス構造

シミュレーションと作製した縦型 GaN ダイオードの断面構造を図 6-1 に示す。ダイオードは、GaN 自立基板上に有機金属気相成長法 (MOVPE) によって成長させた p⁺-GaN (30 nm)/p-GaN (500 nm)/n-GaN (1 μm)/n-GaN (17 μm)/n-GaN (2 μm) で構成されるエピタキシャル層を用いた。

ICP ドライエッチングで角度 60 度 (図 6-1 の e) のメサ構造を作製し、その上に高誘電率絶縁膜を 700 nm 堆積した。高誘電率絶縁膜の形状は、作製したデ

バイスをイオン顕微鏡で観察した。メサ構造および絶縁膜を形成した後のダイオードの幾何学的な構造は、断面観察では完全な円錐台でなくわずかに湾曲した斜面であるが、シミュレーションにおいては直線近似のメサ角である 60 度 (図 6-1 の *e*) と 45 度 (図 6-1 の *f*) を使用した。表面電極の Pd (200 nm) は絶縁膜の窓内にリフトオフ方で形成し、Pd の上に Ti/Al を 30/250 nm、また裏面電極には Ti/Al を 30/250 nm 蒸着した。デバイス構造のコンセプトとして、GaN ダイオードの耐圧が 2000 V~2500 V となるように設計した。このような高耐圧を得るために、空乏層がデバイス全体に拡がりやすくなるように不純物プロファイルとエピタキシャル層の厚さを決めている。p⁺-GaN (30 nm) は不純物としてマグネシウムを $2 \times 10^{20} \text{ c m}^{-3}$ 、p-GaN (500 nm) はマグネシウムを $2 \times 10^{18} \text{ c m}^{-3}$ 、n⁻-GaN (1 μm) はシリコン $3 \times 10^{15} \text{ c m}^{-3}$ 、n⁻-GaN (17 μm) はシリコン $1.1 \times 10^{16} \text{ c m}^{-3}$ 、n⁻-GaN (2 μm) はシリコン $2 \times 10^{18} \text{ c m}^{-3}$ をそれぞれドーピングした。p-GaN (500 nm) 下の n⁻-GaN (1 μm) の濃度を下げることで、n⁻-GaN 領域に空乏層が拡がるようにし、設計耐圧の 2000 V 時に n-GaN 全体に空乏層が拡がることで pn 接合面の降伏電界強度を下げている。また、メサ構造にフィールドプレート適用することで pn 接合端面の電界強度を緩和している。

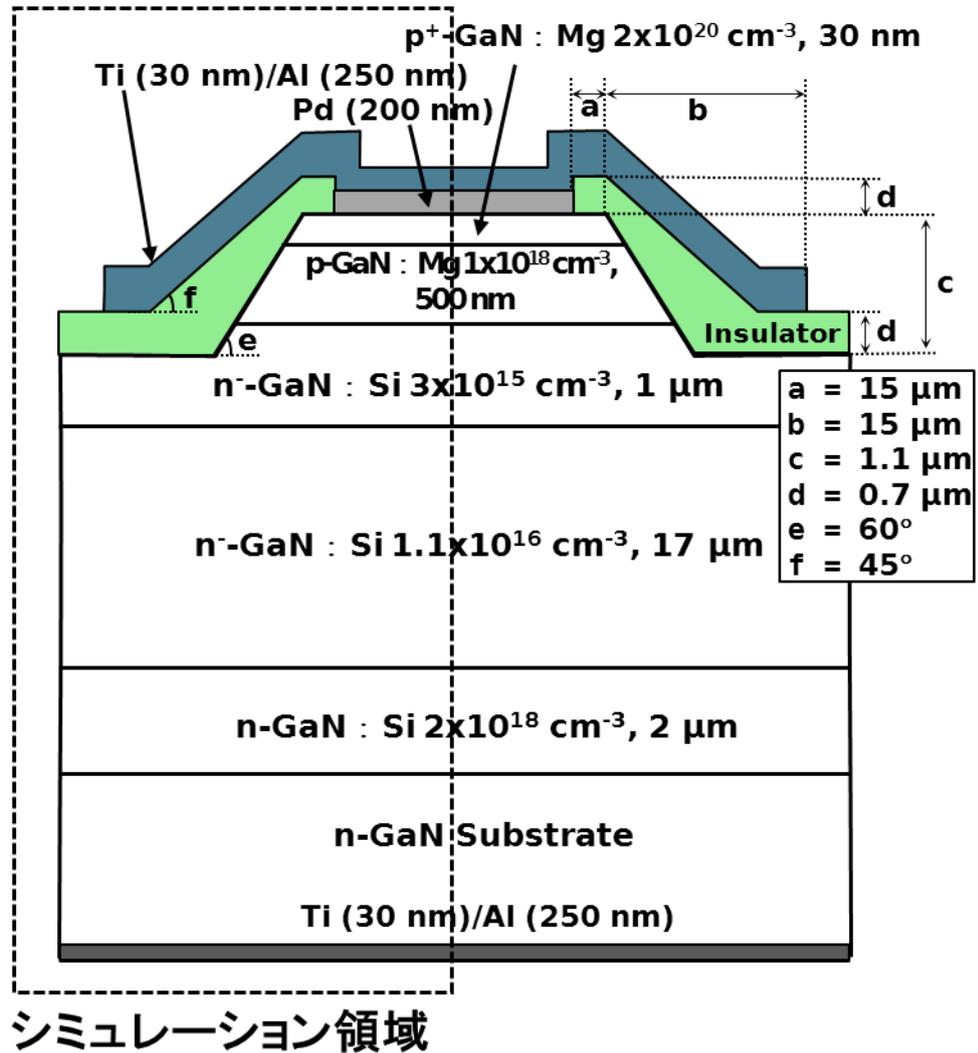


図 6-1 縦型 GaN ダイオードの断面構造

6.3 シミュレーション

メサエッチングされた領域での電界強度のプロファイルを調べるために、デバイスシミュレーションを行った。ここで、実際に作製したデバイス構造は図 6-1 であるが、縦方向に中心で分割すると左右対称となるので、シミュレーションでは、中心から半分だけのデバイス構造を用いた。シミュレーターへの入力構造を図 6-2 に示す。黒い線の格子はメッシュを示しており、電界強度が高くなるメサ領域で特にメッシュを細かくしている。

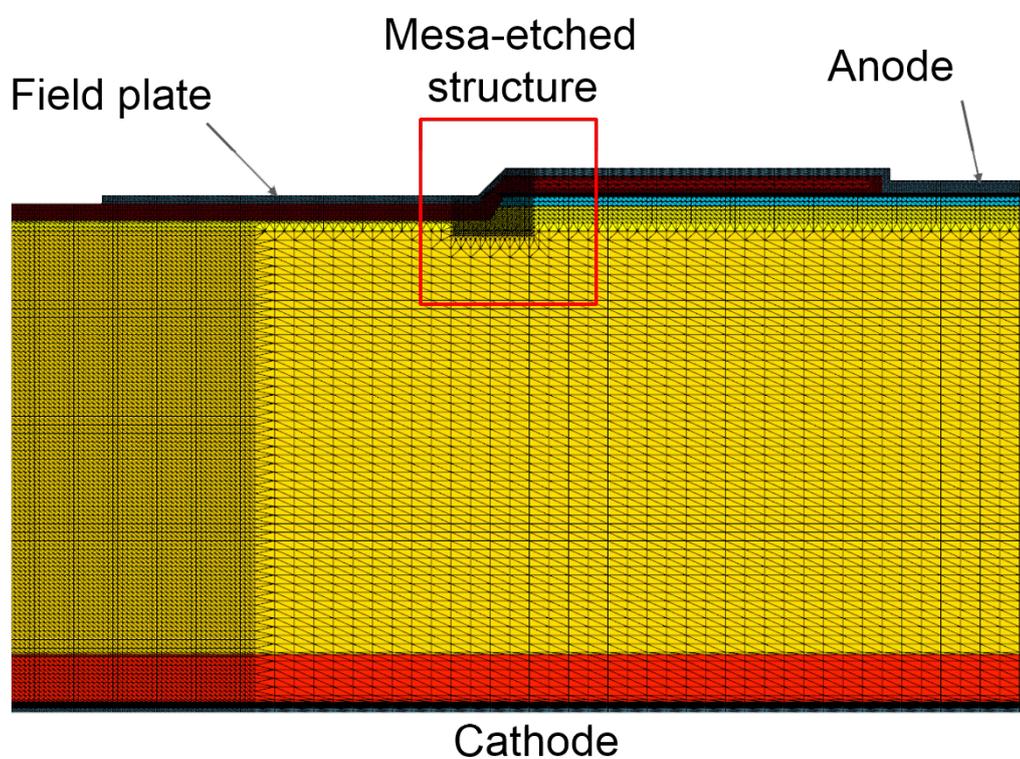
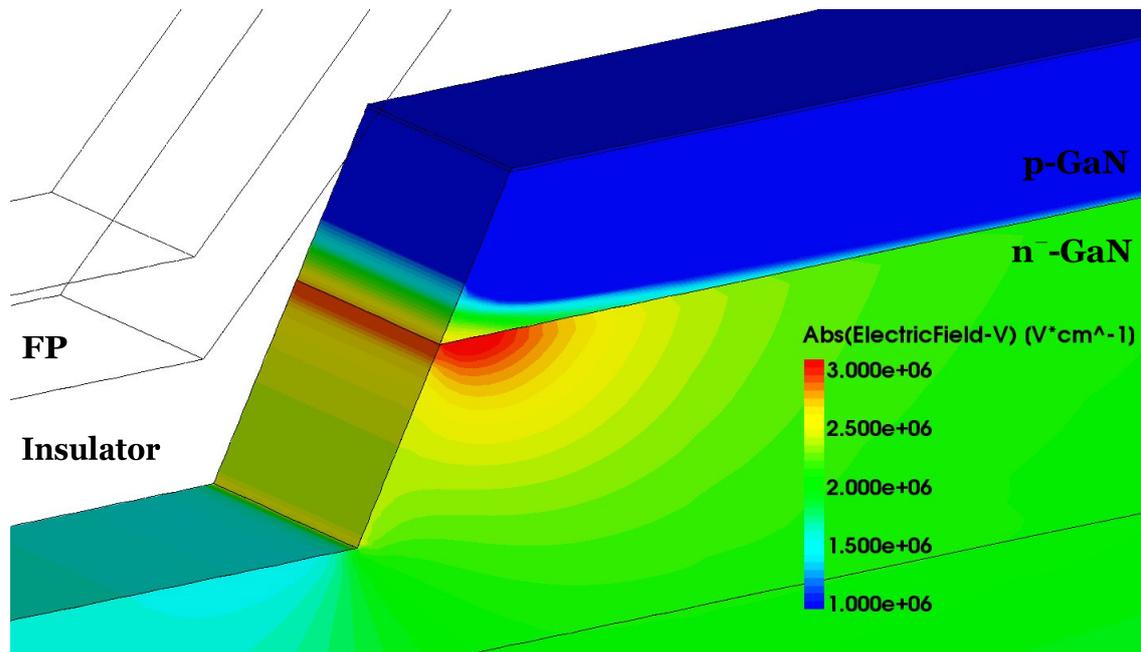
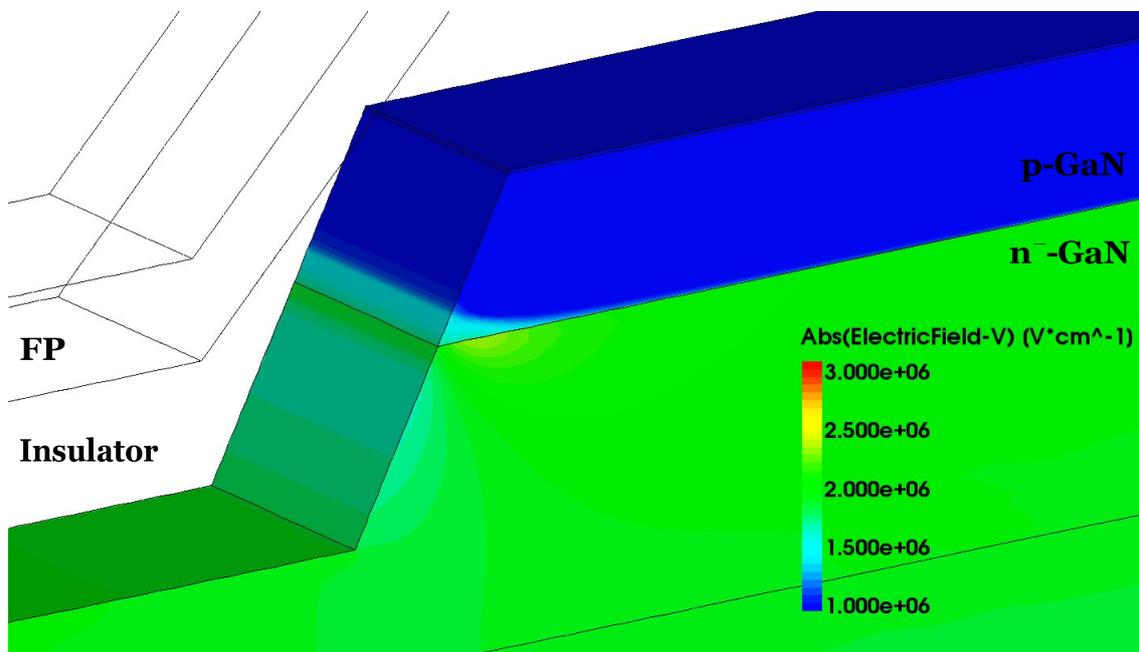


図 6-2 シミュレーターへの入力構造

通常、階段型 pn 接合において電界強度は接合面が最も高く、また端面はさらに電界強度が高くなることが知られている。そこで、上面電極(アノード)を 0 V、下面電極(カソード)を 2000 V に設定した時の、pn 接合面を含むメサエッチングされた領域の n-GaN 層の電界プロファイルを調べた。逆方向電圧を 2000 V とし、絶縁膜に異なる比誘電率の材料 $k = 3.9$ (SiO_2), 10, 100 を入れた時の電界強度分布のシミュレーション結果を図 6-3 に示す。

図 6-3 では、上面電極と絶縁膜を透明にし、p-GaN と n-GaN 領域の電界強度分布を示している。電界強度は $1 \times 10^6 \sim 3 \times 10^6$ V/cm の範囲を示している。 SiO_2 ($k = 3.9$) の時、pn 接合端部とメサ側面から少し内側の pn 接合部に電界強度が高くなっていることがわかる(図 6-3 (a) 参照)。 SiO_2 に代わり、 $k = 10$ の高誘電率絶縁膜を用いると、pn 接合端部の電界強度が緩和されるとともに、メサ側面全体の電界強度も緩和されている(図 6-3 (b) 参照)。しかし、メサ側面より少し内側の pn 接合部に電界が高い部分が残ってしまう。さらに、 $k = 100$ にすると、pn 接合端部の電界強度は大きく緩和される一方、メサ側面の下端付近で電界強度が高くなってしまう(図 6-3 (c) 参照)。

(a) $k = 3.9$ (SiO₂)(b) $k = 10$

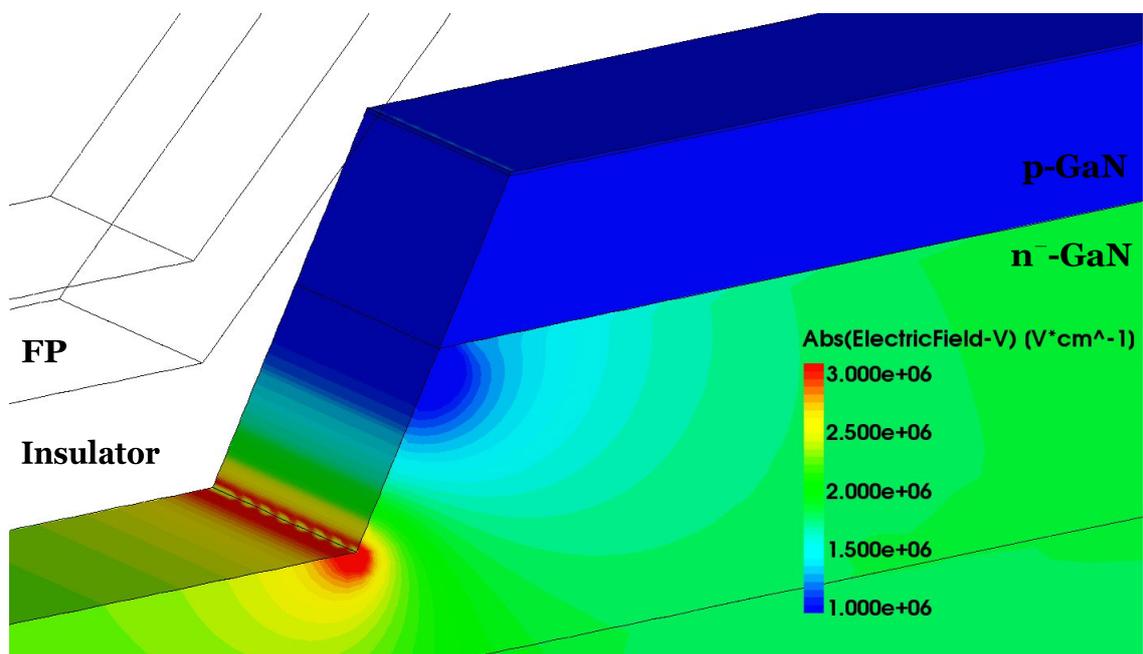
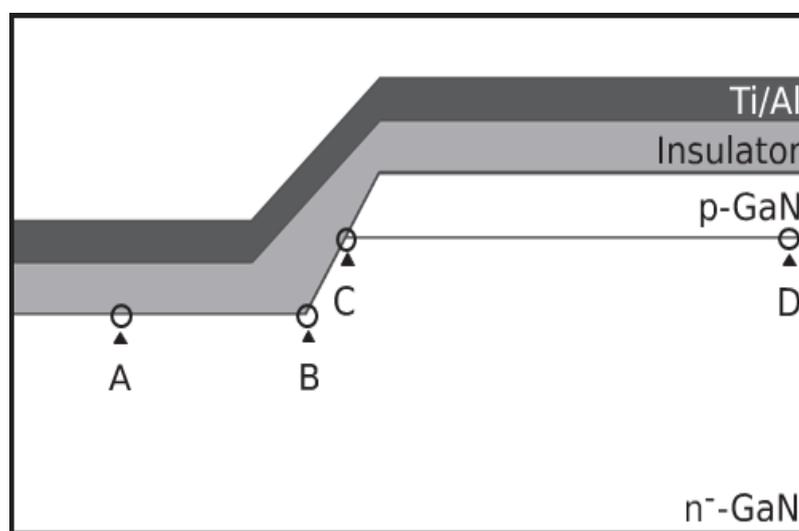
(c) $k = 100$ 図 6-3 メサ周辺の電界強度のシミュレーション結果 (a) $k = 3.9$ (b) $k = 10$ (c) $k = 100$ 

図 6-4 メサと p n 接合の拡大図. 点 A はメサ下部面, 点 B はメサ下部, 点 C は p n 接合端, 点 D は真性 p n 接合部.

次に、位置による電界強度のプロファイルを調べた。図 6-4 の絶縁膜の底面（点 A）からメサ側面の下端（点 B）、pn 接合端部（点 C）を經由し、真性 pn 接合面（点 D）までの絶縁層と GaN の境界に沿った電界強度を図 6-5 に示す。 $k = 3.9$ の時、メサ側面全体（点 B-C 間）で電界強度が高くなっており、特に pn 接合端部（点 C）周辺で最も高くなっている。これよりメサ側面及び pn 接合端部周辺でデバイスが破壊され耐圧が低下してしまうと予測される。次に、 $k = 10$ の時、A-B 間の電界強度は $k = 3.9$ よりやや高くなるが極端に高くなる点はなく、特にメサ側面全体（点 B-C 間）で電界強度が低くなっている。また、最大電界強度も、 $k = 3.9$ (SiO_2) の時 3.1 MV/cm 、 $k = 10$ の時 2.3 MV/cm となり、 SiO_2 より 30%程度緩和されている。これにより、デバイスが破壊されにくくなり、耐圧が高くてできることが分かる。最後に、 $k = 100$ の時、メサ側面全体（点 B-C 間）で電界強度は低くなるが、メサ側面の下端（点 B）周辺で電界強度が極端に高くなっており、最大電界強度はどの比誘電率よりも高くなっている。したがって、点 B 周辺でデバイスが破壊され、耐圧が低下すると考えられる。図 6-5 より、メサ側面の下端（点 B）と pn 接合端（点 C）のどちらかもしくは両方で電界強度が最大となることがわかる。

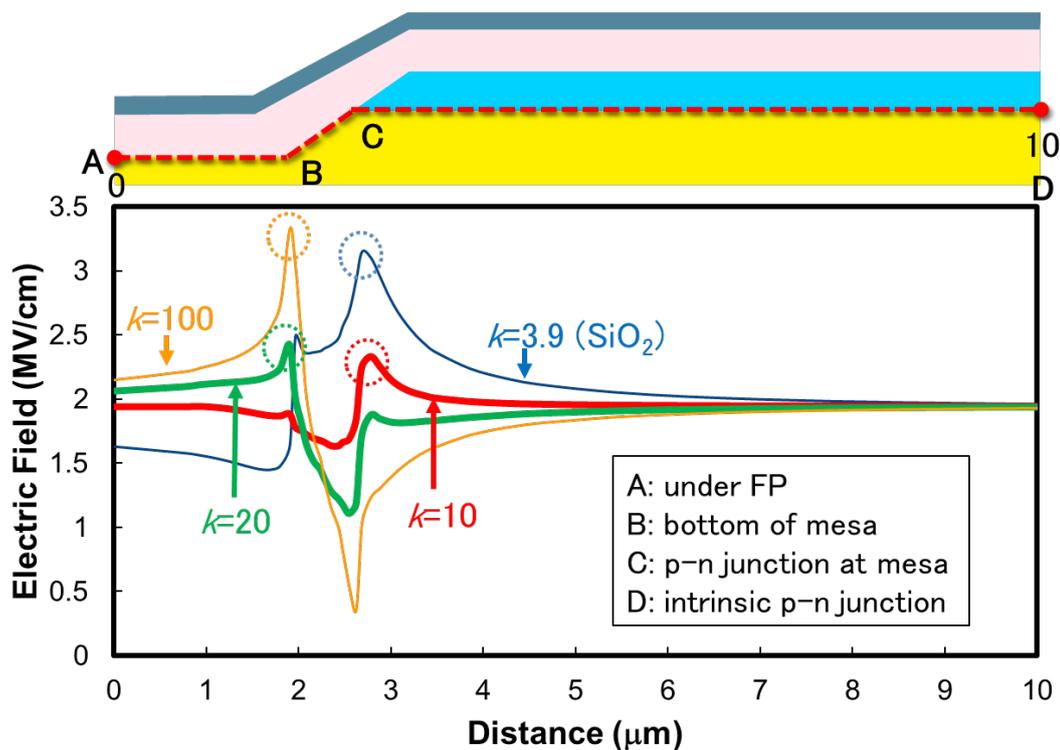


図 6-5 点 A から点 B, 点 C, 点 D を経由した時の電界強度の分布

点 A, 点 B, 点 C と点 D における, 比誘電率 k に対する電界強度のグラフを図 6-6 に示す. 図 6-6 より, 真性 pn 接合面 (点 D) は, k の影響は受けず, 一定となる. メサ側面の下端 (点 B) は, k を上げると電界強度は急激に減少し, 約 $k = 10$ で最小となり, 約 $k = 12$ から緩やかに上昇する. また, pn 接合端部 (点 C) 周辺は, k を上げるにつれて電界強度は減少し, 約 $k = 16$ で一定となる. これより k を単に大きくすれば電界強度が緩和されるわけではなく, A~D の各点におけるピーク電界強度が最小となる最適な値 $k = 14 \sim 20$ が存在することがわかる. これは, 絶縁膜の容量と n-GaN の空乏層容量でデバイスに印加される電圧が分散されるためと考えられる. GaN ダイオードの表面に堆積した絶縁膜上にフィールドプレート電極を形成した場合, フィールドプレート電極と絶縁膜とで形成される容量と, GaN 半導体層内に形成される空乏層容量との直列接続構造が形成される. これらの 2 つの容量の値の差により絶縁膜に印加される電圧と GaN

側に印加される電圧に相違が生じる。絶縁膜の比誘電率を高くすることでこの領域の容量値を大きくし、絶縁膜に印加されていた電圧を GaN 基板側に分散させることによって空乏層幅を広げ GaN 表面の電界が緩和される。GaN 表面の電界強度はダイオードの場所によって異なるため、ダイオード全体の電界強度を緩和させる最適な絶縁膜の比誘電率が存在することになる。

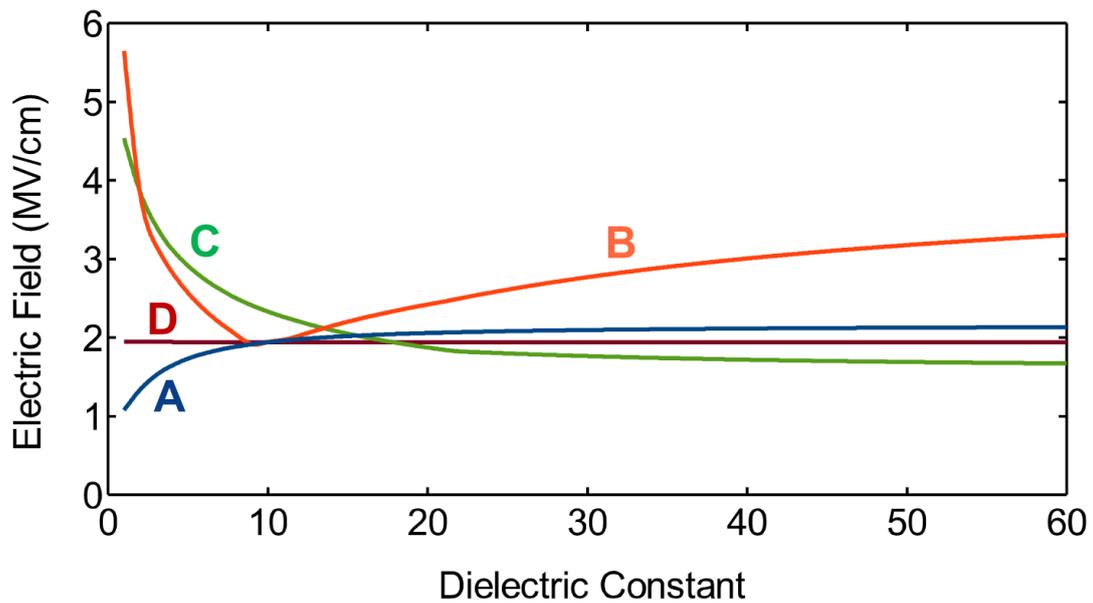


図 6-6 比誘電率 k に対する電界強度

6.4 高誘電率絶縁膜材料

前節のシミュレーション結果より, 最適な比誘電率に近い高誘電率絶縁膜材料を探すために, 一般的な半導体材料の比誘電率 k , バンドギャップエネルギー E_g , 破壊電界強度 E_{BR} を表 6-1 に示す[95-99]. シミュレーション結果の比誘電率に近い材料は Y_2O_3 であり, E_{BR} も 5 MV/cm と高く, 高誘電率絶縁膜材料として最適に見える. しかし, Y_2O_3 を絶縁膜として使うためには, 新たなプロセスの開発が必要となりすぐに実験することができなかった. そこで, SiO_2 と CeO_2 のセリウム・シリコン複合酸化物膜を選択した.

表 6-1 材料の特性

Material	k	E_g (eV)	E_{BR} (MV/cm)
GaN	8.9	3.39	5.0
SiO_2	3.9	9	2
Si_3N_4	7	5.3	10
Al_2O_3	9	8.8	6
Ta_2O_5	22	4.4	>1
TiO_2	80	3.5	1.2
$SrTiO_3$	300	3.2	0.5
ZrO_2	25	5.8	1
HfO_2	25	5.8	5-50
La_2O_3	30	6	10
CeO_2	26	3.4	1
Y_2O_3	15	6	5

6.5 セリウム・シリコン複合酸化物膜

セリウム・シリコン複合酸化物膜の作製方法を図 6-7 に示す。セリウム・シリコン複合酸化物膜は、原料として液体有機金属アルコキシセリウム ($\text{Ce}[\text{OC}(\text{C}_2\text{H}_5)_2\text{CH}_3]_4$) とオルトケイ酸テトラエチル (TEOS: $\text{Si}(\text{OEt})_4$) を用い、熱分解 CVD 法 [100,101] により上記有機セリウム原料の最適堆積温度である 350°C で約 700 nm 堆積した。TEOS の熱分解温度は 600°C 以上であり、通常 350°C では分解しないが、TEOS を間欠的に導入し、有機セリウム原料の熱分解の際に生ずる H_2O により加水分解を起こさせ分解温度を低減することで複合酸化物膜を形成することに成功している [102]。図 6-8 に TEOS でのバルブのタイミング図を示す。有機セリウム原料を連続的に導入し、TEOS を 3 分間に 5 秒間の割合で間欠的に導入した場合、組成は CeO_2 対 SiO_2 換算で約 2 対 1 であった。セリウム・シリコン混合酸化物の X 線解析 (XRD) の結果を図 6-9 に示す。

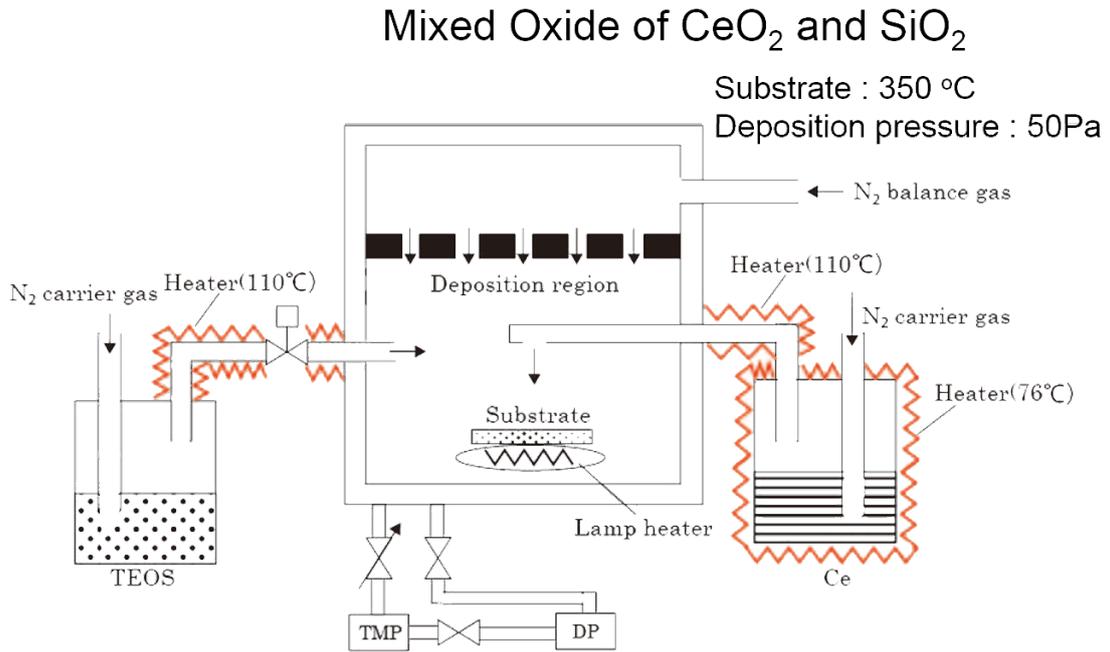


図 6-7 セリウム・シリコン混合酸化膜の作製方法

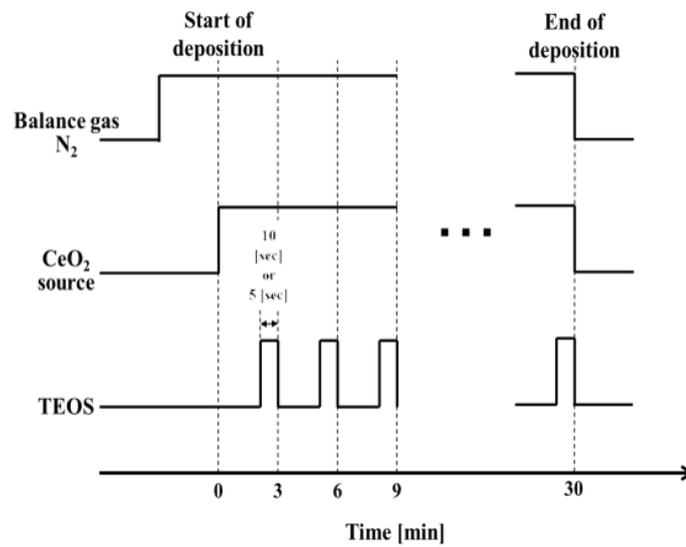


図 6-8 TEOS バルブのタイミング

図 6-9 は、TEOS ガスの導入なしと導入あり（5 秒と 10 秒）の場合を示している。図 6-10 に透過電子顕微鏡（TEM）写真を示す。図 6-9 と図 6-10 より、セリウム・シリコン混合酸化物では柱状結晶は観察されず、アモルファス構造を示している。メタル-混合酸化物-nGaN 基板のセリウム・シリコン混合酸化物の C-V 特性を図 6-11 に示す。図 6-11 より、セリウム・シリコン混合酸化物の厚さ 700 nm 時の容量は 15 nf/cm^2 を示している。この測定した C-V 特性より計算したセリウム・シリコン複合酸化物の比誘電率は、1 MHz 時で 12.3 であった。セリウム酸化膜 CeO_2 のみの比誘電率は 26、シリコン酸化膜の比誘電率は 3.9 のため、セリウム・シリコン複合酸化物はその中間の比誘電率を有する膜となっている。図 6-1 に示した構造で高誘電率絶縁膜としてセリウム・シリコン複合酸化物を用いたダイオードを試作し評価した。作製したダイオードの写真を図 6-12 に示す。60 から $200 \mu\text{m}$ まで寸法を変えて作製した。作製したダイオードをイオンビームで削った走査電子顕微鏡（SEM）の上部断面写真を図 6-13 に示す。一番上にフィールドプレート構造の Ti/Al 電極があり、その下にセリウム・シリコン複合酸化物の層があり、その下が GaN となっている。セリウム・シリコン複合酸化物の層は保護膜としてダイオード全体を覆っている。

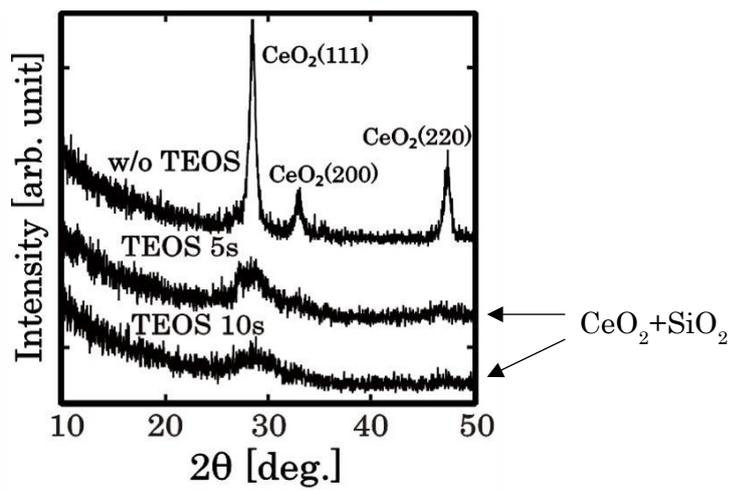


図 6-9 セリウム・シリコン混合酸化物の XRD

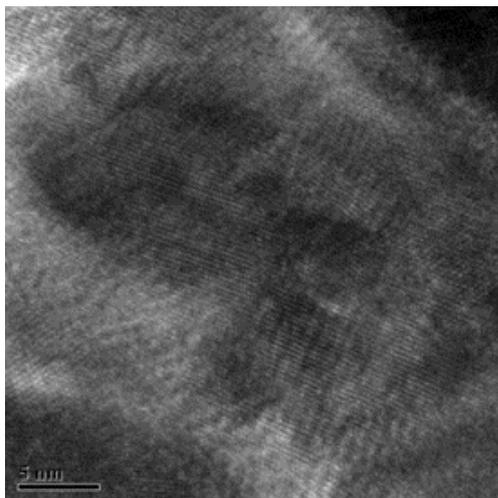


図 6-10 TEM 写真

Electrode: Ti/Al

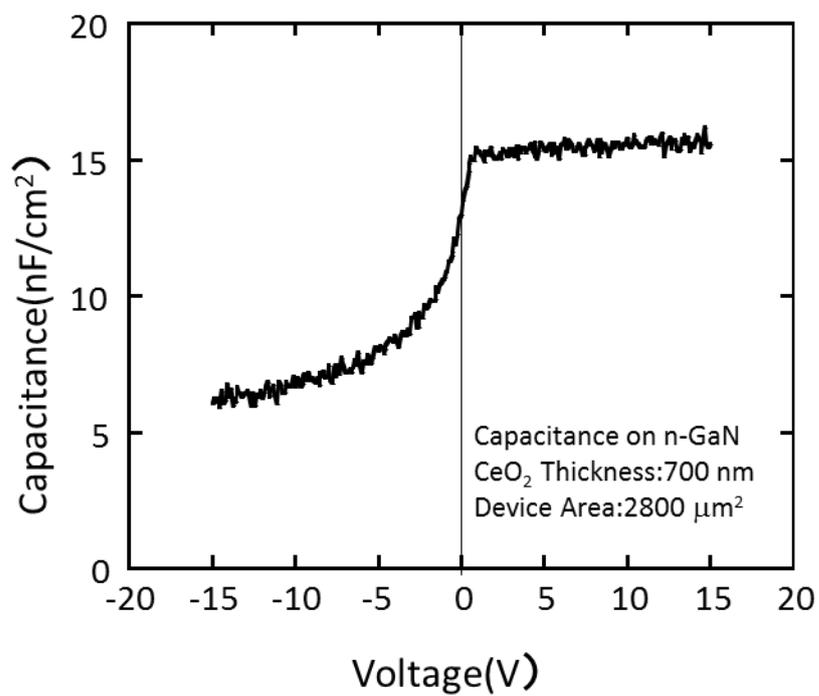


図 6-11 セリウム・シリコン混合酸化物の C-V 特性

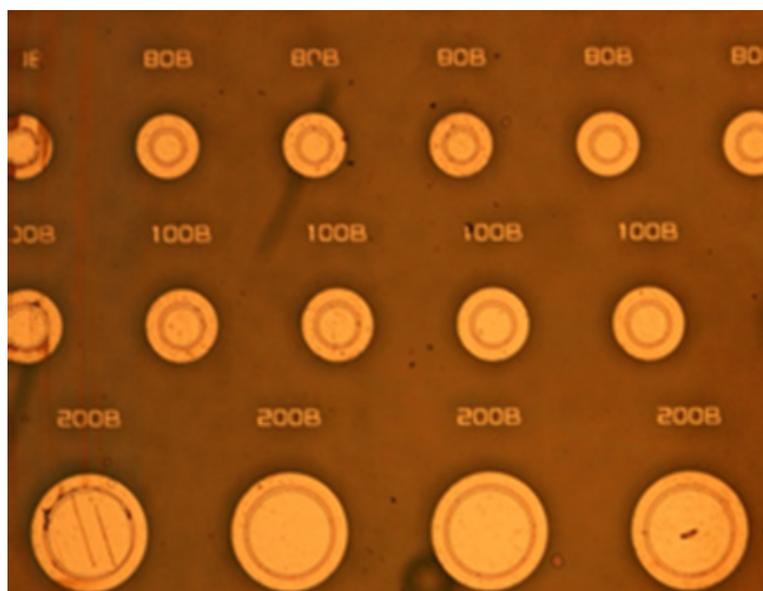


図 6-12 作製したダイオードの写真

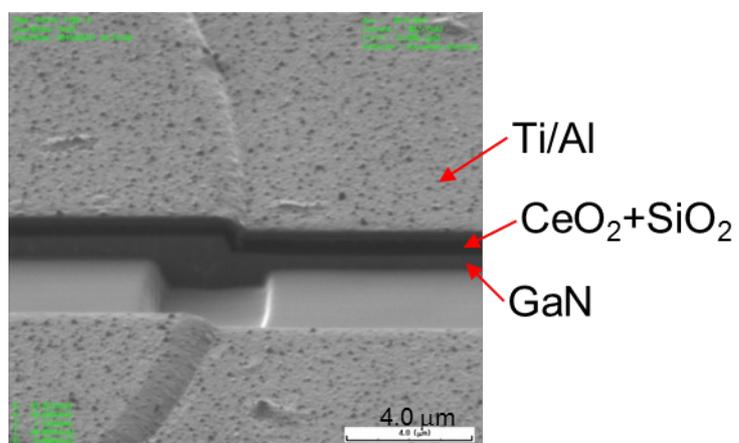


図 6-13 作製したダイオードの断面写真

順方向電流電圧特性の測定結果を図 6-14 に、逆方向電流電圧特性の測定結果を図 6-15 に示す。なお、比較のために絶縁膜として SiO₂/SOG 酸化膜を 700 nm 堆積した結果も示した。図 6-14 の順方向特性は、どちらのダイオードもターンオン電圧は約 3 V であり、理想係数は 2 か 2 より少し高い値が得られている。図 6-15 の逆方向特性は、絶縁膜として SiO₂/SOG 酸化膜を用いた場合は絶縁破壊電圧が 2000~2200 V であり、それ以上の電圧を印加すると電流が急激に増加し急激に破壊することが分かった。これに反してセリウム・シリコン複合酸化物膜を用いると耐圧はほぼ同一であったが、耐圧以上の電圧を印加して逆方向電流が数桁程度急激に増加しても急激な破壊は起こりにくい特性になっており、アバランシェ耐量が改善されていることが分かった。このことは、セリウム・シリコン複合酸化物膜を絶縁膜として用いると、電界がメサ構造の pn 接合端に集中せず pn 接合面全体に電流が流れているためと考えられる。このように高誘電率材料を絶縁膜として用いることによりメサ側面での電界集中を分散できることが分かった。電界集中を有効に分散できる比誘電率および膜厚についての最適化についてはさらなるシミュレーションと実験を行う必要がある。

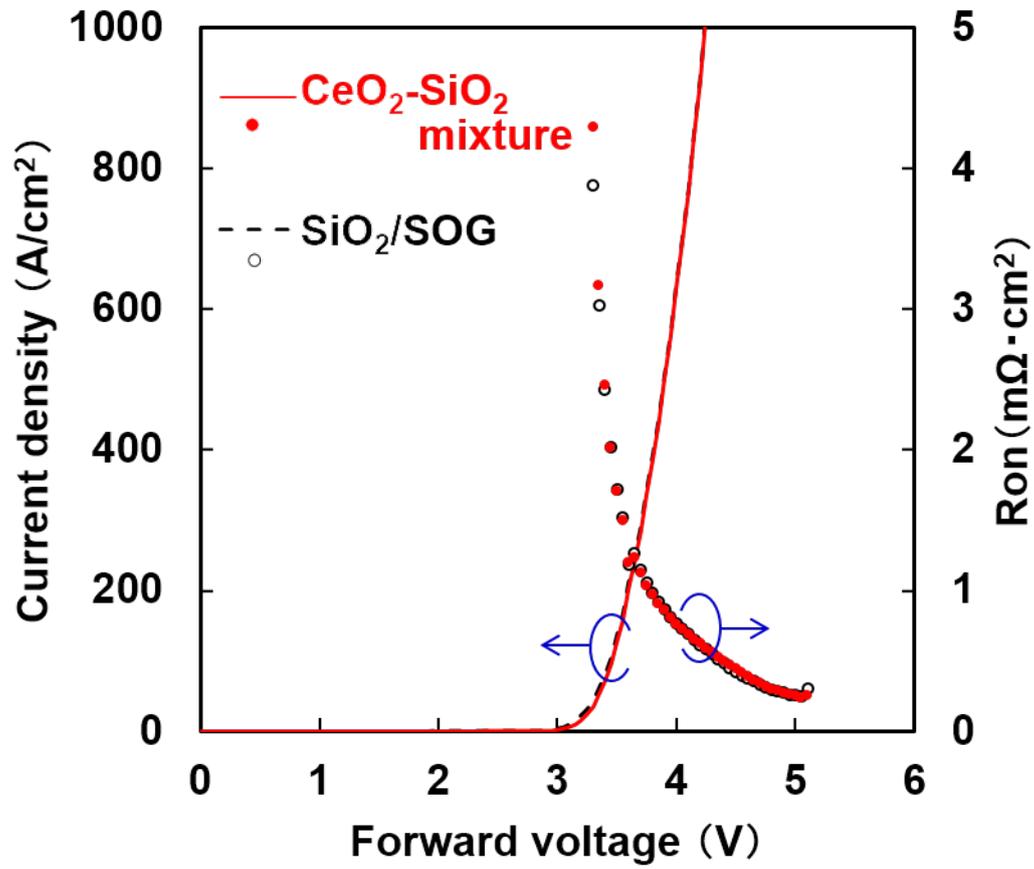


图 6-14 順方向特性

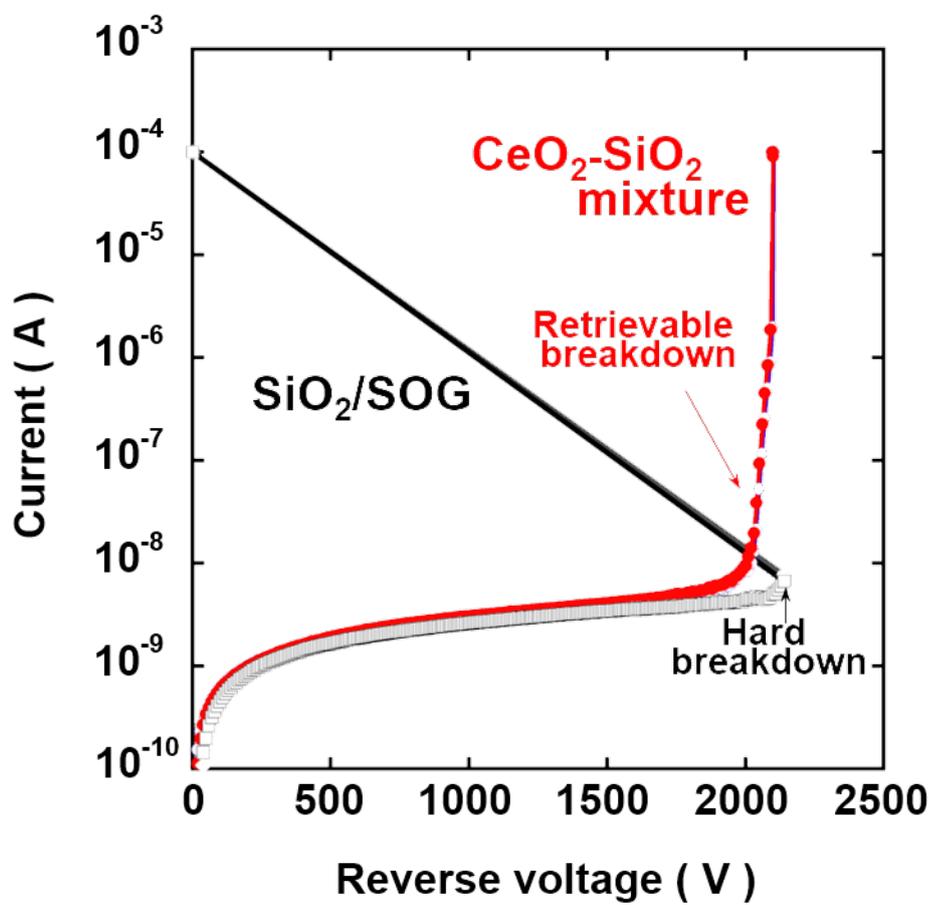


图 6-15 逆方向特性

6.6 まとめ

フィールドプレート電極を有する縦型 GaN ダイオードへの高誘電率絶縁膜の効果を検討した。デバイスシミュレーションより、pn 接合端の最大電界は比誘電率が SiO_2 の 3.9 では 3.2 MV/cm となるのに対し比誘電率が 10 の絶縁膜では 2.3 MV/cm と大幅に減少し、 SiO_2 の代わりに高誘電率絶縁膜を用いることで電界集中を緩和できることを確認した。比誘電率が 12.3 であるセリウム・シリコン複合酸化物膜を絶縁膜に用いて作製した GaN ダイオードは絶縁破壊電圧以上の電圧を印加しても逆方向電流が数桁程度増加し急激な破壊は起こりにくい特性になり、アバランシェ耐量を改善することに成功した。

第7章

結論

本論文では、高出力化のために必要な高耐圧な半導体デバイスの電界低減技術と、高出力化に対応したシステムと回路構成を組み合わせることにより、高出力化が図れることを示した。

第3章では、電源電圧よりも高い電圧を出力可能なD級増幅器について述べた。従来のD級増幅器は、電源電圧よりも大きな振幅を出力しようとする、電源電圧を昇圧と降圧するDC-DCコンバーターの両方が必要となり、システム全体の面積が大きくなっていた。そこで、D級増幅器の出力段とDC-DCコンバーターの構成がほぼ同じであることに着目し、出力段に降圧型と昇圧型のDC-DCコンバーター機能をHブリッジに組み込む方法を提案した。また、降圧型と昇圧型をスムーズに切り替えるためのスイッチ制御回路を提案した。また、この回路は、降圧型と昇圧型のスイッチング時に貫通電流が流れることを防いでいる。

本提案の方法により、電源電圧を変えずに、電源電圧よりも高い振幅を出力することが可能となった。また、本手法を用いたSpiceシミュレーションの結果では、SNDRは8.8dB改善した。このシミュレーション結果より、電気特性を良くしつつ、電源電圧を超えた大きな出力振幅を得ることが可能になるため、システム全体を小型化しつつ、大出力化にも有効であることも示された。提案手法はパワーエレクトロニクスの進展にともない、ますます有効な手段となりうる。

第4章では、デジタル直接駆動スピーカーシステムを高出力に対応させる方法について述べた。本システムの出力段をHブリッジ回路に変更することで、単一の電源電圧のまま、出力電圧範囲を広げることが可能になる。また、低出力動作時のスピーカー特性ばらつきによる音質低下を改善するZVD方式を提案し

た。この方式を用いることで、低出力時の高調波の低減が可能である。また、本提案の ZVD 方式を用いた DDSP システムを $0.18 \mu\text{m}$ CMOS デジタル半導体プロセスで試作し、SNR は従来と同等の 100 dB、5 W 時の THD は 0.054 % となることを確認した。この試作チップの測定結果から、本手法がスピーカーの特性ばらつきに起因する雑音を低減することに対して有効であることが示された。

第 5 章では、GaN を用いた pn 接合ダイオードの電界低減手法について述べた。メサ構造を有する GaN ダイオードは、メサ端、pn 接合面や pn 接合端で電界強度が高くなり、耐圧を下げる原因となっていた。メサに角度を付けて緩やかな斜面にする方法とフィールドプレート電極を付ける二つの方法を組み合わせることで電界低減を行ったが、GaN の絶縁破壊電界を上回りデバイスが破壊されてしまう。

第 5 章で述べた高耐圧化手法のみではデバイスが破壊されてしまう問題が発生してしまった。第 6 章では、この解決方法として、フィールドプレート電極下の SiO_2 の絶縁膜の使用に代え、高誘電率絶縁膜を用いる方法を提案した。この方法による効果を確認するためにデバイスシミュレーションを行った。シミュレーション結果より、絶縁膜の比誘電率の違いによって電位分布が変わり、その結果として電界強度分布も変わり、最大電界の値を変化させることが可能となった。これより、最大電界の値を最小とするような比誘電率を求めることで、高誘電率絶縁膜に使う材料を決定した。高誘電率絶縁膜に使った材料は、セリウム・シリコン複合酸化物膜であり、形成過程の SiO_2 と CeO_2 の混合比率で比誘電率が変わる。このセリウム・シリコン複合酸化物膜を用いて GaN ダイオードを試作し、最大電界の低減効果を確認した。試作したダイオードの順方向 I-V 特性は、 SiO_2 とセリウム・シリコン複合酸化物膜とで全く同じ結果となり、高誘電率絶縁膜を用いてもダイオードの性能に影響は出なかった。逆方向 I-V 特性より、 SiO_2 は 2000 V から 2200 V で破壊されているのに対して、セリウム・シリコン複合酸化物膜を用いたデバイスは破壊されることがなかった。この結果よりアバランシェ耐量が改善され、高誘電率絶縁膜により最大電界の低減効果の有効性が確認された。

以上本論文では、大出力化に必要な技術を回路的側面およびデバイスの側

面から検討し，高出力化に適したシステム構成法，回路構成法，半導体デバイスの高耐圧化手法を提案した．本提案により，大出力で高効率なシステムを実現することができる．

参考文献

- [1] 平成 27 年度エネルギーに関する年次報告（エネルギー白書 2016），経済産業省 資源エネルギー庁，2016.
- [2] 平成 28 年版環境白書・循環型社会白書・生物多様性白書，環境省，2016.
- [3] 次世代パワー半導体 II，日経 BP 社，2013.
- [4] B. J. Baliga, Power semiconductor device figure of merit for high-frequency applications, IEEE Electron Device Letters, vol. 10, pp. 455-457, 1989.
- [5] T. P. Chow, R. Tyagi, Wide bandgap compound semiconductors for superior high-voltage unipolar power devices, IEEE Transactions on Electron Devices, vol. 41, pp. 1481-1483, 1994.
- [6] J. A. Cooper, M. R. Melloch, R. Singh, A. Agarwal, J. W. Palmour, Status and prospects for SiC power MOSFETs, IEEE Transactions on Electron Devices, vol. 49, pp. 658-664, 2002.
- [7] K. Kuroki, R. Saito, N. Shinkawa, T. Tsuchiya, A. Yasuda, A Digitally Direct Driven Dynamic-Type Loudspeaker, Audio Engineering Society Convention 124, 2008.
- [8] W. Newell, Power Electronics Emerging from Limbo, IEEE Trans. IA-10, No.1, pp7-11, 1974.
- [9] 谷内利明監修，松本寿彰編著，小倉常雄，小谷和也，田井裕通，竹内宏行，実践パワーエレクトロニクス入門 パワー半導体デバイス，オーム社，2016.
- [10] 森本雅之，EE Text パワーエレクトロニクス，オーム社，2010.
- [11] 本田潤，D 級/デジタル・アンプの設計と製作，CQ 出版社，2004.
- [12] 荻野肅，大内康裕，山崎芳男，平面スピーカ：マルチセル型平面スピーカとフレキシブルコンデンサスピーカ(最近のスピーカの話題)，日本音響学会誌，vol.62, no.11, pp.802-807, 2006.

- [13] 杉本岳大, 小野一穂, 安藤彰男, 黒住幸一, 原晃, 森田雄一, 三浦昭人, フレキシブルディスプレイ用スピーカの音響特性: ひずみ特性を中心に(立体音響・トランスデューサー一般), 電子情報通信学会技術研究報告.EA, 応用音響, vol.107, no.370, pp.1-6, 2007.
- [14] 鎌倉友男, 酒井新一, 超指向性音響システムの開発, 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, vol.1, no.3, pp.3_37-3_43, 2008.
- [15] 大賀寿郎, 圧電材料を用いた音響部品のバラエティ, 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, vol.1, no.4, pp.4_46-4_61, 2008.
- [16] 杉本岳大, 高分子材料を用いた透明・フレキシブル・軽量なスピーカー(ヘッドライン:神秘的な音を化学する), 化学と教育, vol.62, no.10, pp.480-483, 2014.
- [17] Q. Zhou and A. Zettl, Electrostatic graphene loudspeaker, Appl.Phys.Lett., vol.102, no.22, pp.223109, 2013.
- [18] 宮倉隆志, 1-1 携帯電話の小形マイクロホン・小形スピーカの技術(1.携帯電話の音響デバイス技術,携帯電話の聞く・聞かせる技術), 電子情報通信学会誌, vol.96, no.11, pp.826-832, 2014.
- [19] C. Keplinger, J. Sun, C. C. Foo, P. Rothmund, G. M. Whitesides, Z. Suo, Stretchable, transparent, ionic conductors, Science, vol.341, no.6149, pp.984, 2013.
- [20] P. E. Edelman, Condenser loud-speaker with flexible electrodes, Proceedings of the Institute of Radio Engineers, vol.19, no.2, pp.256-267, 1931.
- [21] 飯塚求, 大場勇治郎, 上田政夫, リボン状 unit からなるコンデンサースピーカー (1), 応用物理, vol.30, no.11, pp.805-809, 1961.
- [22] 武岡成人, 栗原誠, 岡崎正倫, 及川靖広, 西川明成, 山崎芳男, コンデンサマイク/スピーカを用いた 1bit 波面記録再生システム, 電子情報通信学会技術研究報告.EA, 応用音響, vol.105, no.136, pp.25-30, 2005.

-
- [23] Hsin-Yuan Chiang and Yu-Hsi Huang, Vibration and sound radiation of an electrostatic speaker based on circular diaphragm, *J.Acoust.Soc.Am.*, vol.137, no.4, pp.1714-1721, 2015.
- [24] 秋野裕, 下川博文, 大気圧プラズマを用いたイオンマイクロホンの基礎研究, *日本音響学会誌*, vol.68, no.5, pp.224-231, 2012.
- [25] D. Dapkus, Class-D audio power amplifiers: an overview, 2000 Digest of Technical Papers, International Conference on Consumer Electronics, Nineteenth in the Series (Cat. No.00CH37102), Los Angles, CA, USA, pp. 400-401, 2000.
- [26] Akinori O, Katsuya O, Yoichi E, Akira Y. Discussion About the SNR Improvement of the Class-D Amplifier Using a Second-order Noise Shaping, *Papers of Technical Meeting on Electronic Circuits IEE Japan*, Vol.ECT-06, No.11-25, 55-59, 2006.
- [27] Berkhout Marco. An integrated 200-W class-D audio amplifier. *IEEE Journal of Solid State Circuit*, 38(7):1198-1206, 2003.
- [28] Meng Tong Tan, JS. An investigation into the parameters affecting total harmonic distortion in low-voltage low-power class-D amplifiers. *IEEE Transactions on Circuits and Systems*, 50(10):1304-1315, 2003.
- [29] 早坂寿雄, 音の歴史, 電子情報通信学会, 1989.
- [30] 大賀寿郎, 圧電材料を用いた音響部品のバラエティ, 電子情報通信学会 基礎・境界ソサイエティ *Fundamentals Review*, vol.1, no.4, pp.4_46-4_61, 2008.
- [31] 荻野肅, 大内康裕, 山崎芳男, 平面スピーカ : マルチセル型平面スピーカとフレキシブルコンデンサスピーカ(最近のスピーカの話題), *日本音響学会誌*, vol.62, no.11, pp.802-807, 2006.
- [32] 杉本岳大, 小野一穂, 安藤彰男, 黒住幸一, 原晃, 森田雄一, 三浦昭人, フレキシブルディスプレイ用スピーカの音響特性 : ひずみ特性を中心に(立体音響・トランスデューサー一般), 電子情報通信学会技術研究報告.EA, 応用音響, vol.107, no.370, pp.1-6, 2007.

- [33] 鎌倉友男, 酒井新一, 超指向性音響システムの開発, 電子情報通信学会 基礎・境界ソサイエティ *Fundamentals Review*, vol.1, no.3, pp.3_37-3_43, 2008.
- [34] 大賀寿郎, 圧電材料を用いた音響部品のバラエティ, 電子情報通信学会 基礎・境界ソサイエティ *Fundamentals Review*, vol.1, no.4, pp.4_46-4_61, 2008.
- [35] 杉本岳大, 高分子材料を用いた透明・フレキシブル・軽量なスピーカー(ヘッドライン:神秘的な音を化学する), *化学と教育*, vol.62, no.10, pp.480-483, 2014.
- [36] Q. Zhou and A. Zettl, Electrostatic graphene loudspeaker, *Appl.Phys.Lett.*, vol.102, no.22, pp.223109, 2013.
- [37] 宮倉隆志, 1-1 携帯電話の小形マイクロホン・小形スピーカの技術(1.携帯電話の音響デバイス技術,携帯電話の聞く・聞かせる技術), 電子情報通信学会誌, vol.96, no.11, pp.826-832, 2014.
- [38] B. Putzeys, Digital audio's final frontier, *Spectrum, IEEE*, vol. 40, no. 3, pp. 34-41, Mar 2003.
- [39] C. Keplinger, J. Sun, C. C. Foo, P. Rothemund, G. M. Whitesides, Z. Suo, Stretchable, transparent, ionic conductors, *Science*, vol.341, no.6149, pp.984, 2013.
- [40] P. E. Edelman, Condenser loud-speaker with flexible electrodes, *Proceedings of the Institute of Radio Engineers*, vol.19, no.2, pp.256-267, 1931.
- [41] 飯塚求, 大場勇治郎, 上田政夫, リボン状 unit からなるコンデンサースピーカー (1), *応用物理*, vol.30, no.11, pp.805-809, 1961.
- [42] 武岡成人, 栗原誠, 岡崎正倫, 及川靖広, 西川明成, 山崎芳男, コンデンサマイク/スピーカを用いた 1bit 波面記録再生システム, 電子情報通信学会技術研究報告.EA, *応用音響*, vol.105, no.136, pp.25-30, 2005.

-
- [43] Hsin-Yuan Chiang and Yu-Hsi Huang, Vibration and sound radiation of an electrostatic speaker based on circular diaphragm, *J.Acoust.Soc.Am.*, vol.137, no.4, pp.1714-1721, 2015.
- [44] 秋野裕, 下川博文, 大気圧プラズマを用いたイオンマイクロホンの基礎研究, *日本音響学会誌*, vol.68, no.5, pp.224-231, 2012.
- [45] P. Ross, Top 11 technologies of the decade, *Spectrum, IEEE*, vol. 48, no. 1, pp. 62–63, 2011.
- [46] 本田潤, *D級/デジタル・アンプの設計と製作*, CQ出版, 2004.
- [47] 藤井信生, 関根慶太郎, 高木茂孝, 兵庫明編, *電子回路ハンドブック*, 朝倉書店, 2006.
- [48] S. Samala, V. Mishra, K. Chakravarthi, 45nm CMOS 8 Ω class-D audio driver with 79% efficiency and 100dB SNR, in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2010 IEEE International, pp.86 –87, 2010.
- [49] A. Nagari, E. Allier, F. Amiard, V. Binet, C. Fraisse, An 8 Ω 2.5 W 1%-THD 104 dB(A)-Dynamic-Range Class-D Audio Amplifier With Ultra-Low EMI System and Current Sensing for Speaker Protection, vol. 47, no. 12, pp.3068–3080, 2012.
- [50] G. Harumi, S. Saikatsu, M. Yoshino, A. Yasuda, Digital direct-driven speaker architecture using segmented pulse shaping technique, *New Circuits and Systems Conference (NEWCAS)*, 2016 14th IEEE International, pp.1-4, 2016.
- [51] Y. Motoyama, H. Matuo, T. Saikatsu, A. Yasuda, Improvement of voltage resolution of a motor driver circuit by a multi-coil drive, *Future Energy Electronics Conference (IFEEEC)*, 2015 IEEE 2nd International, pp.1-5, 2015.

- [52] T. Ishikawa, S. Yokoyama, N. Harashima, D. Takahashi, J. Shiozawa, M. Yoshino, A. Yasuda, A highly directional speaker with amplitude-phase control using a digitally direct-driven system, 2014 IEEE International Conference on Consumer Electronics (ICCE), pp.135-136, 2014.
- [53] M. Yashiro, M. Iwaide, A. Yasuda, M. Yoshino, K. Yokota, Y. Moriyasu, K. Sakuda, F. Nakashima, A digitally driven speaker system using direct digital spread spectrum technology to reduce EMI noise, Audio Engineering Society Convention 133, 2012.
- [54] M. Iwaide, A. Yasuda, D. Kuniyoshi, K. Yokota, Y. Moriyasu, K. Sakuta, F. Nakashima, Y. Masayuki, M. Yoshino, A novel sharp beam-forming flat panel loudspeaker using digitally driven speaker system, Audio Engineering Society Convention 131, 2011.
- [55] D. Kuniyoshi, H. Ohtani, J. Okamura, R. Suzuki, K. Tsuihiji, A. Yasuda, A novel universal-serial-bus-powered digitally driven loudspeaker system with low power dissipation and high fidelity, Audio Engineering Society Convention 129, 2010.
- [56] H. Ohtani, A. Yasuda, K. Tsuihiji, R. Suzuki, D. Kuniyoshi, J. Okamura, A novel universal-serial-bus-powered digitally driven speaker system with low power dissipation and high fidelity, Audio Engineering Society Convention 129th Convention, 2010.
- [57] K. Watanabe, A. Yasuda, H. Ohtani, R. Suzuki, N. Shinkawa, T. Tsuchiya, K. Tsuihiji, A novel beam-forming loudspeaker system using digitally driven speaker system, Audio Engineering Society Convention 127, 2009.
- [58] S. Katsumi, Y. Terada, A. Yasuda, M. Zen, A cascaded delta-sigma DAC with DWA for decreasing mismatch effect, Audio Engineering Society Convention 121, 2006.
- [59] H. Ueno, T. Soga, K. Ogata, A. Yasuda, Digital-Driven Piezoelectric Speaker using Multi-Bit Delta-Sigma Modulation, Audio Engineering Society Convention 121, no. 6943, 2006.

-
- [60] K. Ogata, T. Soga, H. Ueno, A. Yasuda, Digital-driven piezoelectric speaker using multi-bit delta-sigma modulation, Audio Engineering Society Convention 121, 2006.
- [61] K. Kuroki, R. Saito, N. Shinkawa, T. Tsuchiya, and A. Yasuda, A Digitally Direct Driven Dynamic-Type Loudspeaker, Audio Engineering Society Convention 124, 2008.
- [62] A. Yasuda, A. Ohkubo, K. Ogata, H. Ueno, T. Anzai, T. Kimura, K. Ochiai, T. Hamasaki, A single-chip audio system with delta-sigma DAC and class-D amplifier, 2006 IEEE International Symposium on Circuits and Systems, pp.4, 2006.
- [63] 安田彰, 岡村善博, ハイレゾオーディオ技術読本, オーム社, 2014.
- [64] 湯川彰, オーバーサンプリング AD 変換技術, 日経 BP, 1990.
- [65] 安田彰, 和保孝夫, $\Delta\Sigma$ 型アナログ/デジタル変換器入門, 丸善, 2007.
- [66] T. Ueno, A. Yasuda, T. Yamaji, T. Itakura, A fourth-order bandpass $\Delta\Sigma$ modulator using second-order bandpass noise-shaping dynamic element matching, IEEE J Solid State Circuits, vol.37, no.7, pp.809-816, 2002.
- [67] 上野武, 安田彰, 谷本洋, c-12-42 ノイズシェーピング・ダイナミック・エレメント・マッチングを用いた高精度 dac におけるロバスト性の実証, 電子情報通信学会ソサイエティ大会講演論文集, vol.1999, no.2, pp.112, 1999.
- [68] A. Yasuda, H. Tanimoto, T. Iida, A third-order $\Delta\Sigma$ modulator using second-order noise-shaping dynamic element matching, IEEE J Solid State Circuits, vol.33, no.12, pp.1879-1886, 1998.
- [69] 安田彰, 木構造ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いた $\Delta\Sigma$ DAC, 電子情報通信学会ソサイエティ大会講演論文集, vol.1998, pp.14, 1998.
- [70] A. Yasuda, H. Tanimoto, Noise shaping dynamic element matching method using tree structure, Electronics Letters, vol.33, no.2, pp.130-131, 1997.

- [71] 安田彰, ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いた $\Delta\Sigma$ 変調器の消費電力に関する検討, 電子情報通信学会ソサイエティ大会講演論文集, vol.1997, pp.7, 1997.
- [72] 安田彰, 谷本洋, ノイズシェーピング・ダイナミック・エレメント・マッチング法, 電子情報通信学会ソサイエティ大会講演論文集, vol.1996, pp.13, 1996.
- [73] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S. Kosic, Jun Cao, Shu-Lap Chan, A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at $8\times$ oversampling ratio, *IEEE Journal of Solid-State Circuits*, vol.35, no.12, pp.1820-1828, 2000.
- [74] R. T. Baird, T. S. Fiez, Linearity enhancement of multibit $\Delta\Sigma$ A/D and D/A converters using data weighted averaging, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol.42, no.12, pp.753-762, 1995.
- [75] J.-D. Lee and K. Batcher, "Minimizing communication in the bitonic sort," *Parallel and Distributed Systems*, *IEEE Transactions on*, vol. 11, no. 5, pp. 459-474, may 2000.
- [76] C. B. Goud and K. N. Bhat, Two-dimensional analysis and design considerations of high-voltage planar junctions equipped with field plate and guard ring, *IEEE Transactions on Electron Devices*, vol.38, no.6, pp.1497-1504, 1991.
- [77] 電気学会編, 電気工学ポケットブック, オーム社, 1990.
- [78] GRAY, Paul R., et al, *Analysis and design of analog integrated circuits*, John Wiley & Sons, 2008.
- [79] T. Toyabe, Three-Dimensional Device Simulation CADDET with Highly Convergent Matrix Solution Algorithm, *IEEE Trans. Elect. Dev*, vol.ED-32, no.10, pp.2038-2044, 1985.

-
- [80] A. Kumta, Rusli, C. Tin, J. Ahn, Design of field-plate terminated 4H-SiC Schottky diodes using high-k dielectrics, *Microelectronics Reliability*, Vol.46, No.8, pp.1295-1302, 2006.
- [81] K. Ikeda, H. Umezawa, S. Shikata, Edge termination techniques for p-type diamond Schottky barrier diodes, *Diamond and Related Materials*, Vol.17, No.4-5, pp.809-812, 2008.
- [82] Q. Song, Y. Zhang, Y. Zhang, X. Tang, Simulation study on 4H-SiC power devices with high-k dielectric FP terminations, *Diamond and Related Materials*, Vol.22, No.0, pp.42-47, 2012.
- [83] サイエンス&テクノロジー社, GaN パワーデバイスの技術展開, 2012.
- [84] M. Yanagihara, Y. Uemoto, T. Ueda, T. Tanaka and D. Ueda, Recent advances in GaN transistors for future emerging applications, *physica status solidi (a)*, Vol.206, No.6, pp.1221-1227, 2009.
- [85] D. Disney, Hui Nie, A. Edwards, D. Bour, H. Shah, and I. C. Kizilyalli, Vertical power diodes in bulk GaN, *Proc. Power Semiconductor Devices and ICs (ISPSD)*, 2013 25th International Symposium on, pp.59-62, 2013.
- [86] I. C. Kizilyalli, A. P. Edwards, Hui Nie, D. Disney, and D. Bour, High Voltage Vertical GaN p-n Diodes With Avalanche Capability, *Electron Devices, IEEE Transactions on*, Vol.60, No.10, pp.3067-3070, 2013.
- [87] I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Bour, T. Prunty, and D. Disney, 3.7 kV Vertical GaN PN Diodes, *Electron Device Letters, IEEE*, Vol.35, No.2, pp.247-249, 2014.
- [88] S. Nakamura, S. Pearton, G. Fasol, *The Blue Laser Diode*, Springer, 2000.
- [89] K. Nomoto, Y. Hatakeyama, H. Katayose, N. Kaneda, T. Mishima, and T. Nakamura, Over 1.0 kV GaN p-n junction diodes on free-standing GaN substrates, *physica status solidi (a)*, Vol.208, No.7, pp.1535-1537, 2011.
- [90] A. Kumta, Rusli, C. Tin, and J. Ahn, Design of field-plate terminated 4H-SiC Schottky diodes using high-k dielectrics, *Microelectronics Reliability*, Vol.46, No.8, pp.1295-1302, 2006.

- [91] K. Ikeda, H. Umezawa, and S. Shikata, Edge termination techniques for p-type diamond Schottky barrier diodes, *Diamond and Related Materials*, Vol.17, No.4-5, pp.809-812, 2008.
- [92] Q. Song, Y. Zhang, Y. Zhang, and X. Tang, Simulation study on 4H-SiC power devices with high-k dielectric FP terminations, *Diamond and Related Materials*, Vol.22, No.0, pp.42-47, 2012.
- [93] R. Perez, D. Tournier, A. Perez-Tomas, P. Godignon, N. Mestres, and J. Millan, Planar edge termination design and technology considerations for 1.7-kV 4H-SiC PiN diodes, *IEEE Transactions on Electron Devices*, vol.52, no.10, pp.2309-2316, 2005
- [94] Y. Hatakeyama, K. Nomoto, N. Kaneda, T. Kawano, T. Mishima, and T. Nakamura, Over 3.0 GW/cm² Figure-of-Merit GaN p-n Junction Diodes on Free-Standing GaN Substrates, *Electron Device Letters, IEEE*, Vol.32, No.12, pp.1674-1676, 2011.
- [95] J. W. McPherson, Jinyoung Kim, A. Shanware, H. Mogul, J. Rodriguez, Trends in the ultimate breakdown strength of high dielectric-constant materials, *IEEE Transactions on Electron Devices*, vol.50, no.8, pp.1771-1778, 2003.
- [96] J. Robertson, High dielectric constant oxides, *Eur.Phys.J.Appl.Phys.*, vol.28, no.3, pp.265-291, 12, 2004.
- [97] H. Tamotsu, O. Shinya, I. Takanori, H. Hideki, Surface passivation of GaN and GaN/AlGa_N heterostructures by dielectric films and its application to insulated-gate heterostructure transistors, *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, vol.21, no.4, pp.1828-1838, 2003.
- [98] サイエンス&テクノロジー社, GaN パワーデバイスの技術展開, 2012.

- [99] M. E. Levinshtein, S. L. Rumyantsev, and M. S. Shur, Properties of advanced semiconductor materials: GaN, AlN, InN, BN, SiC, SiGe, John Wiley & Sons, 2001.
- [100] H. Ohno, K. Sakurai, K. Tagui, T. Morita, S. Suzuki, K. Ishibashi and Y. Yamamoto, Chemical Vapor Deposition of CeO₂ Films Using a Liquid Metallorganic Source, *Electrochemical & Solid-State Letters*, Vol. 9(3), G87-G89, 2006.
- [101] K. Tagui, K. Nakamura, M. Ogawa, K. Saito, S. Suzuki, K. Ishibashi and Y. Yamamoto, The Electrical Property of CeO₂ Films Deposited by MOCVD on Si(100), *Electrochemical & Solid-State Letters*, Vol. 10(7), D73-D75, 2007.
- [102] T. Matsumura, T. Furuya, T. Sato, Y. Okabe, S. Suzuki, K. Ishibashi, and Y. Yamamoto, MOCVD of CeO₂ and SiO₂ Mixture Films Using Alkoxy Sources, *ECS Solid State Letters*, 4 (12) N17-N19, 2015.

謝辞

本論文をまとめるにあたり、ご指導、ご鞭撻を頂いた法政大学理工学部電気電子工学科安田彰教授、法政大学理工学部電気電子工学科山本康博教授、前法政大学工学部情報電気電子工学科本間紀之教授、法政大学理工学部電気電子工学科栗山一男教授、法政大学イオンビーム工学研究所三島友義教授、前法政大学理工学部電気電子工学科中村徹教授に深く感謝の意を表します。特に、安田彰教授、中村徹教授には論文の作成にあたり、多くのご教授を賜り、心から御礼申し上げます。

本研究は法政大学で行ったものであり、本研究の機会を与えてくださいました法政大学イオンビーム工学研究所 所長 西村智朗教授に深く感謝の意を表します。

さらに、デバイスシミュレータの開発及び提供とシミュレーションに関してご指導いただいた東洋大学 鳥谷部達名誉教授、高耐圧デバイスの作製と本分野の研究を共に進めていただいた、法政大学マイクロナノテクノロジー研究センター 太田博氏、法政大学マイクロナノテクノロジー研究センター池田清治氏、株式会社サイオクス 堀切文正氏、株式会社ケミトロニクス 葛西武氏に深く感謝の意を表します。

また、D 級増幅器の研究を共に進めていただいた、武蔵エンジニアリング 土屋宏貴氏、DDSP システムについてご指導を頂いた株式会社 Trigen Semiconductor 社長 岡村淳一氏、論文の作成にあたりご指導いただいた Synaptics Inc. 南部博昭氏、株式会社アナジックス 代表取締役 森山 誠二郎氏、株式会社テクニカルライターズスタジオ 代表取締役社長 早船由紀見氏に深く感謝の意を表します。

発表論文

論文

- 吉野理貴, 堀切文正, 太田 博, 山本康博, 三島友義, 中村 徹, 高誘電率絶縁膜を用いたフィールドプレート電極を有する縦型 GaN ダイオード, 電気学会論文誌C, 電子・情報・システム部門誌, vol. 136, pp. 474-478, 2016.4 (第5章, 第6章)
- Michitaka Yoshino, Fumimasa Horikiri, Hiroshi Ohta, Yasuhiro Yamamoto, Tomoyoshi Mishima and Tohru Nakamura, High-k Dielectric Passivation for GaN Diode with a Field Plate Termination, Electronics, vol. 5, pp. 15, 2016.3 (第5章, 第6章)
- Hirotaka Tsuchiya, Yoshino Michitaka, Naoto Shinkawa, Hiroyuki Akaba, Akira Yasuda, A Novel boost Class-D Amplifier using a H-Bridge Circuit, IEEJ Trans. on Electrical and Electronic Engineering, Vol. 5, Issue 6, pp.660-663, 2010.11 (第3章)

国際学会

- Michitaka Yoshino, Fumimasa Horikiri, Hiroshi Ohta, Yasuhiro Yamamoto, Tohru Nakamura and Tomoyoshi Mishima, High-k Dielectric Passivation for Reduction of Peak Electric Field in GaN p-n Diodes, International Workshop on Nitride Semiconductors, PS2.130, 2016.10 (第5章, 第6章)
- Michitaka Yoshino, Fumimasa Horikiri, Hiroshi Ohta, Tomonari Furuya, Tomoyoshi Mishima, Yasuhiro Yamamoto, Tohru Nakamura, CeO₂ Dielectrics Passivation for GaN Diode with a Field Plate Termination, E-MRS 2015 Fall Meeting, Symposium : H, Num. 93, 2015.9 (ACCEPTED for invited presentation) (第5章, 第6章)
- Takemichi Ishikawa, Shuma Yokoyama, Noboru Harashima, Dai Takahashi, Jun Shiozawa, Michitaka Yoshino, Akira Yasuda, A Highly Directional Speaker with Amplitude-Phase Control Using a Digitally Direct-Driven System, IEEE International Conference on Consumer Electronics, 2014.1 (第4章)
- Masayuki Yashiro, Mitsuhiro Iwaide, Akira Yasuda, Michitaka Yoshino, Kazuyuki Yokota, Yugo Moriyasu, Kenji Sakuda, and Fumiaki Nakashima, Digitally Driven Speaker System Using Direct Digital Spread Spectrum Technology to Reduce EMI Noise, Audio Engineering Society 133st Convention, Convention Paper 8726, 2012.10 (第4章)
- Mitsuhiro Iwaide, Michitaka Yoshino, Daigo Kuniyoshi, Kazuyuki Yokota, Moriyasu Yugo, Kenji Sakuda, Fumiaki Nakashima, Masayuki Yashiro, and Akira Yasuda, A novel sharp beam-forming flat panel loudspeaker using digitally driven speaker system, Audio Engineering Society 131st Convention, Convention Paper 8469, 2011.10 (第4章)
- Michitaka Yoshino, Mitsuhiro Iwaide, Daigo Kuniyoshi, Hajime Ohtani, Akira Yasuda and Jun-ichi Okamura, A novel audio playback chip using digitally driven speaker architecture with 80%@-10dBFS power efficiency, 5.5W@3.3V supply and 100dB SNR, IEEE CICC2011, pp.1-4, 2011.9 (第4章)

国内学会および研究会

- 吉野理貴, 堀切文正, 太田 博, 山本康博, 三島友義, 中村 徹, 高誘電率絶縁膜を用いた FP 電極を有する縦型 GaN ダイオード, 応用物理学会春季学術講演会, 21p-W541-11, 2016.3
- 川部嵩永, 渡邊裕紀, 春海 豪, 峯村亮佑, 西勝 聡, 吉野理貴, 安田 彰, $\Delta \Sigma$ DAC の高精度化, 電子情報通信学会総合大会, A-1-16, 2016.3
- 高橋壮佳, 戸野村厚樹, 安田 彰, 吉野理貴, 5V 駆動大電力デジタルスピーカ用ドライバの試作, 電子情報通信学会総合大会, A-5-13, 2016.3
- 戸野村厚樹, 高橋壮佳, 安田 彰, 吉野理貴, 西勝 聡, デジタル直接駆動技術を用いたパラメトリックスピーカの高効率駆動, 電子情報通信学会総合大会, A-5-14, 2016.3
- 戸賀崎悠介, 星野裕也, 吉野理貴, 安田 彰, 差動注入トランジスタを用いた広同期範囲 5GHz 帯注入同期型分周器, 電子情報通信学会全国大会, C-12-3, 2016.3
- 吉田知朗, 西勝 聡, 吉野理貴, 安田 彰, AB 級出力段に用いる共通モードフィードバック機能を有する V-I 変換レベルシフタに関する一提案, 電気学会, 電子回路研究会, ECT-016-013, 2016.1
- 大野貴大, 吉野理貴, 安田 彰, 田沼千秋, マルチアクチュエータによる液滴噴射素子の動作シミュレーション, 第 36 回 超音波の基礎と応用に関するシンポジウム, 2p3-3, 2015.11
- 曾我美泰隆, 松尾 遥, 安田 彰, 吉野理貴, デジタル直接駆動型スピーカーの指向性へのツリー構造 NSDEM の応用, 電子情報通信学会ソサイエティ大会, A-1-6, 2015.9
- 中村智寛, 松尾 遥, 本山佳樹, 安田 彰, 吉野理貴, マルチコイルモータ駆動回路の非導通動作の検証, 電子情報通信学会ソサイエティ大会, A-1-10, 2015.9
- 松尾 遥, 塩澤 純, 中村智寛, 本山佳樹, 安田 彰, 吉野理貴, マルチビット駆動システムを用いたトルクむらの解消, 電子情報通信学会全

国大会, A-1-13, 2015.3

- 本山佳樹, 塩澤 純, 中村智寛, 松尾 遥, 安田 彰, 吉野理貴, $\Delta\Sigma$ 変調器を用いたマルチビット駆動による高周波電流の低減, 電子情報通信学会全国大会, A-1-12, 2015.3
- 赤松雄貴, 安田 彰, 吉野理貴, 中村有輝, 石川悠介, 高橋 大, 遅延素子バラツキを考慮した TDC に関する一考察, 電子情報通信学会全国大会, C-12-37, 2015.3
- 中村有輝, 渡邊裕紀, 西勝 聡, 安田 彰, 吉野理貴, 遅延器を用いた TDC のノイズ低減に関する研究, 電子情報通信学会全国大会, C-12-38, 2015.3
- 石川武道, 吉野理貴, 安田 彰, 森山誠二郎, 設計手順やノウハウのデータ管理によるデジタルスピーカシステム設計効率化の試み, 電気学会, 電子回路研究会, ECT-15-013, 2015.1
- 高橋壮佳, 戸野村厚樹, 原島 昇, 安田 彰, 吉野理貴, デジタル直接駆動スピーカーの大電力化, 電子情報通信学会ソサイエティ大会, A-10-2, 2014.9
- 戸野村厚樹, 高橋壮佳, 西勝 聡, 安田 彰, 吉野理貴, マルチビット信号によるパラメトリックスピーカのデジタル直接駆動, 電子情報通信学会ソサイエティ大会, A-10-1, 2014.9
- 渡邊裕紀, 西勝 聡, 安田 彰, 吉野理貴, ナイキスト周波数に零点を持たせクロックジッタの影響を低減した $\Delta\Sigma$ DAC, 電子情報通信学会全国大会, C-12-10, 2014.3
- 石川武道, 清水祐希, 吉野理貴, 安田 彰, 森山誠二郎, 設計情報を容易に共有可能なドキュメント化に関する考察, 電気学会, 電子回路研究会, ECT-13-084, 2013.10
- 横山秀磨, 西勝 聡, 吉野理貴, 安田 彰, 低 EMI デジタル直接駆動型スピーカーシステムに適した係数切り替え型 NSDEM の検討, 電気学会, 電子回路研究会, ECT-13-088, 2013.10
- 塩澤 純, 石川武道, 高橋 大, 原島 昇, 吉野理貴, 安田 彰, マル

チビットデジタル直接駆動技術を用いたブラシレス DC モータシステム, 電子情報通信学会ソサイエティ大会, A-1-10, 2013.9

- 小沼和彦, 横田和幸, 安田 彰, 吉野理貴, デジタル直接駆動型スピーカーにおける多指向性制御に関する研究, 電気学会, 電子回路研究会, CT-13-002, 2013.6
- 横田和幸, 小沼和彦, 中島文彬, 矢代真之, 安田 彰, 吉野理貴, デジタル直接駆動スピーカーを用いた振幅制御による高指向性, 電気学会, 電子回路研究会, CT-13-003, 2013.6
- 矢代真之, 小沼和彦, 中島文彬, 横田和幸, 安田 彰, 吉野理貴, スペクトラム拡散技術を用いたデジタルスピーカシステムの EMI 低減回路の実証, 電気学会, 電子回路研究会, ECT-13-004, 2013.6
- 倉持大悟, 原島 昇, 安田 彰, 吉野理貴, デジタル直接駆動技術の三相同期電動機への適用, 電気学会, 電子回路研究会, ECT-13-005, 2013.6
- 高橋 大, 石川武道, 塩澤 純, 吉野理貴, 安田 彰, デジタル直接駆動型スピーカーシステムにおける mismatch シェーパ回路規模の削減法, 電気学会, 電子回路研究会, ECT-13-056, 2013.3
- 清水祐希, 安田 彰, 吉野理貴, 北原義大, FIR フィルタを用いてクロックジッタと過剰ループ遅延の影響を抑えた連続時間型 $\Delta \Sigma$ 変調器の設計, 電気学会, 電子回路研究会, ECT-13-058, 2013.3
- 内海純彦, 西勝 聡, 吉野理貴, 安田 彰, FIR フィルタを用いた $\Delta \Sigma$ 変調器の並列化, 電気学会, 電子回路研究会, ECT-13-045, 2013.3
- 森保祐吾, 安田 彰, 吉野理貴, 西勝 聡, G 級増幅器における低オフセット、低ノイズに関する一手法, 電気学会, 電子回路研究会, ECT-13-046, 2013.3
- 嘉藤貴博, 安田 彰, 吉野理貴, $\Delta \Sigma$ TDC ($\Delta \Sigma$ -Time to Digital Converter) の検討および設計, 電子情報通信学会全国大会, C-12-72, 2013.3
- 塩澤 純, 秋山和博, 倉持大悟, 原島 昇, 吉野理貴, 安田 彰, マルチビットデジタル直接駆動技術を用いた三相モータシステム, 電子情報

通信学会全国大会, A-1-21, 2013.3

- リー チンホイ, 西勝 聡, 安田 彰, 吉野理貴, キャパシタミスマッチ検出精度向上した自己補正型パイプライン ADC, 電子情報通信学会全国大会, A-1-15, 2013.3
- 木村有希, 安田 彰, 吉野理貴, フィードバック経路にハイパス型 FIR フィルタを用いた連続時間型 $\Delta \Sigma$ 変調器の安定性, 電子情報通信学会全国大会, A-1-16, 2013.3
- 黒澤亮輔, 安田 彰, 吉野理貴, デジタル直接駆動型スピーカーにおける指向性制御法に関する研究, 日本音響学会 春期研究発表会, 3-10-1, pp.755-756, 2013.3
- 石川武道, 安田 彰, 吉野理貴, 平面スピーカーを用いたデジタル直接駆動指向性制御方式, 日本音響学会 春期研究発表会, 3-10-2, pp.757-760, 2013.3
- 中島 文彬, 安田 彰, 吉野理貴, 並列化によりミスマッチシェーパの回路規模を削減したデジタル直接駆動型スピーカーシステム, 日本音響学会 春期研究発表会, 3-10-2, pp.761-762, 2013.3
- 横山秀磨, 矢代真之, 吉野理貴, 安田 彰, 低 EMI スペクトラム拡散デジタル直接駆動スピーカーシステムの検討, 電子情報通信学会 シリコンアナログ RF 研究会, 2013.3
- 森保祐吾, 安田 彰, 吉野理貴, G級増幅器における電源電圧と出力段の切り替えのタイミング制御法, 電気学会, 電子回路研究会, ECT-12-070, 2012.10
- 木村有希, 安田 彰, 吉野理貴, 高精度カスケード型 $\Delta \Sigma$ DAC の回路規模削減に関する一手法, 電気学会, 電子回路研究会, ECT-12-086, 2012.10
- 内海純彦, 西勝 聡, 吉野理貴, 安田 彰, FIR フィルタを用いた $\Delta \Sigma$ 変調器の安定性および性能改善に関する研究, 電子情報通信学会, ソサイエティ大会, A-1-2, 2012.9
- 大関寛之, 小松直樹, 安田 彰, 吉野理貴, ノイズシェーピング構成と

ミスマッチシェーパーを用いた自己校正型パイプラインADCに関する研究, 電子情報通信学会ソサイエティ大会, A-1-4, 2012.9

- 大関寛之, 清川佳博, 西勝 聡, 吉野理貴, 安田 彰, ベクトルフィルタを用いて簡略化した2並列 $\Delta\Sigma$ ADC, シリコンアナログRF研究会, 2012.5
- 作田健二, 森保祐吾, 横田和幸, 矢代真之, 小沼和彦, 安田彰, 吉野理貴, 圧電スピーカー制御回路の一構成法, 電子情報通信学会全国大会, A-1-5, 2012.3
- 古賀崇之, 安田彰, 吉野理貴, ベクトルフィルタを用いたタイムインターリーブ $\Delta\Sigma$ 型ADCの回路削減法, 電子情報通信学会全国大会, A-1-12, 2012.3
- 清川佳博, 安田彰, 吉野理貴, FIRフィルタを用いて信号帯域内量子化雑音を低減した $\Delta\Sigma$ 変調器, 電子情報通信学会全国大会, A-1-13, 2012.3
- 矢代真之, 安田彰, 吉野理貴, デジタル直接駆動型スピーカー用自励式ドライバ回路の提案, 電子情報通信学会全国大会, A-1-14, 2012.3
- 中嶋文彬, 安田彰, 吉野理貴, デジタル直接駆動型スピーカーシステムにおけるハードウェア規模削減に関する研究, 電子情報通信学会全国大会, A-1-15, 2012.3
- 原島 昇, 山口 圭, 作田健二, 矢代真之, 安田 彰, 吉野理貴, デジタル直接駆動スピーカーの大電力化に関する一考察, 電気学会, 電子回路研究会, ECT-12-034, 2012.3
- 木村有希, 安田 彰, 吉野理貴, ハイパスフィルタを用いて過剰ループ遅延の影響を低減した連続時間型 $\Delta\Sigma$ 変調器, 電子情報通信学会ソサイエティ大会, 2011.9
- 西勝 聡, 本多俊弥, 清川佳博, 吉野理貴, 安田 彰, ベクトルフィルタを用いた並列型 $\Delta\Sigma$ 変調器の提案, 電子情報通信学会 シリコンアナログRF研究会, 2011.5
- 福永弘恭, 安田 彰, 吉野理貴, 木村有希, 矢代真之, 連続時間型 $\Delta\Sigma$ 変調器におけるクロックジッタの影響を低減する方法に関する一検討,

電気学会 電子回路研究会, ECT-11-007, pp. 35-40, 2011.1

- 本多俊弥, 安田 彰, 吉野理貴, 福永弘恭, 西勝 聡, 清川佳博, ベクトルフィルタを用いたカスケード型並列 $\Delta\Sigma$ 変調器, 電気学会 電子回路研究会, ECT-11-005, pp. 23-28, 2011.1