

FIRフィルタ型DSMとジッタシェーパを用いた $\Delta\Sigma$ DACの高精度化に関する研究

川部, 嵩永 / KAWABE, Takahisa

(開始ページ / Start Page)

1

(終了ページ / End Page)

42

(発行年 / Year)

2016-03-24

(学位授与年月日 / Date of Granted)

2016-03-24

(学位名 / Degree Name)

修士(工学)

(学位授与機関 / Degree Grantor)

法政大学 (Hosei University)

2015 年度 修士論文

**FIR フィルタ型 DSM とジッタシェーパー
を用いた $\Delta \Sigma$ DAC の高精度化に関する研究**

**A STUDY ON THE ACCURACY OF $\Delta \Sigma$ DAC
WITH FIR-FILTER DSM AND JITTER
SHAPER**

指導教授 安田 彰 教授

**法政大学大学院 理工学研究科
電気電子工学専攻 修士課程**

学籍番号 14R3109

川部 嵩永

Abstract

In recent years, system-on-chip (SoC) to integrate analog and digital circuits on the same chip is proceeding with the development of CMOS miniaturization technology. A digital-to-analog Converter (DAC) used in audio equipment, etc. which are demanded higher accuracy. In this paper a delta-sigma modulator with FIR-filter using Jitter Shaper (JS) is proposed to realize highly accurate DAC. Disadvantages of the conventional approaches, and theoretical effectiveness of proposed method is shown using the MATLAB / Simulink simulation.

Key Words : *FIR-filter, Digital to Analog Converter, Delta-sigma DSM, Jitter Shaper*

目次

第1章	はじめに	4
第2章	D/A変換器と $\Delta\Sigma$ 変調器	6
2.1	D/A変換の概念	6
2.2	DACの種類	8
2.2.1	抵抗ラダー型	8
2.2.2	抵抗ストリング型	9
2.2.3	電流出力型(電流加算)	10
2.2.4	$\Delta\Sigma$ DAC	11
2.3	量子化と $\Delta\Sigma$ 変調器の特徴	12
2.4	1次 $\Delta\Sigma$ 変調器	17
2.5	2次 $\Delta\Sigma$ 変調器	20
2.6	3次 $\Delta\Sigma$ 変調器	22
第3章	FIRフィルタDSM	24
3.1	FIRフィルタ型スイッチトキャパシタ	24
3.2	FIRフィルタ型DSMの効果	27
第4章	クロックジッタとジッタシェーパ(Js)	29
4.1	クロックジッタとその影響	29
4.2	ジッタシェーパとその効果	31
第5章	提案手法	35
第6章	シミュレーション結果	37
第7章	まとめと今後の課題	39
第8章	参考文献	40
第9章	謝辞	41
第10章	発表論文	42

第1章 はじめに

近年、CMOS 微細化技術の進展によりアナログ回路とデジタル回路を同一チップ上に集積するシステムオンチップ(System on Chip = SoC)化が進んでいる[5]. SoC の中でも、自然界の音、光、圧力、電波といったアナログ信号をデジタル信号に変換するアナログデジタル変換器(Analog to Digital Converter = ADC)やその逆のデジタル信号をアナログ信号に変換するデジタルアナログ変換器(Digital to Analog Converter = DAC)がある. 特に、ワイヤレス通信などの発達は目覚しく、デジタル回路は高集積化が進み、高速、高精度な信号処理が可能となっている. それに伴い、外部のアナログ信号からデジタル信号へ変換する A/D 変換器 (ADC) と逆変換である D/A 変換器 (DAC) 共に、高速かつ高精度な変換性能が求められる.

$\Delta\Sigma$ 型 AD/DA に用いられる $\Delta\Sigma$ 変調器(DSM)は、ノイズシェーピング技術、オーバーサンプリング技術を用いることで高い信号対雑音歪み比(Signal-to-Noise and Ratio = SNR)を得ることが出来るため、高精度 ADC の構成法として多用されている. 特に、素子のばらつきの影響をオーバーサンプリングという手法を用いて緩和することができる. そのため、プロセスの微細化は $\Delta\Sigma$ 型にとっては追い風であると言える.

$\Delta\Sigma$ 変調器は、オーバーサンプリングによってノイズフロアを低下させ、ノイズシェーピングにより、低域の量子化雑音を帯域外の高域へシフトすることができる. これらの特性により、高精度を重視する AD/DA では $\Delta\Sigma$ 型が用いられている.

精度を重視するオーディオ用の DAC には、 $\Delta\Sigma$ DAC が用いられている. この $\Delta\Sigma$ DAC の高精度化の手法としては内部の $\Delta\Sigma$ 変調器において、積分器の数を増やし、次数を上げて精度を向上させる高次化などが知られている. しかし、この高次化では回路規模の増大が顕著に起こる. そのため、積分器を増やさずに伝達特性を変化させることで、帯域内のノイズ成分をより帯域外へシフトし、精度を向上させる FIR フィルタ型 DSM が有用であると考えられる[1]. また、 $\Delta\Sigma$ DAC はアナログ信号出力時にクロックジッタと位相変調作用により、ホワイトノイズやスプリアストーンが発生し、特性が悪化する[6]. この対策法として、DSM の後ろにローパス型のスイッチトキャパシタフィルタや FIR フィルタを挿入し、高域の量子化ノイズを低減する方法が知られている[7]. しかし、これらフィルタの挿入は、アナログ回路や bit 数の増加により DAC 全体の回路規模が増大する. そのため、回路規模の増大を最低限に抑えた上で、クロックジッタの影響によるノイズ対策を行う手法としては、ジッタシェーパー(JS)が有用であると考えられる[2].

本論文では、上記の **FIR** フィルタ型 **DSM** と **JS** の両技術を用いて、 $\Delta\Sigma$ **DAC** の高精度化を提案する。また、提案システムの高精度化効果を **MATLAB** シミュレーションによって実証する。

第2章 D/A 変換器と $\Delta\Sigma$ 変調器

2.1 D/A 変換の概念

現在、テレビや DVD レコーダー、オーディオ、携帯電話など多くの電子機器はデジタル信号処理により実現されている。しかし、自然界の信号はアナログ信号であるため、デジタル信号処理を行うためにアナログ信号をデジタル信号に変化させる必要がある。これを行うのが A/D 変換器 (ADC) である。また、スピーカーなどによって、自然界にデジタル信号を出力する場合は、デジタル信号をアナログ信号に変換する必要がある。これを行うのが D/A 変換器 (DAC) である[4]。

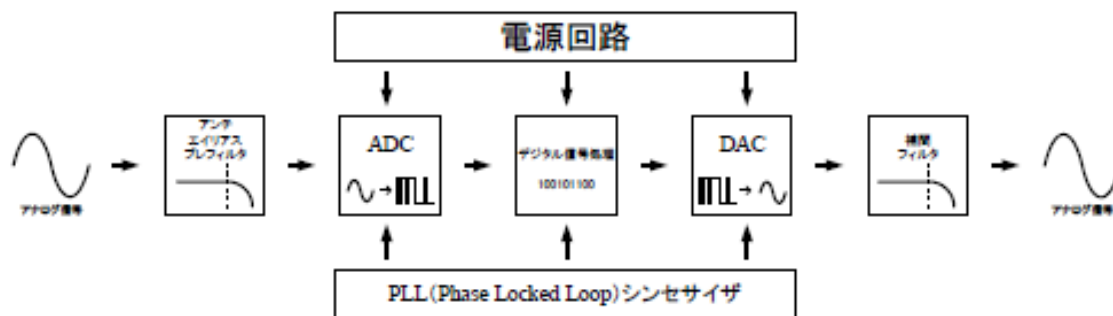


図1. ADC と DAC の役割

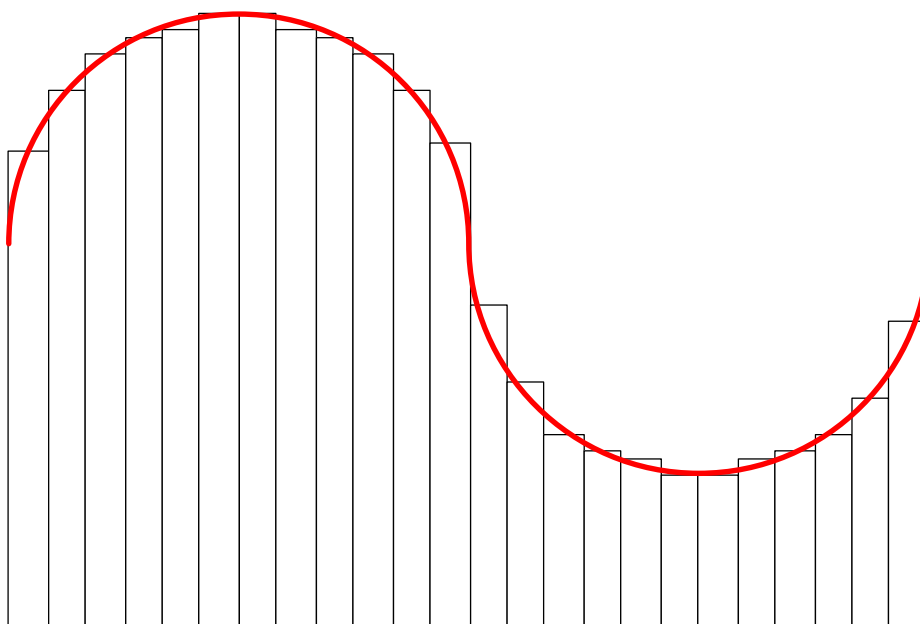


図2. D/A 変換の概念

DAC は入力されたデジタルデータをアナログの電圧値に変換する役割を持つ。2 進数によって表されている各デジタルデータを対応するアナログ電圧値に振り分ける必要がある。そのとき、デジタルデータに対応した重みをつけ出力するものと、温度計コードに変換してから出力するものがある。重み付け方式は、回路規模を小さくできるものの、重みに誤差が発生した場合の影響が顕著に表れる。温度計コード方式は、誤差に強いがデジタルデータの bit 数を n とした場合、 2^n の出力を用意しなければならず、分解能を上げるほどに回路は膨大に増えていく [4]。

2. 2 DACの種類

2. 2. 1 抵抗ラダー型

抵抗ラダー型は、オペアンプに加え、抵抗 R と $2R$ がはしご (ladder) 状に構成されていることから、はしご型 (ラダー型) DAC と言われます。使う抵抗値が R と $2R$ の2種類だけで構成されるため、温度特性が良く、8~18bit程度の精度を出すことが可能である。抵抗ラダー型の構成例を図3に示す。

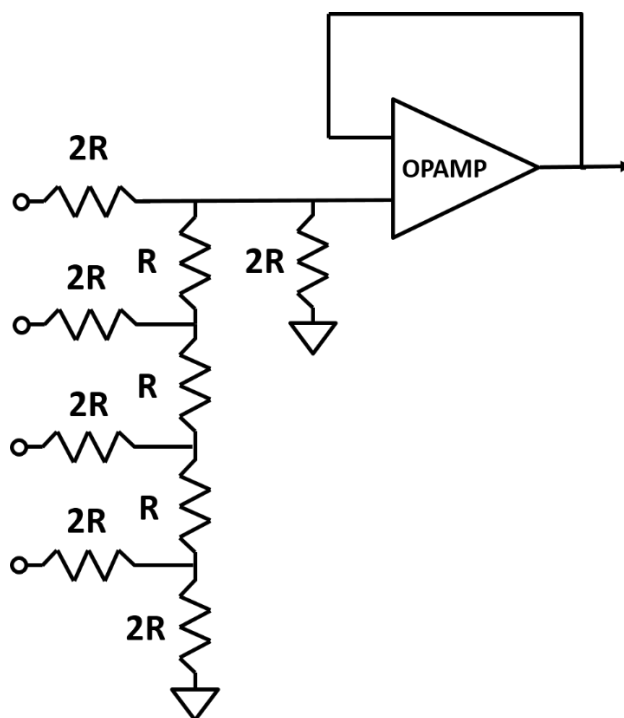


図3. 抵抗ラダー型の構成例

2. 2. 2 抵抗ストリング型

抵抗ストリング型は、同じ値の抵抗を分解能の数（ステップ数）だけ直列に接続し、その接続点からのタップをスイッチ（半導体スイッチ）で選択するという構成になります。抵抗列（抵抗ストリング）の両端に基準電圧を接続し、デジタル信号で選ばれたタップ位置の電圧は、その分圧比で出力されます。電子ボリュームや電子制御に利用されており、6~10bit程度の精度を出すことが可能である。抵抗ストリング型の構成例を図4に示す。

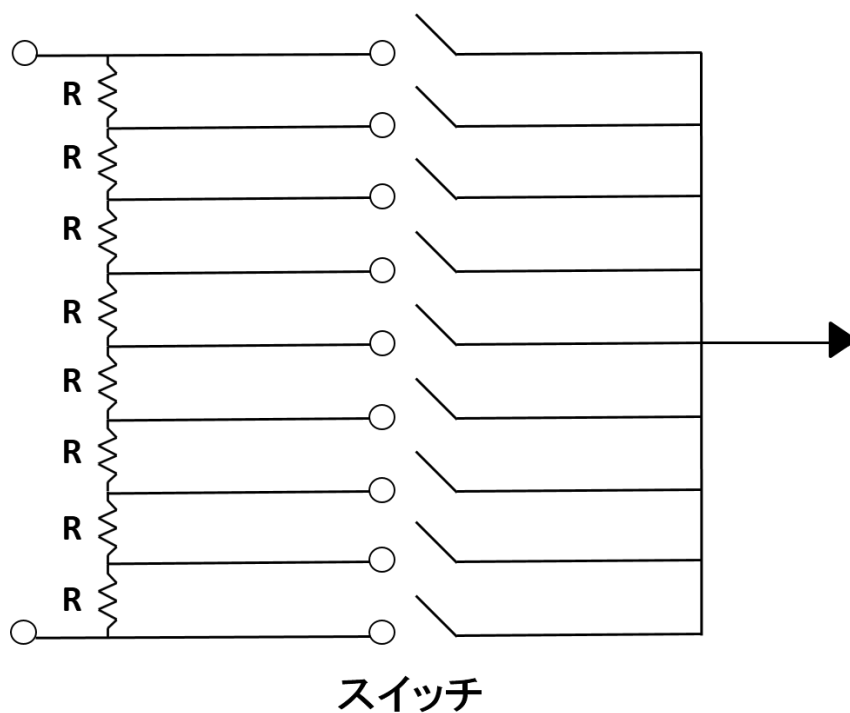


図4. 抵抗ストリング型の構成例

2. 2. 3 電流出力型(電流加算)

ビットに応じて重み付けした抵抗を，スイッチを介して並列接続する．ここに一定の電圧をかけると，総電流量はスイッチでオンした抵抗に流れる電流の総和となり，結果として2進数値に比例する電流が流れる．ビット数だけの抵抗とスイッチが基本構成であり，高速化が容易である．

通常は電流出力を電圧に変換して利用する．ここで変換係数を自由に設定出来る変換回路を使用すると，出力＝(自由に設定出来る離散化単位電圧)×(デジタル入力)という，全体としてはアナログとデジタルの乗算を実現する回路になる．映像信号処理や通信に利用されており，精度としては，8~16bitを出すことが可能である．電流出力型の構成例を図3に示す．

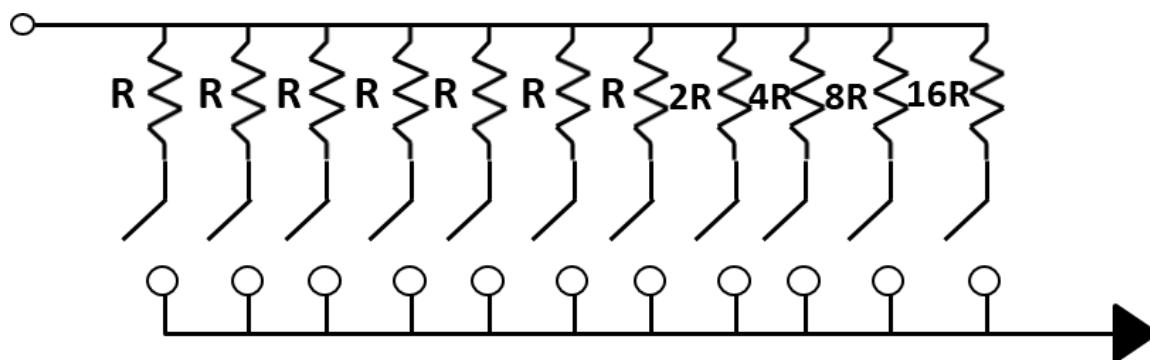


図5. 電流出力型の構成例

2. 2. 4 $\Delta\Sigma$ DAC

$\Delta\Sigma$ 型はデジタルデータを低い bit 数に変換してから温度計コード方式で出力する。デジタルデータを低い bit 数に変換することは再び量子化することに等しいため、再量子化誤差が発生するが、この変換に $\Delta\Sigma$ 変調器を用いることで、信号帯域内の雑音を低減することができる。これにより少ない温度計コード出力で、高い精度を実現できる。主に音声信号処理（特に音響機器）で利用されており、18~24bit の高分解能が特徴である[8]。 $\Delta\Sigma$ DAC の基本構成を図 3 に示す。

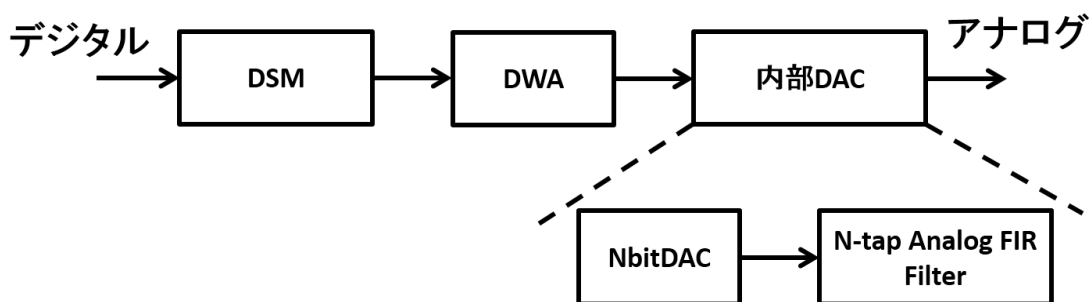


図 6. $\Delta\Sigma$ DAC の基本構成

図 6 に示すように、 $\Delta\Sigma$ DAC は主にデジタル $\Delta\Sigma$ 変調器 (DSM)、ミスマッチシェーパ、内部 DAC から構成される。 $\Delta\Sigma$ DAC のジッタは、DAC 構造の要素である内部 DAC のアナログ加算時に影響を与える。 $\Delta\Sigma$ 変調器は高精度に入力信号を量子化する必要がある。内部量子化器をマルチビット化した場合には、DAC の素子ばらつきが精度に影響を及ぼす。これらの問題の解決法として、Data Weighted Averaging (DWA) や Noise Shaping Dynamic Element Matching (NSDEM) などの、ミスマッチシェーパを用いて軽減することが一般的である。高精度の DA 変換はこれらの方法によって可能である。また、内部 DAC の部分には、通常 bit 数分の DAC と N-tap Analog FIR Filter が含まれている。本研究では、経路間ミスマッチはないものとするため、これをないものとして考える。

2. 3 量子化と $\Delta\Sigma$ 変調器の特徴

①量子化

量子化とは、入力信号値を一定間隔の量で離散的に区切ることである。それにより、元の信号との誤差が必然的に発生する。その誤差を量子化誤差という[4]。また、量子化の一定間隔の量を量子化間隔 Δ という。 $\Delta\Sigma$ DAC の入力は、もともとサンプリング・量子化されたデータであるが、低 bit に再量子化するときも、同様に誤差が発生する。信号成分と量子化誤差の比を信号対量子化誤差比 (SQNR) といい、信号と雑音の比を信号対雑音比 (SNR) という。ここで、SQNR について説明する。

量子化誤差が $-\frac{\Delta}{2}$ と $+\frac{\Delta}{2}$ の間で均等に分布していると仮定する。

確率密度関数 $p(x)$ は

$$p(x) = \begin{cases} \frac{1}{\Delta}, & |x| \leq \frac{\Delta}{2} \\ 0, & |x| > \frac{\Delta}{2} \end{cases} \quad (1)$$

平均値は 0 で一様分布である。量子化誤差の雑音電力 N_Q^2 は

$$N_Q^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{+\frac{\Delta}{2}} x^2 dx = \frac{\Delta^2}{12} \quad (2)$$

一方、信号電力 S^2 は

$$S^2 = \left(\frac{2^n \Delta}{2} \right)^2 / 2 \quad (3)$$

ただし n は量子化器の分解能である。よって、SQNR は

$$SQNR = \frac{S^2}{N_Q^2} = \left(\left(\frac{2^n \Delta}{2} \right)^2 / 2 \right) / \left(\frac{\Delta^2}{12} \right) = \frac{3}{2} 2^{2n} \quad (4)$$

デシベル表示すると

$$SQNR[dB] = 6.02n + 1.76 \quad (5)$$

よって量子化器の分解能を 1bit あげることで SQNR は約 6 [dB] 向上する. SQNR の値によって変換精度を評価することができる.

②オーバーサンプリング

$\Delta\Sigma$ DAC の入力はデジタルデータであるため, もともとサンプリングされた信号である. この信号をさらに高い周波数でサンプリング (オーバーサンプリング) した信号を処理する[4]. 特に $\Delta\Sigma$ 変調ではナイキスト周波数 (通常のサンプリング周波数の半分の周波数) の数百倍で高速サンプリングを行い, 少ない量子化器で実質的に高分解能の変換特性を実現している. オーバーサンプリング技術を考慮した $SQNR_{over}$ を以下に示す.

信号帯域内の雑音電力 N_{Qover}^2 は

$$N_{Qover}^2 = \frac{\Delta^2}{12} \cdot \frac{f_B}{f_s / 2} \quad (6)$$

ただし, f_B は信号帯域周波数, f_s はサンプリング周波数である. よってオーバーサンプリング技術を考慮した $SQNR_{over}$ は

$$SQNR_{over} = \frac{S^2}{N_{Qover}^2} = \left(\left(\frac{2^n \Delta}{2} \right)^2 / 2 \right) / \left(\frac{\Delta^2}{12} \right) = \frac{3}{2} 2^{2n} \quad (7)$$

デシベル表示すると

$$SQNR_{over} [dB] = 6.02n + 1.76 + 10 \log_{10} \left(\frac{f_s/2}{f_B} \right) \quad (8)$$

$\frac{f_s/2}{f_B}$ はオーバーサンプリング比 (OSR) といい, OSR を 2 倍にすると $SQNR_{over}$ は約 3 [dB] 向上する.

量子化ビット数が等しければ, 雑音電力の総和は一定であるため, サンプルング周波数を高くすれば, 信号帯域内の SNQR が向上する. 図のようにサンプルング周波数($f_{s2} > f_{s1}$)を変えても, 量子化誤差の総量は一定であるため面積は変化しないが, サンプルング周波数が高くなることで, 雑音電力が低下する.

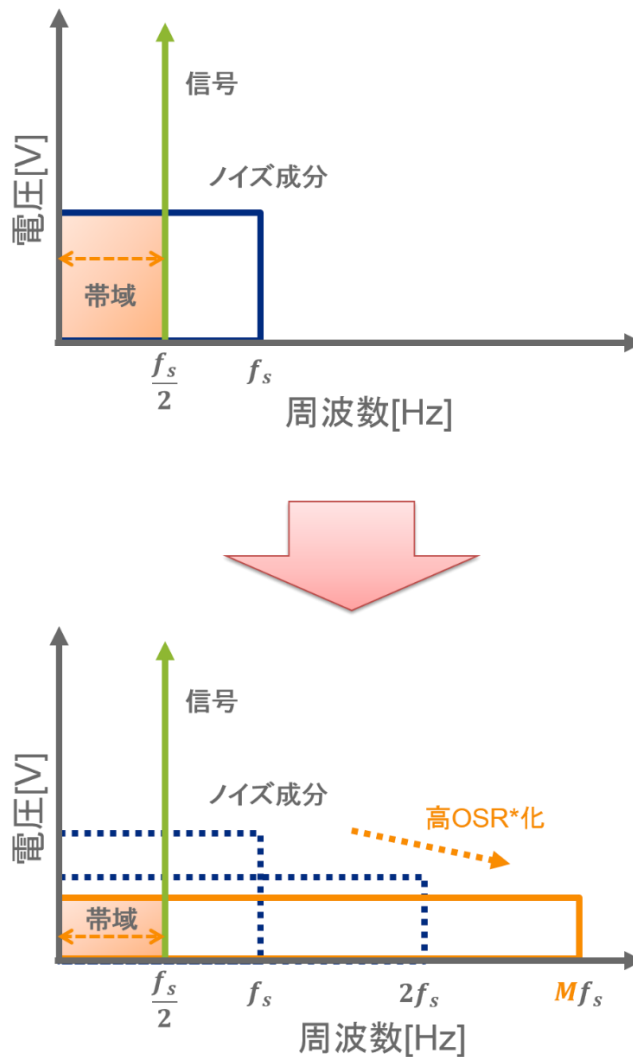


図 7. オーバーサンプリング

③ノイズシェーピング

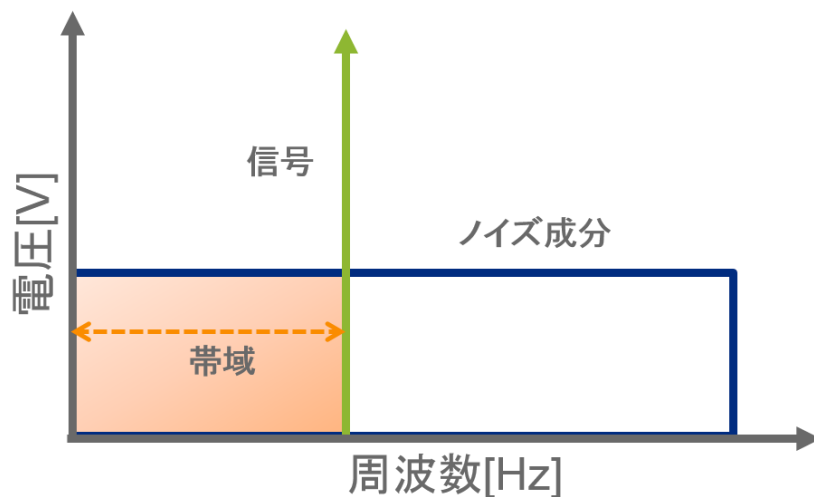


図 8. 周波数軸における量子化雑音分布

図 8 に示すように、通常は周波数軸で量子化雑音は一様分布する。低周波で減少、高周波帯域で上昇 $f_s/2$ 帯域内の雑音電力の総和は一定で、低周波雑音は高周波に移動する[4]。この雑音の分布を都合よく帯域外に押し上げて帯域内のノイズ成分を低減する技術のことをノイズシェーピングと呼ばれている[4]。

また、 $\Delta\Sigma$ 変調器の高精度化として、伝達特性を変化させてこのノイズシェーピングの傾きをより急峻にする高次化という手法がある。これについてはこの後の 1, 2, 3 次 $\Delta\Sigma$ 変調器の部分で述べる。

このノイズシェーピングの効果によって図 8 から変化する様子を図 9 に示す。

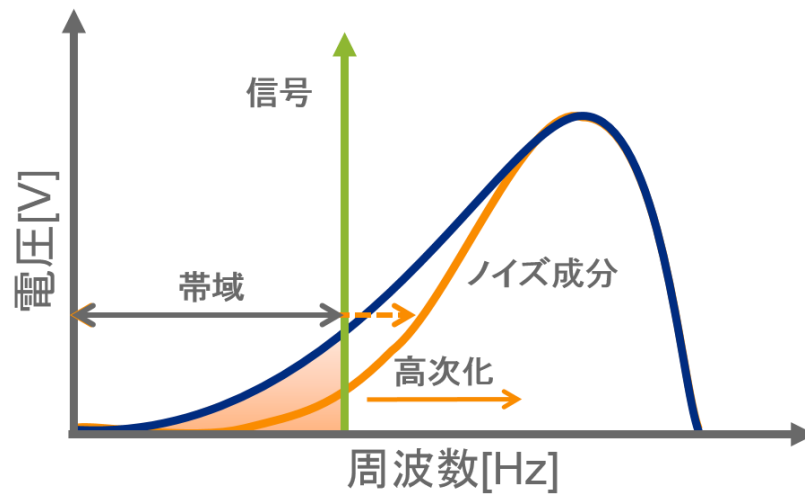


図9. ノイズシェーピング

上記でも述べた通り，図9のようにノイズ成分にシェーピングがかかり，帯域内のノイズを減らすことが出来る．これにより，使用帯域内での信号対雑音比（SNR）を向上させることが出来る．

2.4 1次 $\Delta\Sigma$ 変調器

オーバーサンプリング技術とノイズシェーピング技術を用いて、信号帯域内量子化雑音をさらに減らす手法が $\Delta\Sigma$ 変調である[4]。この手法は、ループフィルタと負帰還技術を用いて実現される。これにより量子化雑音に対して、周波数特性を持たせることができる。そのため、信号帯域内の雑音を信号帯域外にシフト（シェーピング）することにより、高い SQNR を得ることができる[4]。ノイズシェーピング特性はループフィルタによって変化させることができる。

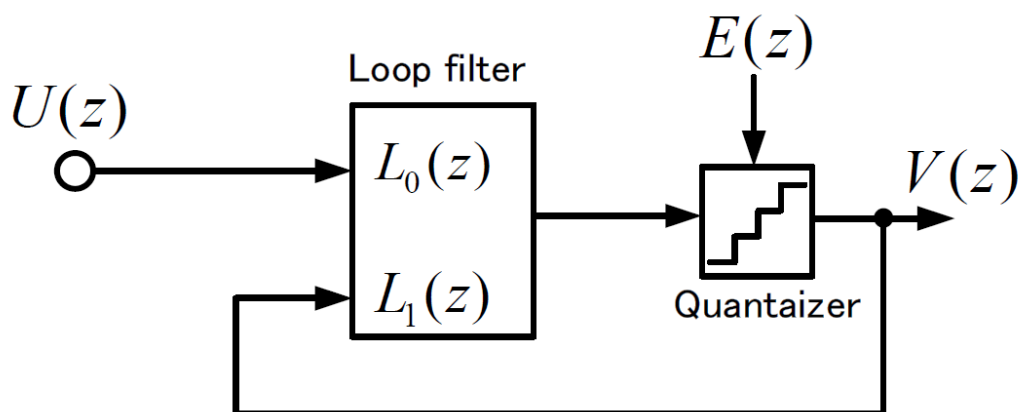


図 10. $\Delta\Sigma$ 変調器の基本構成

図 10 に $\Delta\Sigma$ 変調器の基本構成を示す。ここで、 $E(z)$ は量子化器で発生する量子化雑音、 $L_0(z)$ は入力信号 $U(z)$ に対するフィルタ、また、 $L_1(z)$ は出力信号 $V(z)$ に対するフィルタであり、ループフィルタと呼ぶ。 $\Delta\Sigma$ 変調器の線形システムにおける入出力特性は次式で表される[4]。

$$V(z) = STF(z)U(z) + NTF(z)E(z) \quad (9)$$

ここで、 STF は信号伝達関数、 NTF は雑音伝達関数であり、次式のようになる。

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)} \quad (10)$$

$$NTF(z) = \frac{1}{1 - L_1(z)} \quad (11)$$

したがって、線形解析により、 $\Delta\Sigma$ 変調器の特性は STF , NTF により決定され、それらはループフィルタに依存することがわかる。また、 STF は信号帯域では利得 1, NTF は信号帯域で利得が小さくなることが望ましい。

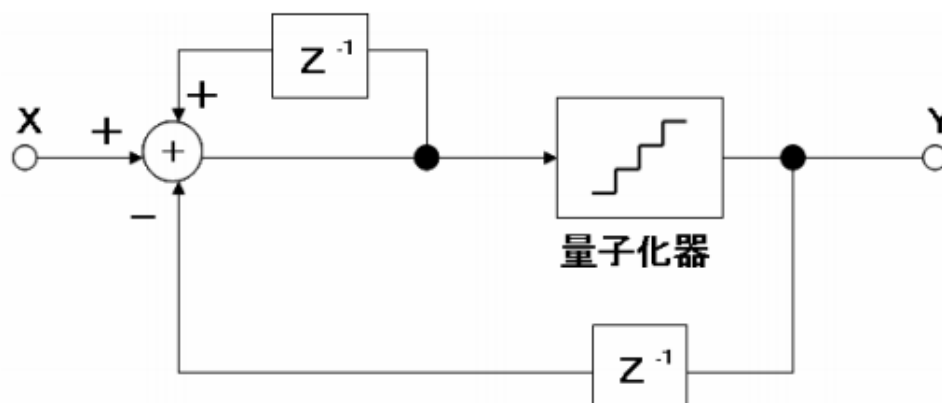


図 1 1. 1 次 $\Delta\Sigma$ 変調器

図 11 は、ループフィルタが 1 次の積分器のときのシステムブロック図である。線形解析により、量子化雑音は、 Q の加算モデルとして表す。入力 X に対して、出力 Y が加えられた信号は、1 次の遅延積分器により処理され、その後量子化器により量子化された信号が出力 Y となる。したがって、1 次 $\Delta\Sigma$ 変調器の入出力特性は次式で表される。

$$Y = z^{-1}X + (1 - z^{-1})Q \quad (12)$$

ここで、 STF は z^{-1} となり、1 遅延を持つだけで周波数特性は持たない。利得も 1 である。また、この時の NTF は $(1 - z^{-1})$ となる。この項は、ノイズシェーピングを表しており、これによるノイズシェーピング効果を表した出力スペクトラムを図 12 に示す。

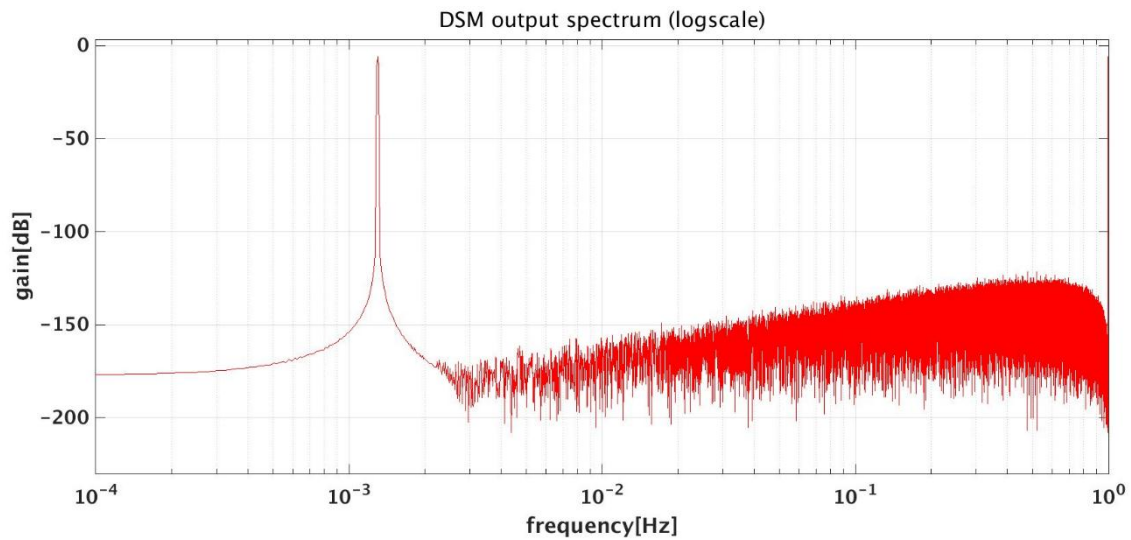


図 1 2. 1 次 $\Delta\Sigma$ 変調器の出力スペクトラム

量子化雑音に対しては、ハイパス特性を持たせているため、信号帯域内の量子化雑音を高域にシフトしている．このように、量子化雑音の周波数成分を変化させることをノイズシェーピングと呼ぶ[4]．すなわち、ノイズシェーピングにより、サンプリング周波数に対して信号帯域を十分に低くすれば(=OSR を高くすれば)、信号帯域内の量子化雑音を大幅に抑制することが可能である．

2.5 2次 ΔΣ 変調器

ループフィルタの次数を上げることで、より急峻なハイパス特性を持つ *NTF* を実現できる。ここでは、積分器を2つ有するループフィルタを用いた2次 ΔΣ 変調器について考察する。

構成については、図13に示す。

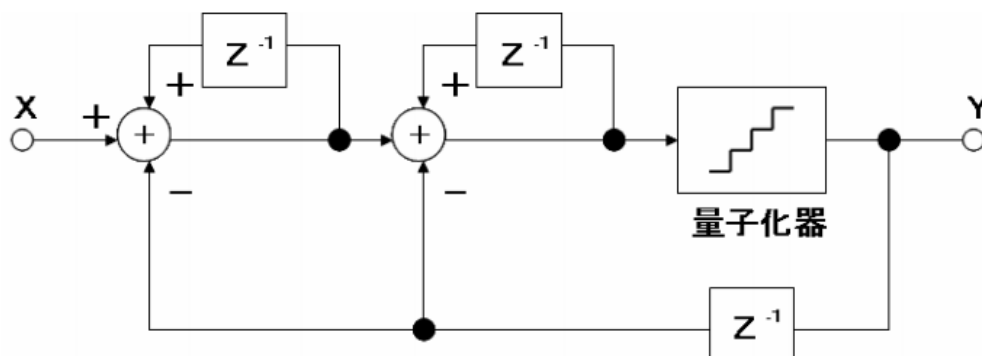


図13. 2次 ΔΣ 変調器

図13に示される2次 ΔΣ 変調器の入出力と特性は、次式で表される。

$$Y = z^{-2}X + (1 - z^{-1})^2 Q \quad (13)$$

式(15)より、*STF* は周波数特性を持たず、*NTF* は2次のハイパス特性となっていることがわかる。また、2次のノイズシェーピングによる効果を表した出力スペクトラムを図14に示す。

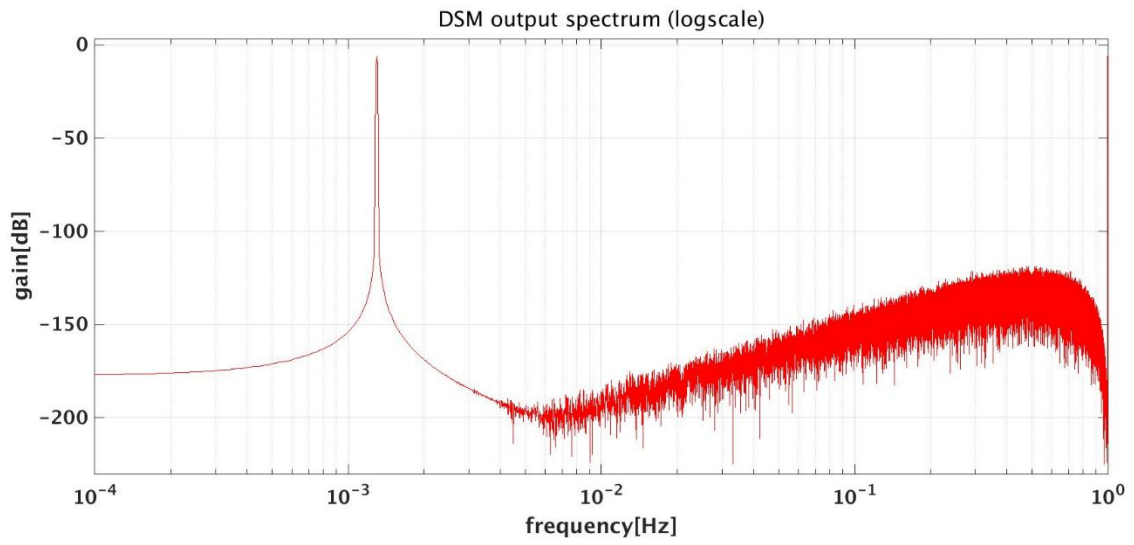


図 14. 2次 $\Delta\Sigma$ 変調器の出力スペクトラム

図 14 より，NTF の特性は，1 次のハイパス特性よりも信号帯域内のゲインが小さく，より強いノイズシェーピング（40dB/decade）がかかっていることが確認できる．

2. 6 3次 ΔΣ 変調器

ループフィルタの次数を上げることで、より急峻なハイパス特性を持つ *NTF* を実現できる。ここでは、積分器を3つ有するループフィルタを用いた3次 ΔΣ 変調器について考察する。(図8)

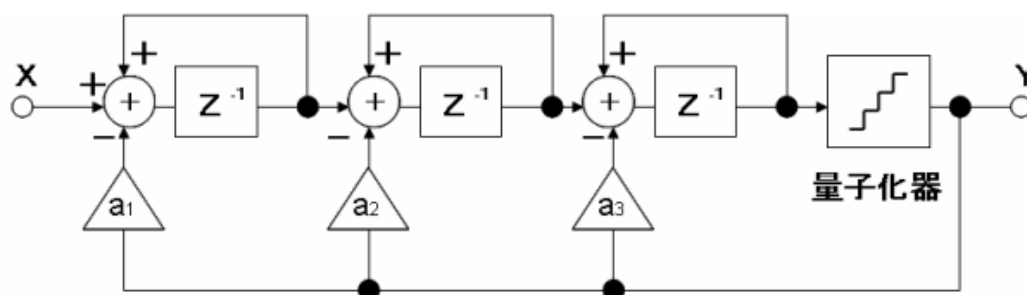


図15. 3次 ΔΣ 変調器

図15に示される2次 ΔΣ 変調器の入出力と特性は、次式で表される。

$$Y = \frac{z^{-3}}{f(z, a_i)} X + \frac{(1-z^{-1})^3}{f(z, a_i)} Q \quad (14)$$

$$f(z, a_i) = (a_1 - a_2 + a_3 - 1)z^{-3} + (a_2 - 2a_3 + 3)z^{-2} + (a_3 - 3)z^{-1} + 1 \quad (15)$$

ここで式(15)=1となるように a_1 , a_2 , a_3 を求めると、係数 $a_1 = 1$, $a_2 = 3$, $a_3 = 3$ となり、入出力特性は次のようになる。

$$Y = z^{-3} X + (1-z^{-1})^3 Q \quad (16)$$

式(16)より、*STF*は周波数特性を持たない3遅延、*NTF*は3次のハイパス特性となっていることがわかる。また、3次のノイズシェーピングによる効果を表した出力スペクトラムを図16に示す。

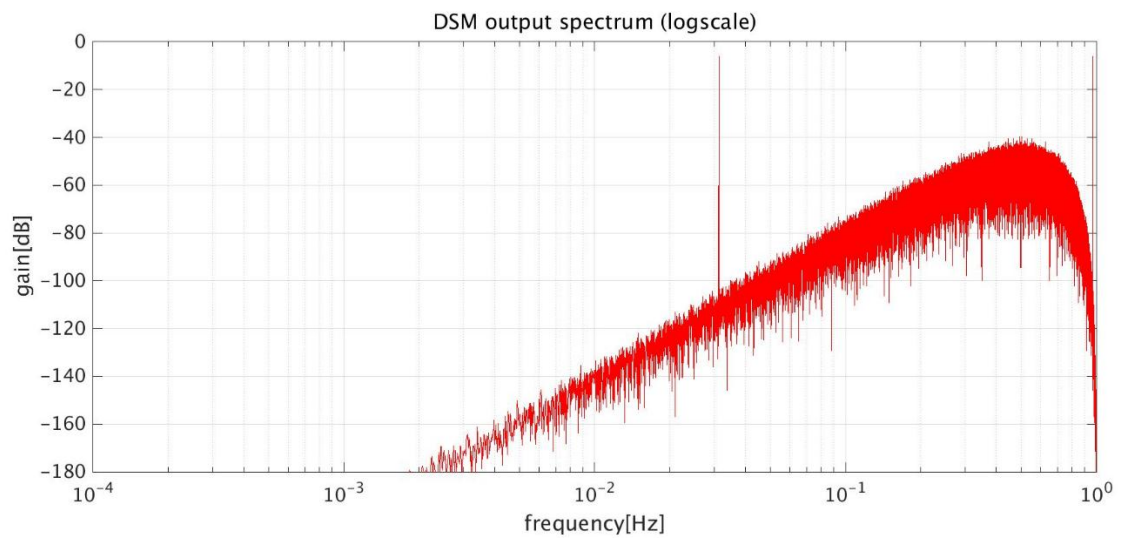


図 1 6 . 3 次 $\Delta\Sigma$ 変調器の出力スペクトラム

図 16 より，NTF の特性は，2 次のハイパス特性よりもさらに信号帯域内のゲインが小さく，より強いノイズシェーピング（60dB/decade）がかかっており，帯域内のノイズ成分を低減出来ていることが確認できる．

第3章 FIR フィルタ DSM

3.1 FIR フィルタ型スイッチトキャパシタ

式(1.1)より、NTFはループフィルタの伝達関数である $L(z)$ を大きくすることで小さくなることからわかる。そのため、通常の高精度化手法では内部の積分器を多段に積むことで $L(z)$ を大きくしてきた。しかし、その手法では回路面積が精度に比例して大きくなるデメリットを抱えていた。そこで、この積分器の段数を増やさずにループフィルタの伝達関数を大きくする手法として積分器にFIRフィルタ型スイッチトキャパシタを用いる方法が考えられている[1]。まず、図17にFIRフィルタの構成図を示す。

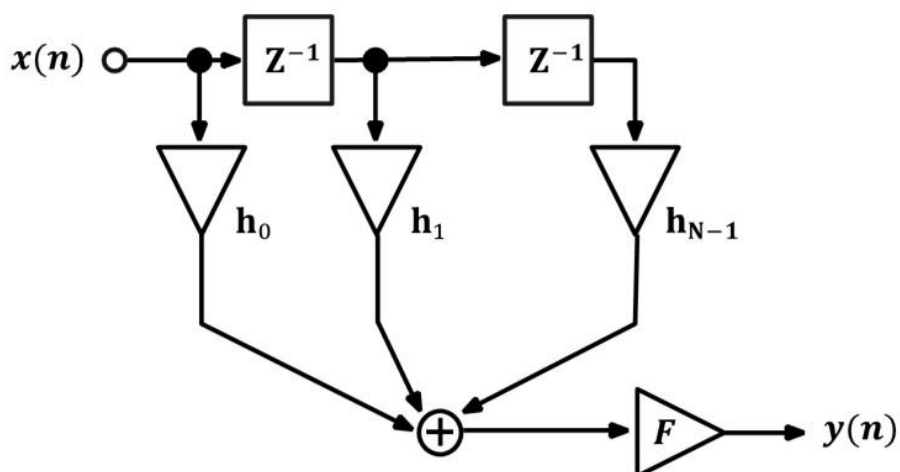


図17. N-tapのFIRフィルタ

図17からわかるようにFIRフィルタで h_0 に対して遅延を持たせた $h_1 \sim h_{N-1}$ までの信号データを加算して出力することで、式(1.7)の出力を得ることが出来る。

$$Y(z) = F \cdot (h_0 + h_1 z^{-1} + \dots + h_{N-1} z^{-(N-1)}) \quad (17)$$

上記の式(1.7)より、N-tap分信号を加算したため、FIRフィルタ無しの伝達関数($Y(z) = F \cdot h_0$)に比べて、FIRフィルタ有りではループフィルタ(LF)の信号帯域内の利得を大きくすることが出来る。そのため、LFの逆数に比例するNTFを小さくし、ノイズを低減することが可能である。次に、このFIRフィルタを積分器のスイッチトキャパシタに用いた構成を図18に示す。

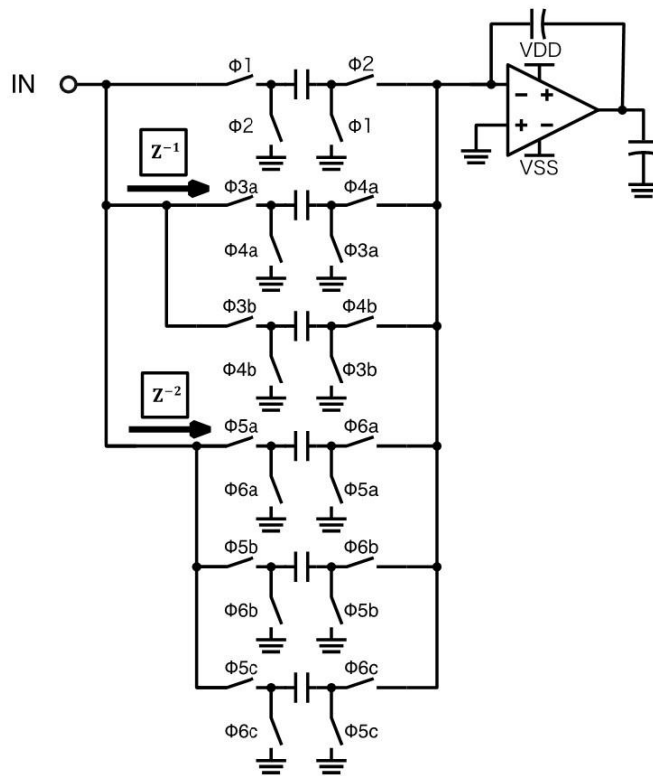


図 1 8. FIR フィルタ型スイッチトキャパシタ積分器

図 1 8 の構成では 2-tap の FIR フィルタを用いており、1 つ前、2 つ前の信号をそれぞれキャパシタに保持しておくことにより遅延を持たせている [1]。そのため上記の構成のように複数のスイッチとキャパシタが必要になる。また、この構成におけるスイッチの動き（クロック）を図 19 に示す。

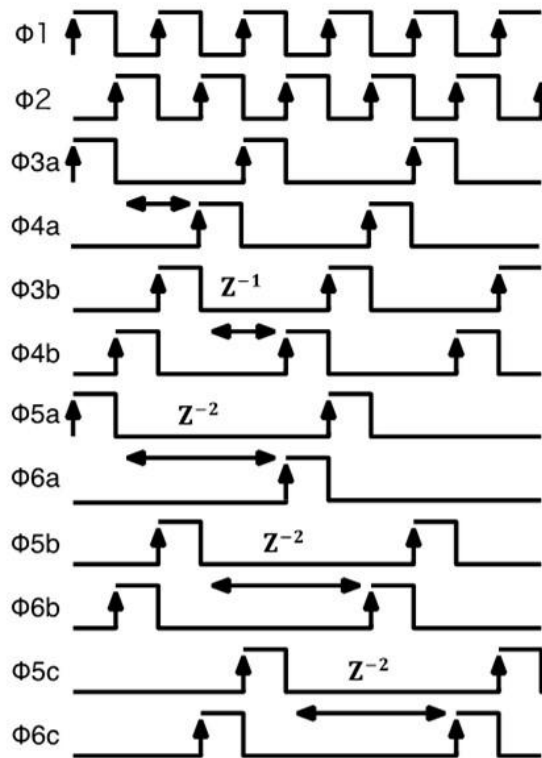


図 19. FIR フィルタ型スイッチトキャパシタのスイッチの動き

図 19 より、キャパシタへの電荷保持&消去により 1 遅延, 2 遅延分をそれぞれ実現していることがわかる。また, tap 数に応じて加速度的にスイッチとキャパシタが必要になってくると考えられる。この FIR フィルタ型を用いることで図 20 のような NTF の特性を得ることが出来る。

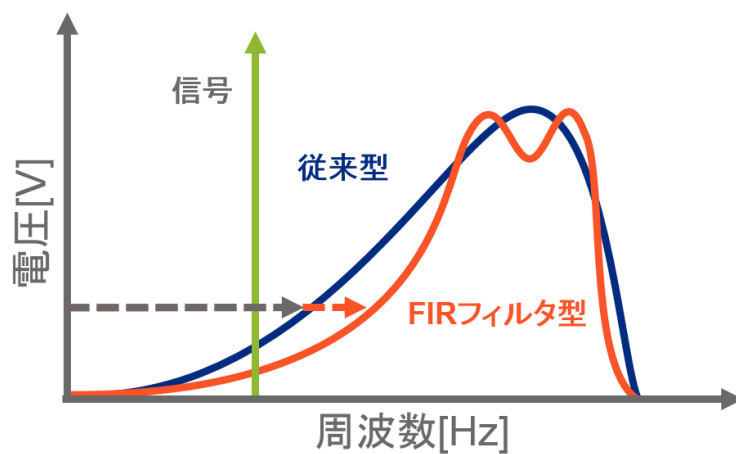


図 20. FIR フィルタ型の NTF 特性

3. 2 FIR フィルタ型 DSM の効果

ここでは、FIR フィルタ型 DSM を用いた $\Delta\Sigma$ DAC の効果検証を行う。まず今回使用した FIR フィルタ型 DSM の構成を図 21 に示す。

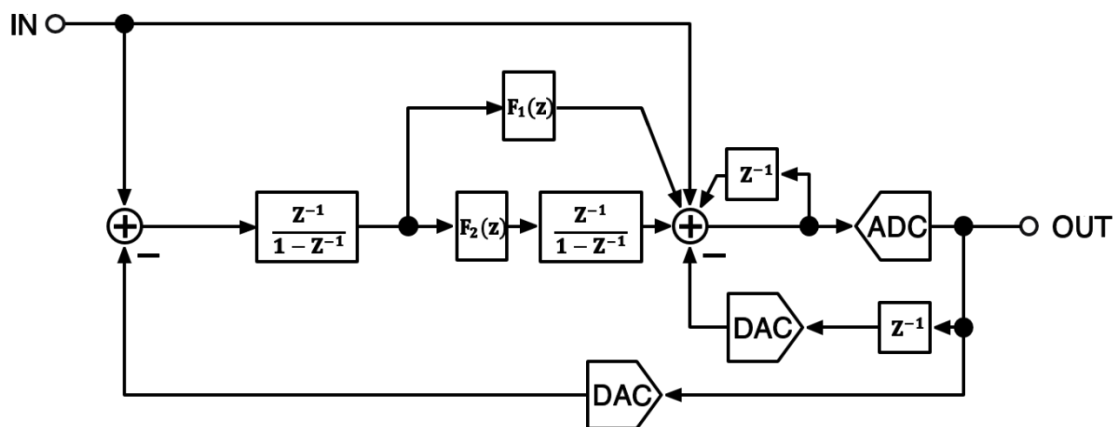


図 2 1. FIR フィルタ型 DSM の構成

図 21 の $F_1(z)$, $F_2(z)$ にそれぞれ FIR フィルタが挿入されている。また、図 22 にこの FIR フィルタ型 DSM を用いた 3 次 $\Delta\Sigma$ DAC のシステム図を示す。

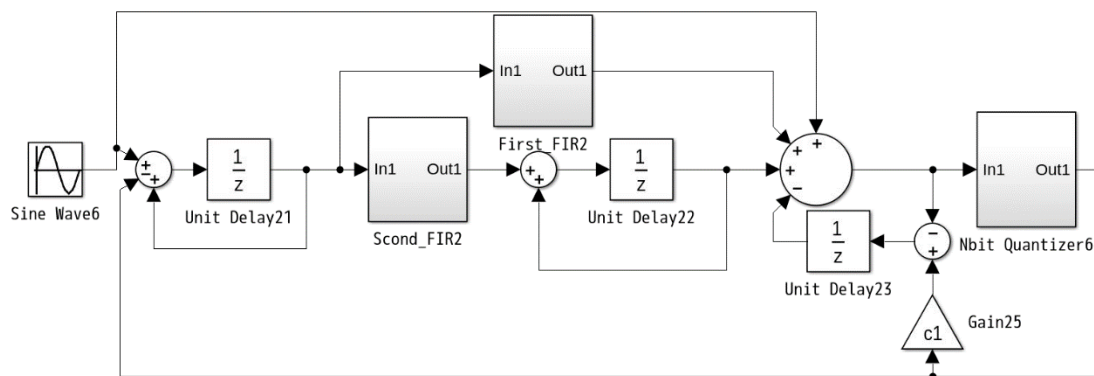


図 2 2. FIR フィルタ型 DSM を用いた 3 次 $\Delta\Sigma$ DAC

次に、図 22 の出力スペクトラムと通常の 3 次 $\Delta\Sigma$ DAC の出力スペクトラムを比較した波形図を図 23 に示す。

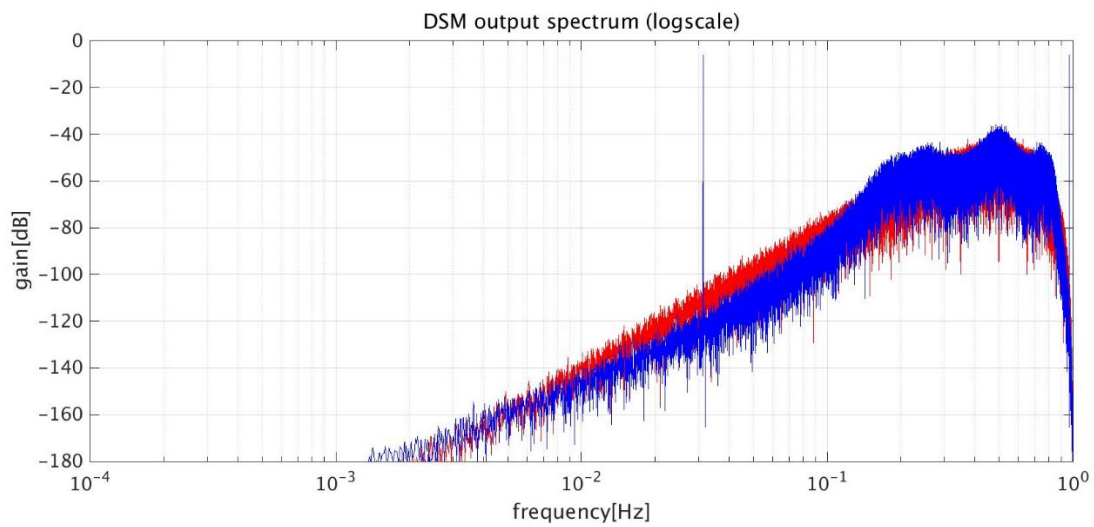


図 2 3. 出力スペクトラム

図 23 では、FIR フィルタ型 DSM を用いた 3 次 $\Delta\Sigma$ DAC (青) と 3 次 $\Delta\Sigma$ DAC (赤) の効果比較結果を示しており、図 20 で示した FIR フィルタによる効果を確認することが出来た。

第4章 クロックジッタとジッタシェーパー(JS)

4.1 クロックジッタとその影響

デジタル回路は、クロック信号によって制御される。理想的なクロック信号は一定の周期を維持する。しかし実際は、位相ロックループ (PLL) により生成されたクロック信号の位相は、クロストークや電源ノイズによる雑音の影響を受ける[8]。そのため、デジタル回路の動作タイミングは意図した一定周期とは少し異なってしまう。このクロックジッタは、クロック信号の立ち上がり立ち下りのタイミングの変動によるものと考えられる。ほかに電源ノイズ、熱雑音、 $1/F$ (ピンク) ノイズは DAC の性能を低下させる。本章では、クロックジッタについて述べ、ジッタ成分は正規分布のランダム雑音であることを前提として解析する。また、ホワイトノイズに対する考察から、周波数特性をもつノイズへの類推も可能である。

図24は理想クロックおよびジッタのクロックにより制御されたサンプルホールド (S/H) 回路の波形を示す。

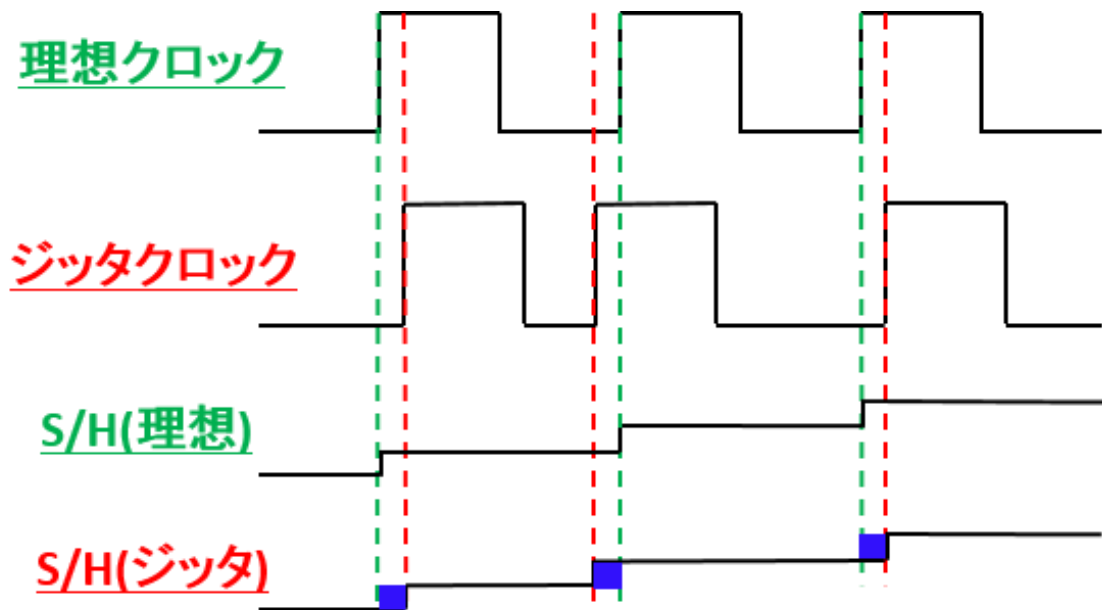


図24. 理想クロックとクロックジッタ

クロックジッタは、DAC の出力信号振幅には影響を与えない。しかしながら出力電力の変動、ひいてはノイズの原因となる出力信号幅を変化させる。したがって DAC のクロックジッタは、時間軸方向のノイズの原因となる[10]。また、クロックジッタが存在すると DAC のアナログ出力信号に位相変調をかける。その影響で、ランダムクロックジッタは「 $\Delta\Sigma$ 変調器により帯域外の高域へとシェ

「アップコンバートされた量子化誤差」を信号帯域内にダウンコンバートしてしまう[3].

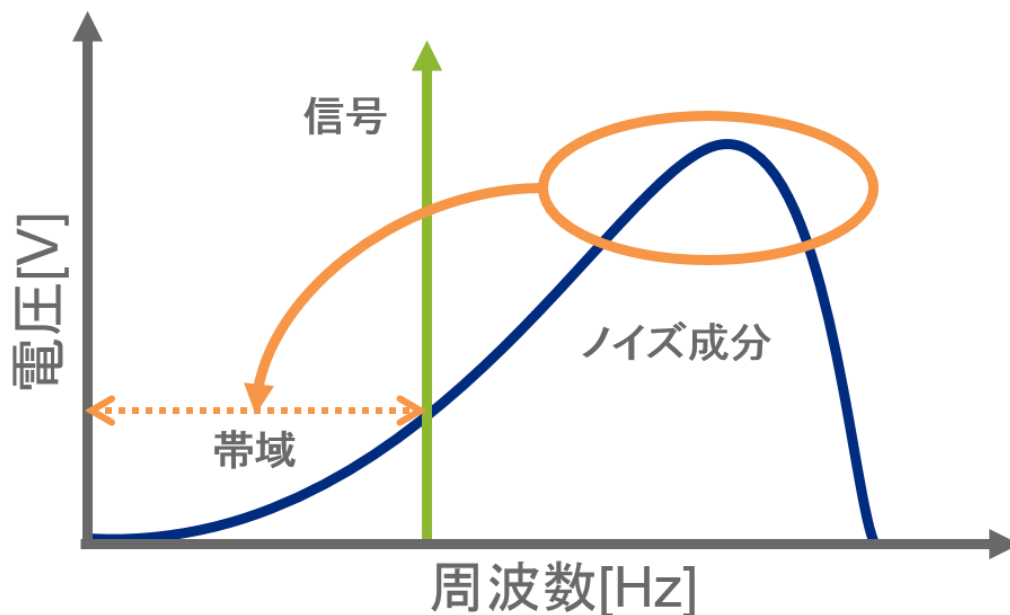


図25. クロックジッタによる折り返し雑音

$\Delta\Sigma$ DAC は上記で述べたように、信号帯域内の量子化ノイズを信号帯域外にシフトする。したがってノイズピークが高く、クロックジッタの影響を受けやすい。そのため、ダウンコンバートされた量子化誤差は信号帯域内のノイズフロアを上昇させ、SNR を劣化させる。これは FIR フィルタ型 DSM を用いる際にも同様に懸念される。

4. 2 ジッタシェーパとその効果

上記で述べたクロックジッタの影響を低減する手法として、ローパス型 Analog FIR Filter やジッタシェーパなどが提案されている[2].

ローパス型 Analog FIR Filter を用いた場合は, 図 17 で示したように複数 tap 必要とし, 低減効果を高めるにつれ回路面積が大きくなる[3]. そのため, ジッタシェーパと比較した際に同様の低減効果を得るには回路面積の増大が多いに懸念される[3]. そこで, 本論文ではクロックジッタの対策手法として, ジッタシェーパを採用する. ジッタシェーパの構成を図 26 に示す.

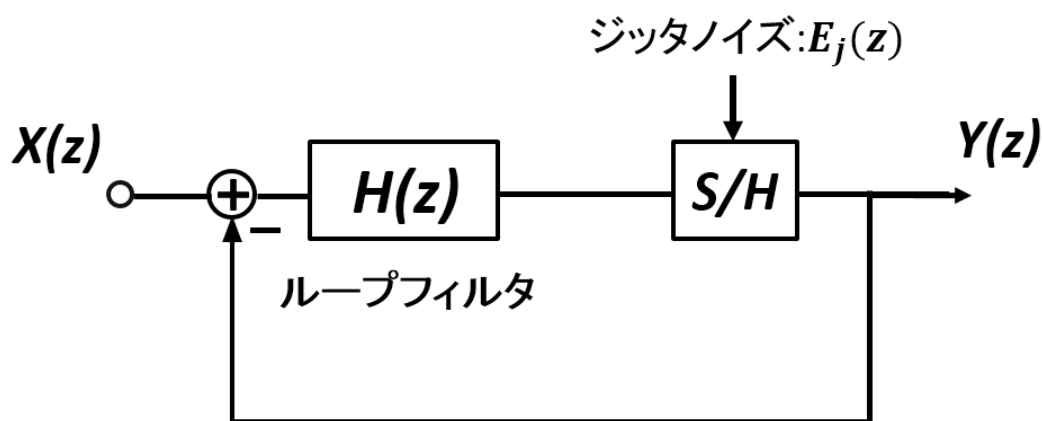


図 26. ジッタシェーパの構成

図 26 における $E_j(z)$ がジッタノイズであり, サンプルホールド回路 (S/H 回路) に対して影響を与えている[2].

ジッタシェーパはループフィルタと S/H 回路で構成され, その構造は $\Delta\Sigma$ 変調器と同様である. $H(z)$ はループフィルタの伝達関数である. 出力 $Y(z)$ は式 (18) により与えられる[3].

$$Y(z) = STF(z)X(z) + NTF(z)E_j(z) \quad (18)$$

STF および NTF はそれぞれ, 信号及び雑音伝達関数であり, $E_j(z)$ は S/H 回路によって生じるジッタ起因のノイズ (以降, ジッタノイズ) である. また STF と NTF は次のように導出される[3].

$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E_j(z) \quad (19)$$

$$STF(z) = \frac{H(z)}{1+H(z)} \quad (20)$$

$$NTF(z) = \frac{1}{1+H(z)} \quad (21)$$

式(21)より、 $\Delta\Sigma$ 変調器同様に NTF はループフィルタと反比例の関係にあることがわかる。また、NTF の周波数応答を図 27 に示す。

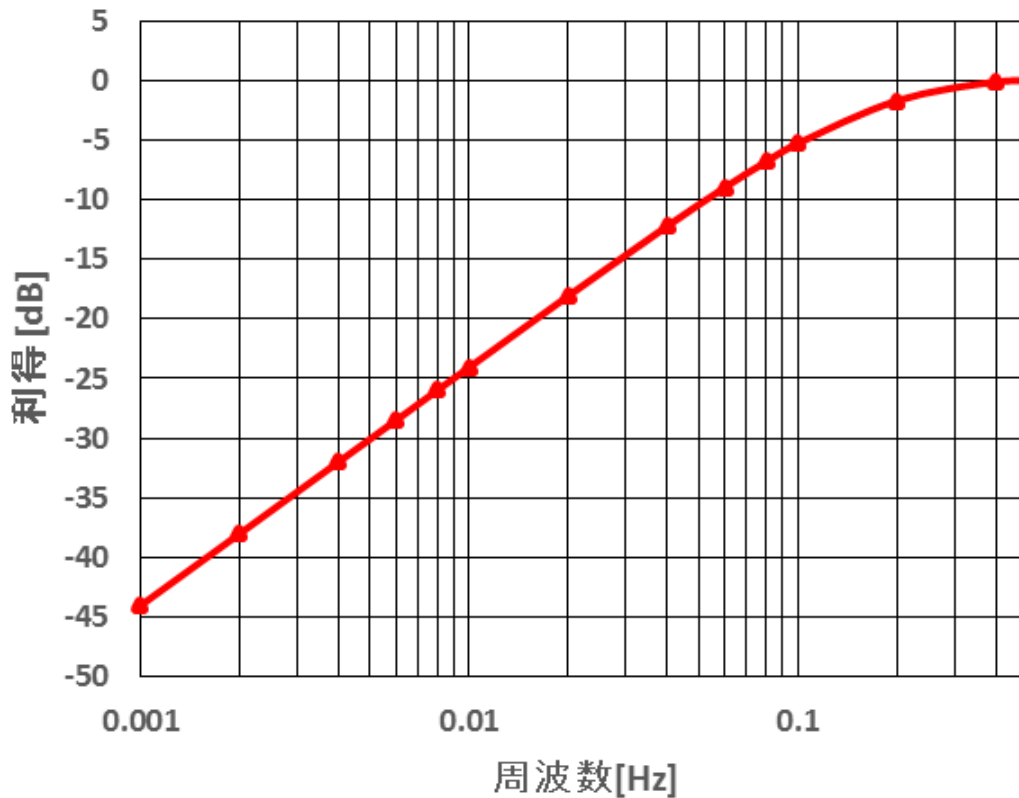


図 27. NTF の周波数応答

図 27 より、NTF は高周波で増加し、低周波で減少していることが確認できる。この特性から、ジッタノイズをシェーピングできていることがわかる。よって、ジッタシェーピングによって SNR を改善することができる[3]。次に、このジッタシェーパの効果シミュレーションを行う。まず、今回使用するジッタモデルを図 28 に示す。

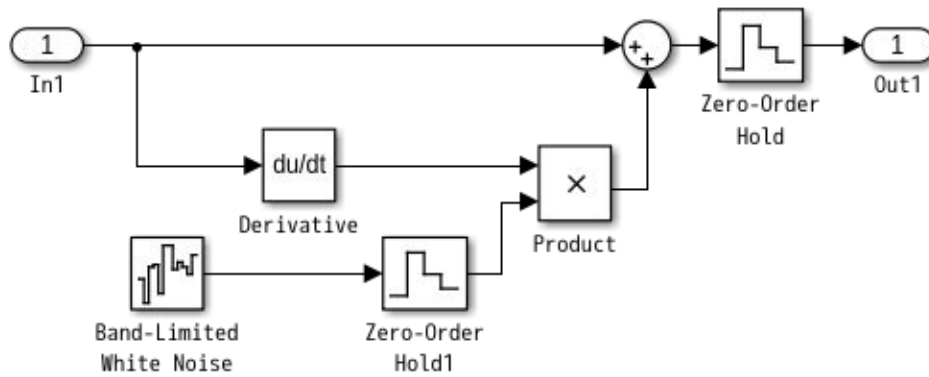


図 28. ジッタモデル

ジッタが十分に小さいとき、時間軸方向のノイズを振幅方向に変換する。DAC 出力信号 (図 24) のクロックの時間変化による影響は、クロックジッタによる振幅誤差を加算することによってモデル化することができる[3]。S/H に正弦波 入力をしたとき、時間変化 δ に起因する振幅誤差は式 (22) にて与えられる。

$$E_j = \sin(t + \delta) - \sin(t) = \delta \frac{d \sin(z)}{dt} \quad (22)$$

これは δ が周期 T よりもはるかに小さいときに近似できる。次に、今回用いた 3 次 $\Delta\Sigma$ DAC+JS のシステム構成を図 29 に示す。

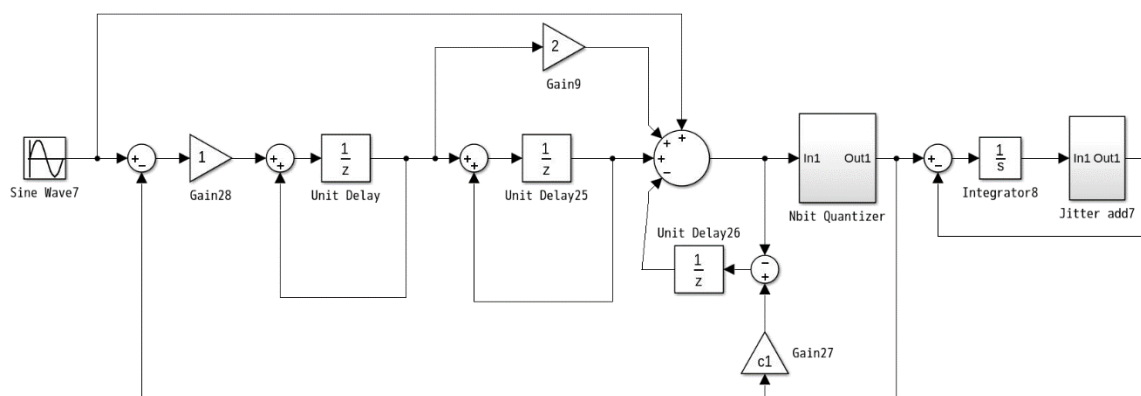


図 29. 3 次 $\Delta\Sigma$ DAC+JS のシステム

図 28 のジッタモデルを用いて、図 29 のシステムと通常の 3 次 $\Delta\Sigma$ DAC のそれぞれに 0.1% のクロックジッタを加えた出力スペクトラムを図 30 に示す。

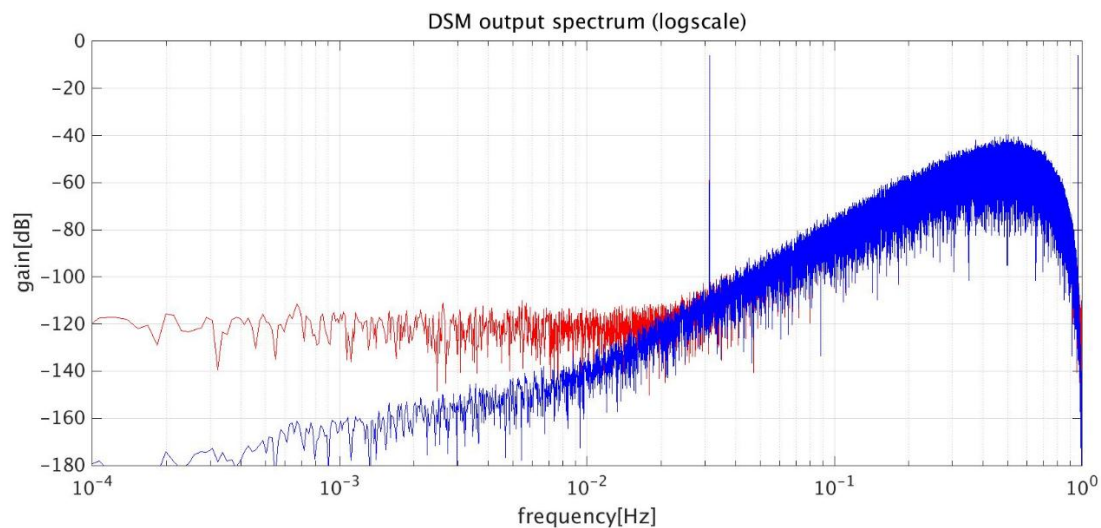


図 30. 出力スペクトラム

図 30 より、通常の 3 次 $\Delta\Sigma$ DAC (赤) においてクロックジッタの影響による信号帯域内のノイズフロアの上昇が確認できる。また、3 次 $\Delta\Sigma$ DAC+JS (青) の出力スペクトラムから JS による、信号帯域内のノイズフロア上昇が低減出来ていることが確認できる。これにより、シミュレーションベースではあるがクロックジッタの影響と JS の有効性を確認できた。

第5章 提案手法

通常は $\Delta\Sigma$ DAC の高精度化手法として、従来では内部の DSM を高次化またはオーバーサンプリング比 (OSR) の向上させることにより、帯域内のノイズ成分を減少させ、SNR の向上を行っていた。

しかし、通常の高次化手法では、内部積分器の段数を増やすことで次数を上げるため、回路面積の増大がデメリットであった。

また、オーバーサンプリング比の向上 (高 OSR 化) を行う場合、通常のサンプリング周波数の整数倍へとサンプリング周波数が大きくなるため、回路の動作周波数が上昇し、内部積分器の消費電力の増大や回路面積の増大へと繋がるデメリットを抱えている。

本論文では、FIR フィルタ型 DSM を用いることで、第 3 章で述べたように内部積分器を増やすことなく、ループフィルタの伝達関数を変化させ、帯域内のノイズをより帯域外にシフトすることが出来る[1]。これにより、高次化や高 OSR 化を行わず、高精度化をすることが可能である。

しかし、この FIR フィルタ型 DSM を用いた場合、CHIP へ実装した際に起こる電源ノイズなどにより、内部 DAC がクロックジッタの影響を受けると、通常の DSM よりも帯域外の高域へと量子化ノイズを押し上げている分ノイズピークが少し上昇すると考えられる。そのため、ダウンコンバートされた際に、帯域内のノイズフロアの上昇が起りやすいと考えられる。そのため、このクロックジッタの影響を低減し、補完することの出来る技術が必要だと考えた。

クロックジッタへの対策手法には、第 4 章で述べたようにいくつか手法があるが、その中でも従来のアナログ FIR フィルタなどのクロックジッタ対策に比べて回路面積の面で優秀なジッタシェーパー[3]を用いることにした。この技術を用いることで、式 (17) のような伝達特性を得られ、それによりダウンコンバートされたノイズ成分に図 27 のような NTF 特性を付与し、クロックジッタによる低周波 (帯域内) におけるノイズフロアの上昇を低減することが出来る。このジッタシェーパーを用いることで、従来型よりも影響が懸念される、クロックジッタによる精度劣化への対策を行っている。

上記二つの技術を用いることで、回路面積の増大を最低限に抑えた上で、高精度化を行うと共に、クロックジッタによる精度劣化への対策を実現する。本論文で用いる提案手法の構成を図 31 に示す。

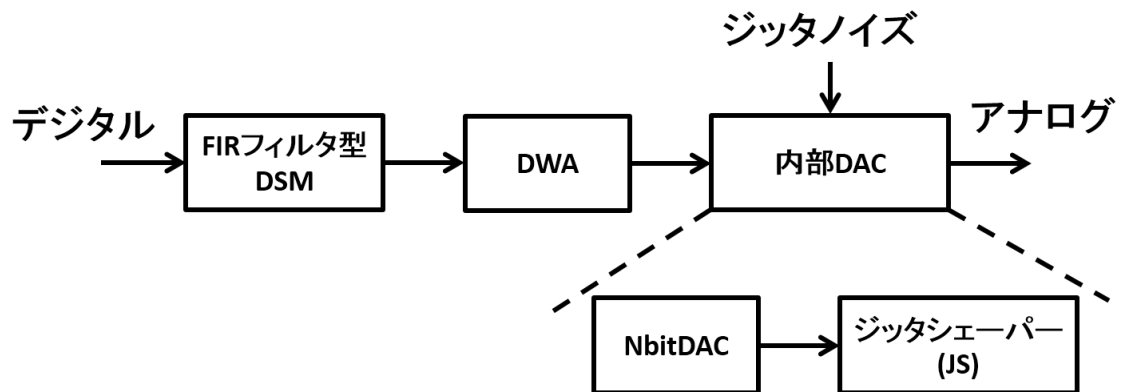


図 3 1. 提案手法の構成

通常構成（図 6）において、DSM が入る部分に FIR フィルタ型の DSM を挿入し、SNR の向上を行う。また、クロックジッタによるジッタノイズは内部 DAC に対して影響するため、この内部 DAC 部にジッタシェーパーを用いる。また、内部 DSM の次数は 3 次構成のものを用いる。これは、1 次、2 次 DSM を用いた $\Delta\Sigma$ DAC では、15, 16bit 以上の精度が求められるオーディオやワイヤレス通信への応用を考えた際に、精度不足であると考えられるためである[9].

次章で上記構成のシステムレベルでのシミュレーション結果について示す。

第6章 シミュレーション結果

MATLAB/ Simulink を使用して、提案した FIR フィルタ型 DSM とジッタシェーパを用いた 3 次 $\Delta\Sigma$ DAC のシミュレーションを行う。

印加するクロックジッタは、図 28 に示した振幅変換モデルを使用する。このときのジッタは周波数に対して十分に小さくランダムであるとする。

シミュレーション条件を表 1 に示す。 F_s は正規化周波数とし、オーバーサンプリング比 (OSR) は、サンプリング周波数と信号帯域幅の 2 倍との整数比である。また、シミュレーションを行う際に注入するクロックジッタはクロック周期の 0.1% のランダムジッタとして行った。

表 1

<i>Input</i>	<i>F_s</i>	<i>OSR</i>	<i>Quantized Level</i>	<i>Plot</i>
-6 dBFs	1	16	15	2 ¹⁶

次に、今回用いた提案手法のシステム構成を図 32 に示す。

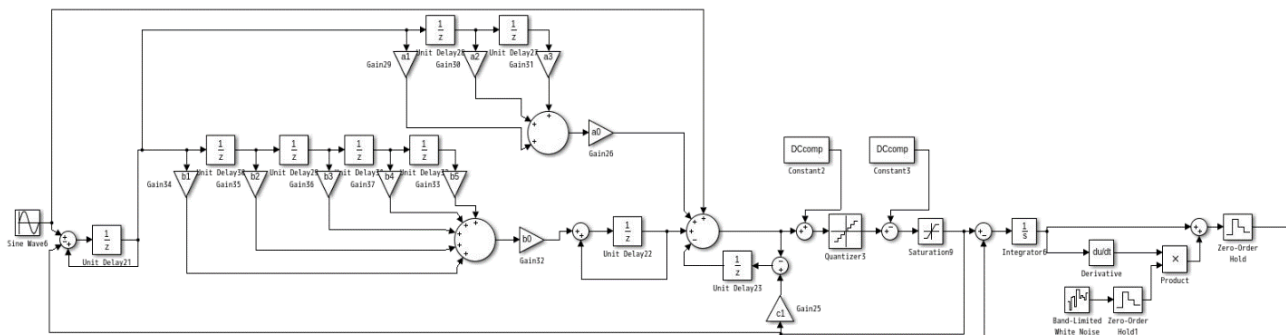


図 3 2. 提案手法のシステム構成

上記、図 32 の提案手法 (3 次 FIR フィルタ型 $\Delta\Sigma$ DAC+JS 構成) と通常の 3 次 $\Delta\Sigma$ DAC を用いたシミュレーション結果の出力スペクトラムを図 33 に示す。

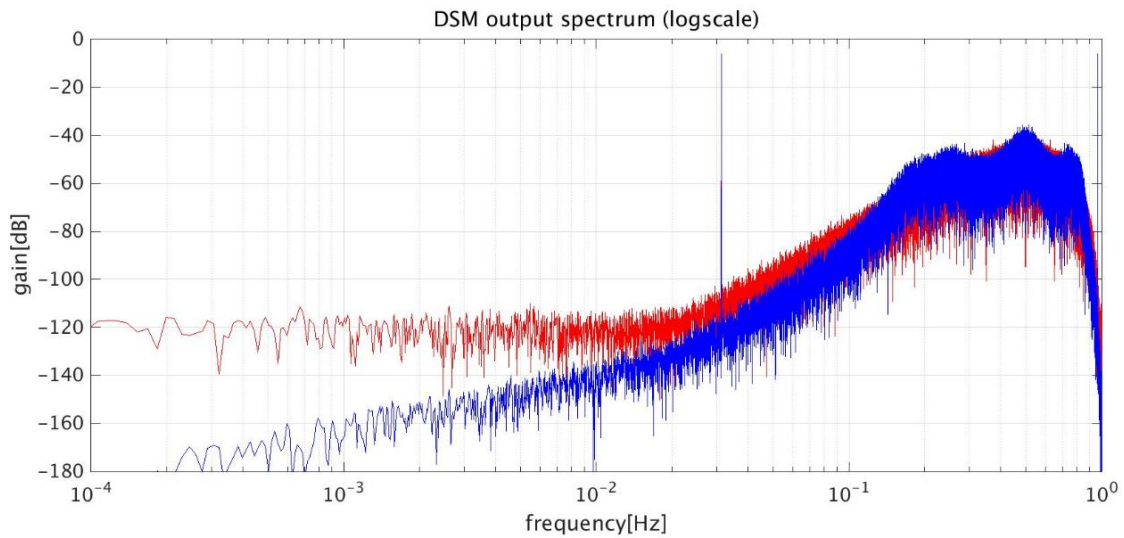


図 3 3. 出力スペクトラム

図 33 より、**FIR** フィルタ型 **DSM** による信号帯域におけるノイズシェーピングの効果とジッタシェーパによる、低周波（信号帯域内）のノイズフロア上昇の低減効果を確認することができる。

また、それぞれの出力スペクトラムの **SNR** について、表 2 に示す。

表 2

	3 次 $\Delta\Sigma$ DAC	提案手法
SNR	77. 9dB	89. 7dB

表 2 より、**SNR** はそれぞれ、3 次 $\Delta\Sigma$ DAC が約 78dB、提案手法が約 90dB となっていることがわかる。このことから、**SNR** で比較した際に、約 12dB 精度が向上していることがわかる。よって、提案手法を用いた $\Delta\Sigma$ DAC の高精度化への有効性をシステムレベルで確認した。

第7章 まとめと今後の課題

本論文では、FIR フィルタ型 DSM とジッタシェーパーを使用した $\Delta\Sigma$ DAC の高精度化の方法を提案した。従来手法のデメリットを補完し、メリットのみを用いることで一般的な $\Delta\Sigma$ DAC 構成と比較した際の有効性について、MATLAB/Simulink シミュレーションを利用して、実証した。本論文の構成を用いることで、高性能 DAC システムを実現出来ることを示した。現状では、システムシミュレーションベースでの議論に留まっているため、今後の課題としては、実際に Chip に実装して実装評価を行う必要があると考える。その際には、Chip にデジタルとアナログの回路が混載することになるため、想定している以上の電源ノイズによるジッタノイズや今回議論しなかった熱ノイズ、素子ばらつきなどの影響を考慮&確認する必要がある。

この実装評価の結果を考慮し、他ノイズへの対策の模索や今回は検証を行わなかった消費電力、回路面積の面での検証を行う必要があると考える。また、DSM の次数を 4 次以上へと向上させた際に、精度とコスト（回路面積や消費電力）のコストパフォーマンスが最適化される構成についても検証が必要だと考える。

特に近年のウォークマンやスマートフォンなどのポータブルオーディオの成長スピードを考えた際に、この精度とコストという 2 点は非常に大きな懸念材料だと考えられると共に、他技術との差異を大きく出来る材料であるとも考えられる。

第8章 参考文献

- 1) Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda: A Delta-Sigma Modulator with a FIR Filter Reducing Quantization Noise in Signal-band, Analog Integrated Circuits and Signal Processing, ALOG-D-14-00102R1, 2013.
- 2) Yuki Watanabe, Takahisa Kawabe, Satoshi Saikatsu, Michitaka Yoshino, and Akira Yasuda, "A Delta-Sigma DAC with a Jitter Shaper Reducing Jitter Noise", 2014 International Conference on Analog VLSI Circuits, Analog Circuit Blocks, Oct, 2014.
- 3) Yuki Watanabe, Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda: Delta-sigma DAC with jitter-shaper reducing jitter noise, Analog Integrated Circuits and Signal Processing, Volume 85, Issue 2, pp 243-251, Nov, 2015.
- 4) Richard Schreier, Gabor C. Temes 著 和保考夫, 安田彰 監訳: $\Delta\Sigma$ 型アナログ/デジタル変換器入門, 丸善, 2007
- 5) 谷口研二 著: CMOS アナログ回路入門, CQ 出版社, 2005.
- 6) Behzad Razavi 著 黒田忠広 監訳: アナログ CMOS 集積回路の設計 基礎編, 丸善, 2003.
- 7) Behzad Razavi 著 黒田忠広 監訳: アナログ CMOS 集積回路の設計 応用編, 丸善, 2003.
- 8) Cherry, J.A., & Snelgrove, W.M.: Clock jitter and quantizer metastability in continuous-time delta-sigma modulators, IEEE Transactions on Circuits and Systems II, 46, 376–389, 1999.
- 9) Fujimori, I., Nogi, A, & Sugimoto, T: A multibit delta–sigma audio DAC with 120-dB dynamic range, IEEE Journal of Solid-State Circuits, 35(8), 1066–1073, 2000.
- 10) Yoshihiro Kitahara, Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda: A Four-paralleled Second-order Time Interleaved Delta-Sigma Modulator using a Vector Filters, 2012 International Conference on Analog VLSI Circuits, Oct, 2012.

第9章 謝辞

本研究を進めるに当たり、多くの指導・助言を頂いた法政大学工学部安田彰教授に深く感謝申し上げます。また、この場をお借りしまして、様々な協力を頂いた同研究室の皆様にも感謝申し上げます。

この論文は、ケイデンス・デザイン・システムズ社、サンノゼ、カリフォルニア州、U. S. A. と共同で大規模集積システム設計教育研究センター (VDEC)、東京大学、によってサポートされていました。

第10章 発表論文

[1] Takahisa Kawabe, Satoshi Saikatsu, Michitaka Yoshino, and Akira Yasuda, "Background Calibration Technique for a Pipelined ADC Using a Noise-Shaping and Feedback Structure", 2013 International Conference on Analog VLSI Circuits, pp. 64-pp. 68, Oct., 2013.

[2] Yuki Watanabe, Takahisa Kawabe, Satoshi Saikatsu, Michitaka Yoshino, and Akira Yasuda, "A Delta-Sigma DAC with a Jitter Shaper Reducing Jitter Noise", 2014 International Conference on Analog VLSI Circuits, Analog Circuit Blocks, Oct, 2014.

[3] 川部 嵩永, 渡邊 裕紀, 春海 豪, 峯村 亮佑, 西勝 聡, 吉野理貴, 安田 彰, "ΔΣDAC の高精度化" 電子情報通信学会総合大会 2016 年_基礎・境界, A-1-16, 3月15日, 2016年.