

ノイズシェーピング構成とミスマッチシェーパを用いたバックグラウンドキャリブレーション型パイプラインADC

黄, 弋 / HUANG, Yi

(開始ページ / Start Page)

1

(終了ページ / End Page)

48

(発行年 / Year)

2016-03-24

(学位授与年月日 / Date of Granted)

2016-03-24

(学位名 / Degree Name)

修士(工学)

(学位授与機関 / Degree Grantor)

法政大学 (Hosei University)

2015 年度 修士論文

ノイズシェーピング構成とミスマッチシェーパーを用いた
バックグラウンドキャリブレーション型パイプライン ADC

A Pipelined ADC Using Background Calibration
With Mismatch Shaper And Noise Shaping Architecture

指導教授 安田 彰

法政大学大学院理工学研究科
電気電子工学専攻修士課程

14R3112

コウ ヨク
黄 弋

ABSTRACT

This paper we propose a background calibration technique for a pipeline ADC, which uses an error feedback to realize a band-pass noise shaping and a correlation operation to detect mismatches with a noise shaping dynamic element matching method to realize a high pass mismatch shaping. The detection accuracy and speed can be improved. At the same time, it is possible to realize the conversion as a noise shaping type pipelined ADC. When the proposed method is applied to a 12-bit pipelined ADC, the simulation results revealed improvements of 38dB in the SNDR.

Key Words: *pipelined Analog to Digital Converter, capacitor mismatch, background digital calibration, Noise Shaping Dynamic Element Matching*

目次

第1章	序論.....	3
第2章	AD,DA変換器.....	4
2.1	A/D変換.....	4
2.2	D/A変換.....	8
第3章	パイプライン型ADC.....	11
3.1	パイプラインADCの基本構成.....	11
3.2	パイプラインADCにおける誤差.....	12
第4章	従来誤差検出法.....	14
4.1	ディジタルキャルブレーション.....	14
4.2	ノイズシェーピングと相関演算を用いた誤差検出法.....	16
4.3	エラーフィードバック構造.....	21
4.4	Noise Shaping Dynamic Element Matching.....	22
4.5	ハイパスエラーフィードバック構造+NSDEM.....	24
第5章	提案誤差検出法.....	26
5.1	1次ハイパス+1次ローパスシェーピング法.....	26
5.2	2次ハイパス+1次ローパスシェーピング法.....	29
5.3	エラーフィードバック構成と相関演算を組み合わせた誤差検出.....	32
第6章	シミュレーション結果.....	34
6.1	シミュレーション条件.....	34
6.2	ノイズシェーピング構成における補正結果の比較.....	36
第7章	まとめと今後の課題.....	44
	謝辞.....	45
	参考文献.....	46
	発表論文.....	47

第1章 序論

超音波診断装置やMRI(核磁気共鳴)機器といった医療用画像処理アプリケーションは、患者の病状の変化を的確に捉えることが重要であり、種々の高性能エレクトロニクス回路で構成されている。特にアナログディジタル変換器(ADC)に対しては、高コントラストイメージや高速動作を実現するために、“変換精度”と“変換速度”が最も重要な指標とされている。

パイプライン型ADCは、この両面を満足する高速・高精度・低消費電力なADCとして、広く認知されている。最近では、医療用機器やディジタル・スチル・カメラだけでなく、3G/LTEワイヤレス基地局やテスター・計測機器類の分野にも需要が増加している。

しかしながら、パイプライン型ADCの内部DACを構成するキャパシタの製造上のばらつきにより、容量値にミスマッチが生じ、これにより精度が劣化する。キャパシタは複数用いられるため、容量値のミスマッチに起因する変換精度の劣化は、避けられない問題である。多くの高精度システムが要求する性能を満たすためには、キャリブレーション技術やトリミング技術が必要である[1]-[2]。

そこで本論文では、パイプライン型ADCの内部DACで生じるキャパシタミスマッチの検出精度向上を狙い、ミスマッチシェーパを用いた誤差検出法を提案する。また、内部ADCで生じる量子化誤差の影響を低減させるために、量子化誤差をエラーフィードバックする構成を採用した。これらを組み合わせることで、高精度かつ高速にミスマッチによる誤差検出を行いながら、変換が可能なバックグラウンドキャリブレーション手法を提案する。

第2章 AD,DA 変換器

Analog to Digital converter(ADC), Digital to Analog converter(DAC)はアナログとデジタル、デジタルとアナログの世界をつなぐ役割を果たしている。A/D 変換とは、電圧値もしくは電流値をアナログからデジタルに変換することである。これは連続した信号であるアナログを、離散した信号であるデジタルに変換することを意味する。この A/D 変換のことを符号化(Coder)とか変調(modulation)という。D/A 変換とは、デジタルから電圧もしくは電流値であるアナログに変換することである。これは離散的な信号であるデジタルを、連続した信号であるアナログに変換することを意味する。この D/A 変換のことを復号化(Decode)とか復調(Demodulation)という。デジタル化のメリットとしては、情報の劣化が極めて少なく高品質のまま長期保存が可能、また編集・加工・複製が容易であり、2 次利用が可能、デジタル化されたデータを圧縮・セキュリティ技術と組み合わせる事により、信頼性・安全性の向上が可能といったことがあり今日数多くの分野で ADC, DAC は用いられている。近年の傾向として通信や映像分野のデジタル信号処理化と高集積化により今までにも増して性能の向上が求められている。

2.1 A/D 変換器

アナログ入力を A, デジタル出力を D とすると A/D 変換は以下の関係式で表すことが出来る。

$$D = f(A) \quad (2.11)$$

入力が連続の値であるとする、出力は ADC の分解能に応じた有限の値のコードから選択される。このように ADC はそれぞれ入力レベルに応じたコードに近似している。この近似は各コードに対応した参照電圧の生成、アナログ入力と各参照電圧を比較、入力値に近い参照電圧の選択で実現される。ほとんどの ADC において、アナログ入力は電圧である。図 2.1 は ADC の入出力特性である。アナログ入力はもっとも近い基準値に近似されている。もしデジタル出力が m-bit バイナリであるとする、出力は次式のようになる。

$$D = \left[2^m \frac{A}{V_{ref}} \right] \quad (2.12)$$

[]は整数の置換えを， V_{ref} は入力フルスケール電圧を示している．出力への変換で生じる入力の最大変化は $\Delta = V_{ref}/2^m$ で，デジタル表現の最小 bit に相当する．

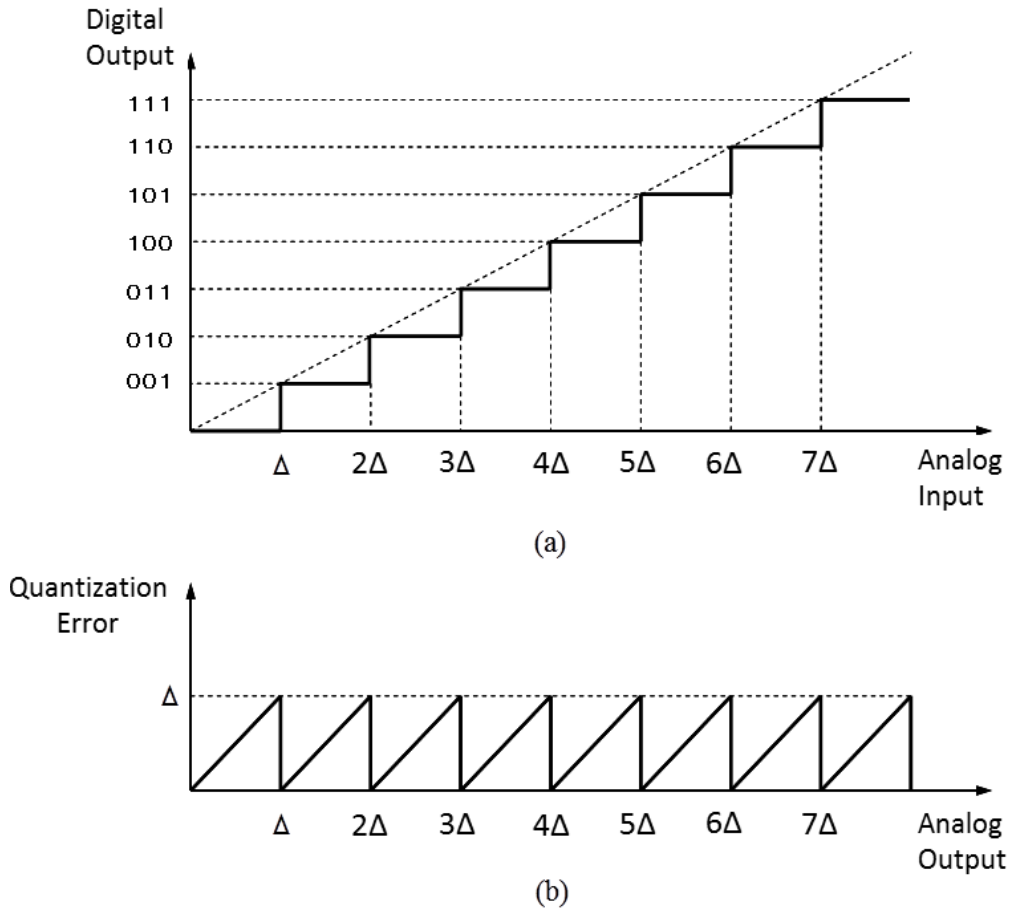


図 2.1 ADC の入出力特性

(a) Input/output characteristic; (b) quantization error of an A/D converter

ADC における近似は“量子化”といわれアナログ入力とデジタル出力の差を“量子化誤差”といい，ここでは ε_q とする．図 2.1(a)の入出力特性から ε_q は図 2.1(b)のようになり，各コードが遷移するとき最大となる．この量子化誤差は分解能が増えるにしたがって減少する．また，この量子化誤差は出力においては量子化ノイズとなって現れる．このように“理想”の m -bit ADC であっても量子化の段階でノイズが発生するためゼロとはならない．

ADC によく用いられる全並列変換方式(フラッシュ型)の回路図を図 2.2 に示す. この図では, 5 個のアナログ・コンパレータを使用している. また n ビット分解能の全並列型 ADC を構成するために, 2^n 個の抵抗ラダー R と $2^n - 1$ 個のコンパレータを使用している. この両端に V_{ref} を印加する. この結果, それぞれの抵抗から分圧された電圧を取り出すことができる. この分圧電圧を基準として重みの異なったコンパレータが並列に並べられる. 次に, アナログ電圧入力 V_{in} を 2^n 個のコンパレータで比較し, どこのコンパレータと入力アナログ電圧 V_{in} が一致するかを判定する. 比較した結果が “1”, “0” のデジタル値となって出力される. このデジタル出力をデコードして, 一般的なデジタル・コードに変換して利用する.

このフラッシュ型の変換精度は抵抗器の抵抗値精度で決まる. また変換速度は, コンパレータの判定速度やその後のデジタル回路がどれくらい速く反応できるかにかかっていて, この性能は最大変換速度として表現される. 同時にコンパレータで全ての基準電圧と比較をするため, フラッシュ型は超高速動作が可能である. しかし, コンパレータが $2^n - 1$ 個必要であり, また基準電圧を分割する抵抗も 2^n 個必要となり回路規模が膨大となる. 例えば 12bit 精度をフラッシュ型で実現しようと考えた場合には, コンパレータは 2047 個, 抵抗器は 4096 個も必要となる. 得られる性能に対して, あまりにもハードウェアサイズが大きくなるため 10bit 以下の変換精度でしか用いられない.

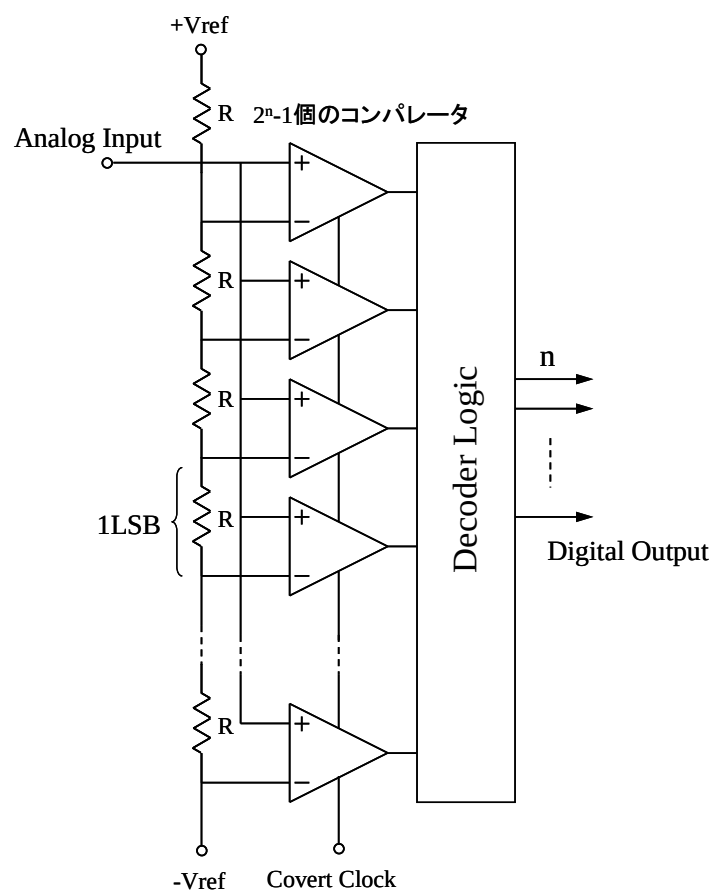


図 2.2 全並列型 A-D コンバータ

2.2 D/A 変換器

DA 変換とは、ディジタル(D:digital)信号をアナログ(A:analog)信号に変換する事である。DA 変換では 3 つのステップがあり、第 1 ステップでディジタル処理の完了した自然 2 進コード SBC によるディジタル信号を再生化(復号化)し、第 2 ステップで段階的なアナログ振幅値を持つインパルスを生成しここから振幅一定のパルスをつくり、再生フィルタ処理を行い、第 3 ステップでパルス列を滑らかにする後置フィルタを通しアナログ信号に変換していく。

ディジタル入力を D 、アナログ出力を A とすると D/A 変換は以下の関係式で表すことが出来る。

$$A = \alpha D \quad (2.21)$$

α は比例係数である。 D は次元を持たないので α は次元と A のフルスケールを併せ持つ。例えば、もし α が I_{ref} の電流量であるとき出力は次式となる。

$$A = I_{ref} D \quad (2.22)$$

分解能を m -bit としたとき D をフルスケールの 2^m によって標準化することがより標準的である。例えば、 α が電圧量 V_{ref} とすると

$$A = V_{ref} \frac{D}{2^m} \quad (2.23)$$

(2.22)式と(2.23)式から、D/A 変換はディジタル入力の各コードに対応するアナログの出力を基準値(電圧電流)の倍数や比から生成している。言い換えると、D/A 変換は電圧、電流、電荷で表される基準値を乗算、除算したものであることがわかる。D/A 変換の精度は DAC の線形性で決まり、速度は基準電圧の倍数や分数から出力を選択、生成する DAC の変換速度で決まる。

図 2.3 は理想の 3bit の DAC の入出力特性である。出力として生成されるアナログ値は原点とフルスケールポイントを通る直線となっている。

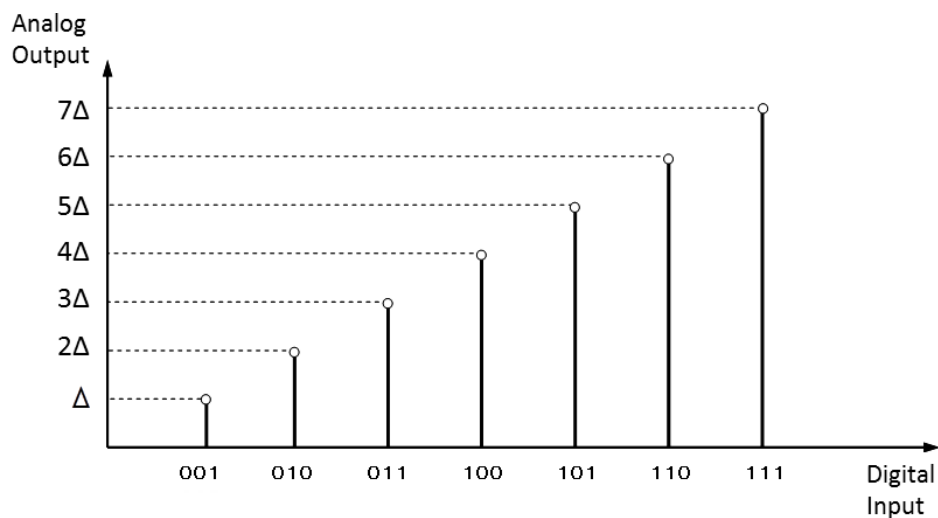


図 2.3 DAC の入出力特性

DAC のデジタル入力にはいくつかのフォーマットがある．表 1 は DAC でよく使われるフォーマットで，Binary, Thermometer, 1-of-n コードを表した表である．Binary では，m-bit バイナリ $D_{m-1} D_{m-2} \cdots D_0$ は 10 進数で $D_{m-1} 2^{m-1} + D_{m-2} 2^{m-2} + \cdots + D_0 2^0$ の値を表現する．Thermometer は，列の下から連続した“1”と上からの連続した“0”で表現をする．1-of-n コードでは，列中の“0”の中から一つの“1”を選ぶ表現をする．“1”が選ばれたポジションが値を示す．

表 1 Binary, Thermometer, 1-of-n コード

Decimal	0	1	2	3
Binary	00	00	00	00
Thermometer	0	0	0	0
	0	0	0	1
	0	0	1	1
	0	1	1	1
1-of-n	0	0	0	0
	0	0	0	1
	0	0	1	0
	0	1	0	0

図 2.4 に一般的な電流セグメント型 DAC の構成を示す. (a)はデジタル入力
が Thermometer コードの場合であり, すべての電流源は等価である. この場合,
デジタル入力が 1LSB 増加すると電流源が 1 つ出力側に接続される. (b)はデ
ジタル入力が Binary コードの場合であり, すべての電流源にバイナリ重みが
つけられている. デジタル入力が上位 bit に桁が推移すると, 出力は 2 倍にな
る.

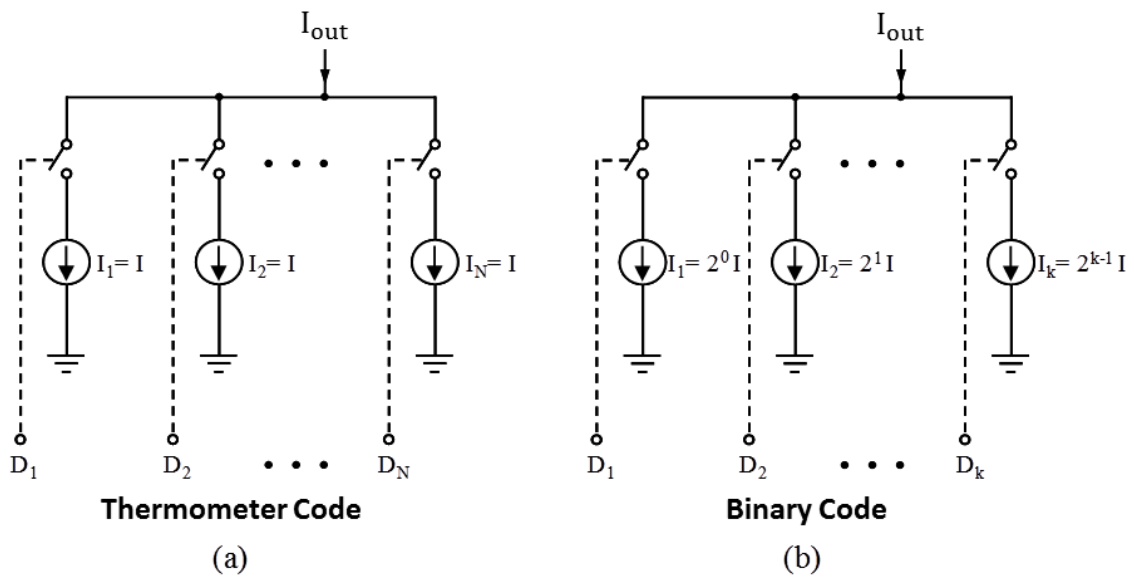


図 2.4 一般的な電流分割型 DAC

第3章 パイプライン型 ADC

パイプライン型 ADC は、高品質な医療用画像アプリケーションや高性能な無線基地局など、多くのエンド・アプリケーションが要求する“高精度”“高速動作”“低消費電力”に適した構成である。フラッシュ型等の低分解能 ADC が多段接続され、パイプライン動作を行うことで、複数の処理を 1 クロック内で進める ADC である。

3.1 パイプライン ADC の基本構成

一般的なパイプライン型 ADC の構成を図 2.5 に示す。ADC は通常、複数のステージが縦続接続されて構成される。各ステージはそれぞれ、“内部 ADC” “内部 DAC” “減算器” “係数アンプ” によって構成される。特に “内部 DAC” “減算器” “係数アンプ” は、乗算型 DAC (MDAC) として扱われる。

アナログ信号が入力されると、まず S/H 回路の働きによりサンプリングされる。このサンプル値は内部 ADC によって量子化され、デジタル信号として出力される。さらにこのデジタル信号は内部 DAC によってアナログ値化され、減算器で入力信号との差分が取られる。この残差が係数アンプによってスケールリングされ、下段のステージでも同様に変換が行われる。このようにパイプライン動作が進められ、システム全体の出力は各ステージの ADC の出力をデジタル回路で補正し、統合することで得られる。

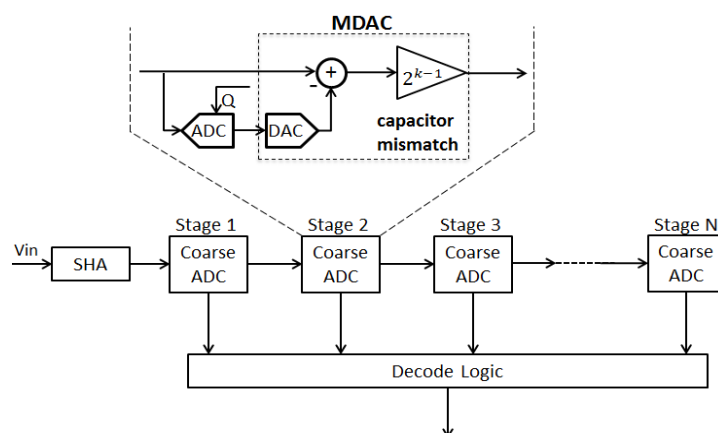


図 2.5 パイプライン型 DAC

3.2 パイプライン ADC における誤差

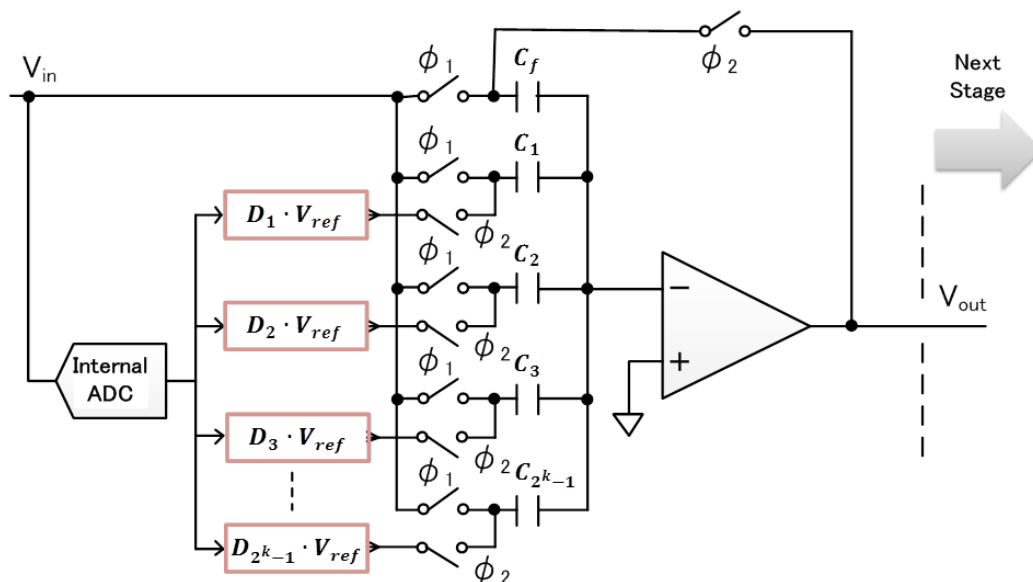


図 3.1 MDAC の構成と動作信号

図3.1にMDACを示す。k-bitの分解能を持つ内部ADCによって変換されたデジタル値は、MDACにある 2^{k-1} 乗のキャパシタを選択する。例えば3ビットの場合キャパシタ数は7つとなる。ここで、全ての容量は等しいものとする。

まず ϕ_1 がオンとなり，入力信号が各キャパシタにサンプリングされた状態を考える．この時，蓄えられる電荷は次のようになる．

$$Q_x = -(C_1 + C_2 + C_3 + \dots + C_{2^{k-1}} + C_{2^k})V_{in} = -2^k C V_{in} \quad (3.21)$$

$$Q_f = C_f V_{in} \quad (3.22)$$

次に $\phi 1$ をオフし、DAC側の $\phi 2$ をオンした状態を考える。ここでDは内部ADCの出力によって選択されるコードであり、該当するキャパシタが選択された場合は1を、そうでなければ0を出力する。

$$Q' = (D_1 C_1 + D_2 C_2 + D_3 C_3 + \cdots + D_{2^k-1} C_{2^k-1}) V_{\text{ref}} \quad (3.23)$$

$$Q'_{\text{f}} = C_{\text{f}} V_{\text{out}} \quad (3.24)$$

以上 2 つの状態に対し、オペアンプのマイナス入力部で電荷保存則が成り立つことを考慮すると、以下の式が得られる。

$$-(Q + Q_f) = -(Q' + Q'_f) \quad (3.25)$$

全キャパシタの容量値が等しい場合、(3.25)式から次式が得られる。

$$V_{out} = 2^k V_{in} - (D_1 + D_2 + D_3 + \dots + D_{2^k-1}) V_{ref} \quad (3.26)$$

(3.26) 式は全ての容量値が等しく製造され、且つ環境変化による値の変動が無い理想的な場合である。しかし実際は、製造上のばらつきや環境変化による値の変動が無視できず、次式のようになる。

$$V_{out} = \left(1 + \frac{C_1 + C_2 + C_3 + \dots + C_{2^k-1}}{C_f} \right) V_{in} - \left(D_1 \frac{C_1}{C_f} + D_2 \frac{C_2}{C_f} + D_3 \frac{C_3}{C_f} + \dots + D_{2^k-1} \frac{C_{2^k-1}}{C_f} \right) V_{ref} \quad (3.27)$$

この理想的な場合とキャパシタに誤差がある場合の比較を図3.2に示す。(3.27)式から、 C_f とその他キャパシタの相対誤差がDAC誤差になる。誤差は後段で同様に変換されるが、誤った変換値を出力することになり、これが精度劣化の一因となる。

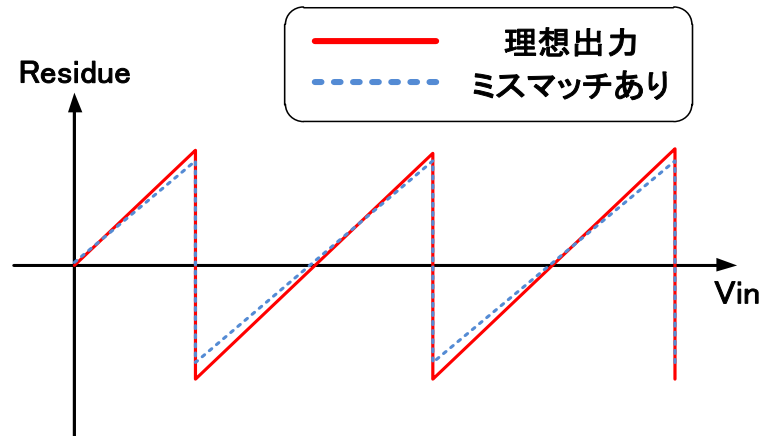


図 3.2 キャパシタミスマッチが与える DAC 誤差

第 4 章 従来の誤差検出法

本章では，まずデジタルキャリブレーションについて説明する．次にノイズシェーピングと相関演算を用いた誤差検出法について説明する．最後にキャパシタミスマッチの周波数特性に，シェーピングを持たせることができる“Noise Shaping Dynamic Element Matching(NSDEM)”とエラーフィードバックを用いた，相関演算によるデジタルキャリブレーション手法について説明する．

4.1 デジタルキャリブレーション

近年，トリミング技術などのキャリブレーションと比べて，デジタルキャリブレーションが多く用いられている．デジタルキャリブレーションは，デジタル信号処理（DSP）による演算を行うことで，様々な環境に適応した，キャリブレーションを行うことが可能だからである．デジタルキャリブレーションは，フォアグラウンドキャリブレーションとバックグラウンドキャリブレーションに分けられる．図 4.1 に 2 つのキャリブレーション方法の違いを示す，フォアグラウンドキャリブレーションは誤差検出モードと動作モードに分けられる．正常動作を行う前に，誤差検出モードで誤差を検出し，その後動作モードに切り替り，変換処理を行う．そのため，変換の前に，誤差検出時間を設ける必要が有るため，立ちあがってすぐの動作に不向きである．一方，バックグラウンドキャリブレーションは，正常動作と並列して，誤差検出と補正を行う．しかし，収束時間が長い欠点がある．それは，パイプラインの演算中に，誤差検出をするため，量子化雑音が検出精度に影響を与えるためである．

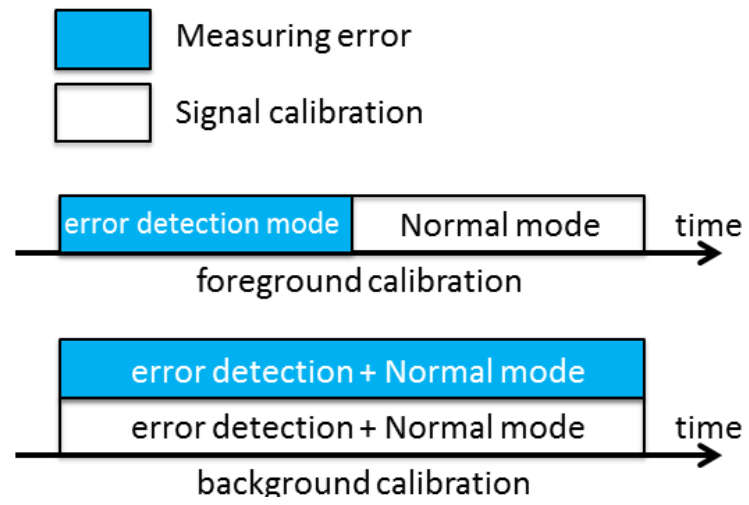


図 4.1 デジタルキャリブレーション

4.2 ノイズシェーピングと相関演算を用いた誤差検出法

相関演算を用いたバックグラウンドキャリブレーションの構成を図 4.2 に示す．誤差検出は次のように実行する．入力信号は内部 ADC によってデジタル信号に変換され，ADC のデジタル出力は擬似雑音を用いたセレクトコードに変換される．セレクトコードは内部 DAC のキャパシタをランダムにスイッチングする．この時，内部 DAC 出力に含まれるキャパシタミスマッチは全帯域に均一に分布することになる．内部 DAC の出力はサブトラクタによって入力信号から差し引きされる．残差は係数アンプを介して出力される．キャパシタミスマッチはこの残差とセレクトコードの相関により求められる．

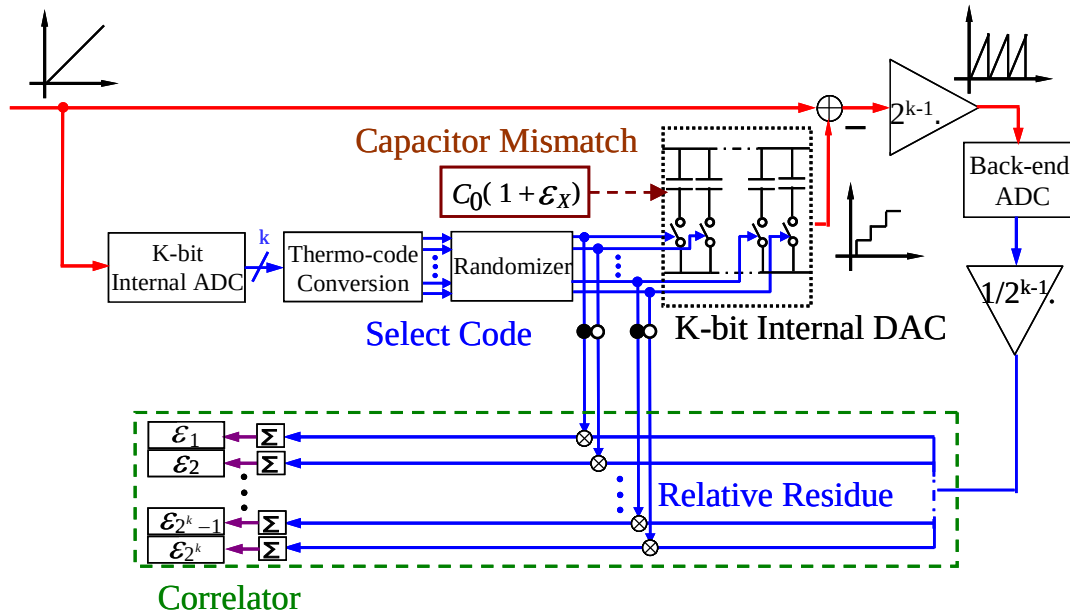


図 4.2 相関演算を用いたバックグラウンドキャリブレーション

例えば，1つのステージで 5 レベル ($2\text{bit}+1$ レベル) の変換を行うとすると内部 DAC ではキャパシタの数が $2^2 = 4$ となり，4 つ必要となる．入力信号がフルスケールの場合には全てのキャパシタ(4 つ)が選択される．しかし，ハーフスケールの場合には 2 つしか選択されない．ここでランダムイザを用いて 2 つのキャパシタを選択する場合について考えてみる．図 4.3 で示すように 4 つのキャパシタの中から 2 つのキャパシタを選択する時に，選択されうる可能性は 6 通りである．それぞれのキャパシタの誤差が違うので，6 通りの誤差が後段に出力される事になる．つまり，ここで選択したセレクトコードに対応した誤差

が得られるので、セレクトコードと後段の出力には相関があると言える。

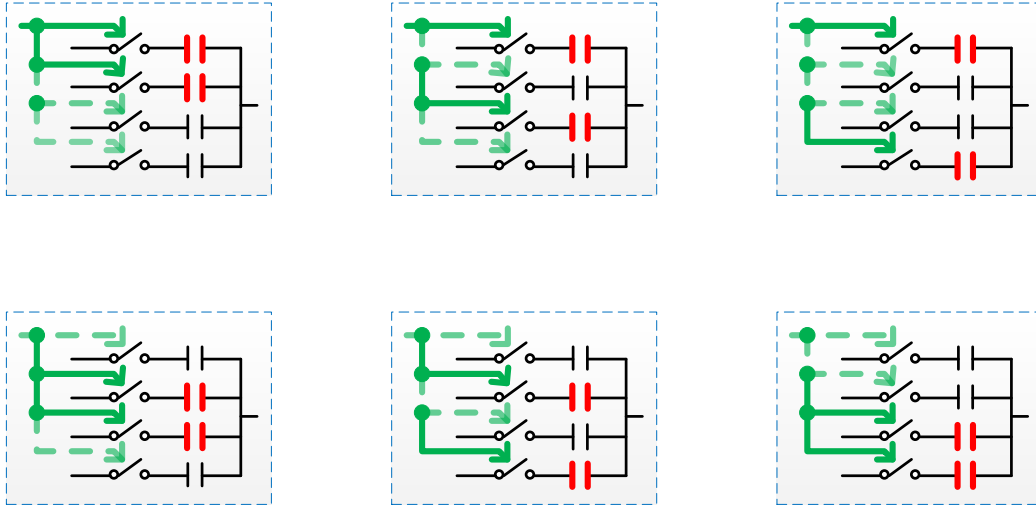


図 4.3 4つのキャパシタから2つを選択する組み合わせ

次に式を用いて相関演算について考えてみる．まず内部 ADC のバイナリ出力を温度計コードに変換して，その後ランダムマイザに通してから， 2^k 個のキャパシタそれぞれを制御する 2^k 系列の Pseudo Noise(PN)信号を作る．時刻 t におけるステージ 1 の内部 ADC 出力 ADC_1 が(4.1)式を満足するようにとる．

$$\sum_{m=1}^{2^k} PN_m(t) = ADC_1(t) \quad (4.21)$$

(4.21)式は，時刻 t における PN 信号 M 系列の総和が時刻 t におけるステージ 1 の内部 ADC 出力 ADC_1 となることを示している．MDAC を構成するキャパシタ誤差を ε_m とする．時刻 t におけるステージ 1 の残差 Res_1 は式(4.22)となる．

$$Res_1(t) = V_{in}(t) - \sum_{m=1}^{2^k} PN_m(t)(1 + \varepsilon_m) \quad (4.22)$$

時刻 t におけるステージ 1 の量子化誤差 Q_1 は(4.23)となる．

$$Q_1(t) = V_{in}(t) - \sum_{m=1}^{2^k} PN_m(t) \quad (4.23)$$

ステージ 1 から出力された残差は後段ステージの ADC で変換される．時刻 t における後段ステージの ADC 出力 ADC_2 は，後段ステージの量子化誤差を Q_2 とすると(4.24)となる．

$$ADC_2(t) = Q_1(t) + Q_2(t) - \sum_{m=1}^{2^k} PN_m(t)\varepsilon_m \quad (4.24)$$

ここで(4.21)式のランダム出力と，(4.24)式の後ステージ ADC 出力に相関をとる．演算結果は(4.25)式となる．

$$\begin{aligned} & PN_m(t) \otimes ADC_2(t) \\ &= PN_m(t) \otimes \left((Q_1(t) + Q_2(t)) - \sum_{m=1}^{2^k} PN_m(t)\varepsilon_m \right) \end{aligned} \quad (4.25)$$

(4.25)式において， $\otimes$ は相関を示す記号である．また PN 信号と量子化誤差 Q_1 ，PN 信号と量子化誤差 Q_2 の相関は 0 であるとする．相関演算を行った結果，PN 信号に相関のあるキャパシタ誤差が導出される．キャパシタ誤差は(4.26)式として検出される．

$$\varepsilon_m = -\frac{1}{N} \sum_{t=1}^N PN_m(t) \otimes ADC_2(t) \quad (4.26)$$

(4.26)式からランダム信号と後段の ADC の結果の相関を取り足し合わせたものが誤差となっている事がわかる．つまり，図 4.4 のランダム出力のセレクトコードと，後段の ADC の結果の相関を取るという事である．またこの式に PN 信号がある事から，セレクトコードが検出される誤差に関係している事も読み取れる．この演算を誤差検出時間中に繰り返す行い，各キャパシタの誤差値にわけて積分を行う．個々のキャパシタ誤差積分値を，それに対応したキャパシタの誤差検出演算回数で除算する事でキャパシタ 1 つ当たりに対する誤差が検出

される。

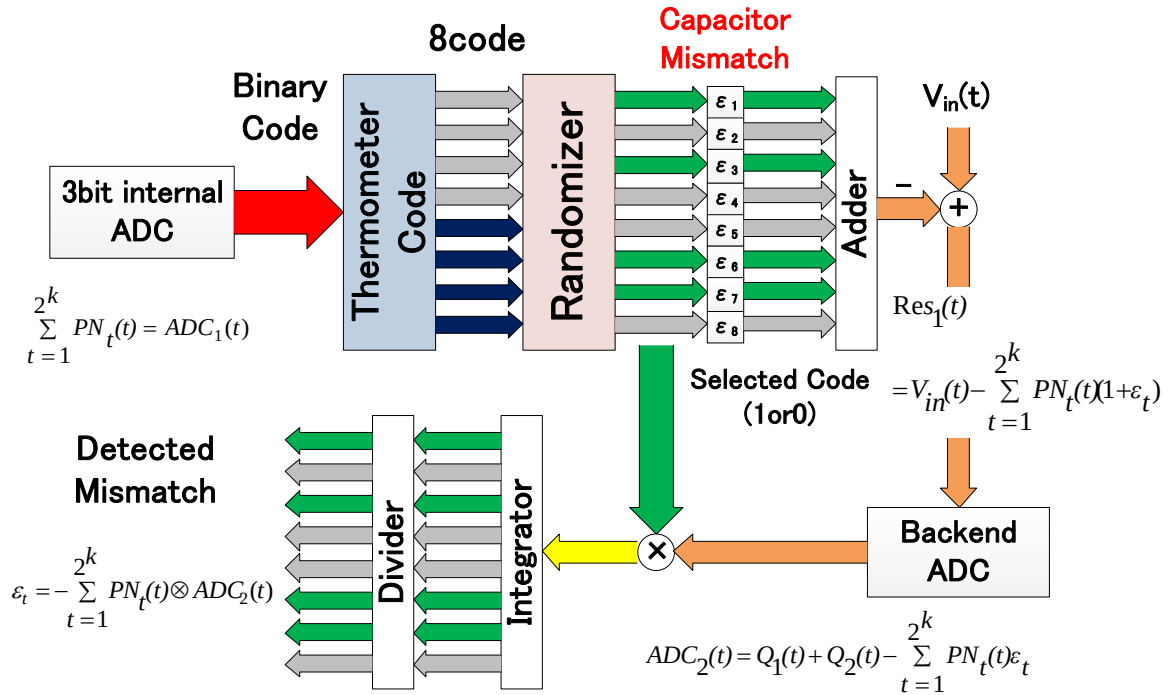


図 4.4 相関演算を用いた誤差検出ブロック

しかし、この方法では要求される精度は得られない。相関に用いる残差信号にキャパシタミスマッチだけでなく量子化ノイズ及び内部DACとOPAMPのオフセット等が含まれるためである。図 4.5 に量子化誤差とキャパシタミスマッチの関係を示す。残差に含まれる量子化誤差はキャパシタミスマッチに比べはるかに大きい事がわかる。量子化誤差はキャパシタミスマッチとは無相関であった場合でも、その誤差は時刻無限大まで積分して 0 になるため、検出精度を低下させることになる。

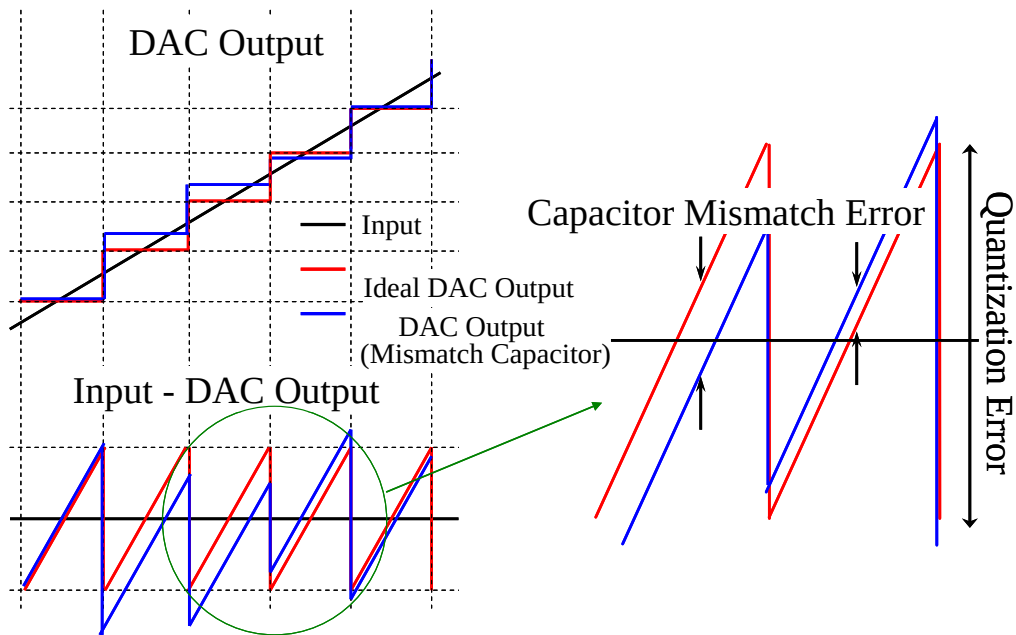


図 4.5 残差信号に含まれる量子化誤差とキャパシタミスマッチの関係

そこで、量子化ノイズにノイズシェーピングをかけることで、検出帯域の量子化ノイズを低減し、検出精度を向上させる手法が提案されている[3].

この手法のシステムブロック図を図 4.6 に示す. 内部 ADC を $\Delta \Sigma$ 変調器を用いることで、任意の帯域にノイズシェーピングをかけることができる. このシステムにおいては、量子化ノイズにローパス特性を持たせることで高域の量子化雑音を低減させ、高域を検出帯域としている. ランダムマイザでシャッフリングした DAC 誤差とランダムマイザ出力との相関を取ることで、高域のミスマッチ量を検出し、高精度なバックグラウンド誤差検出を実現する.

しかし、 $\Delta \Sigma$ ADC を用いているため回路規模の増大や、オーバーサンプリングにより変換速度が低下する欠点があった.

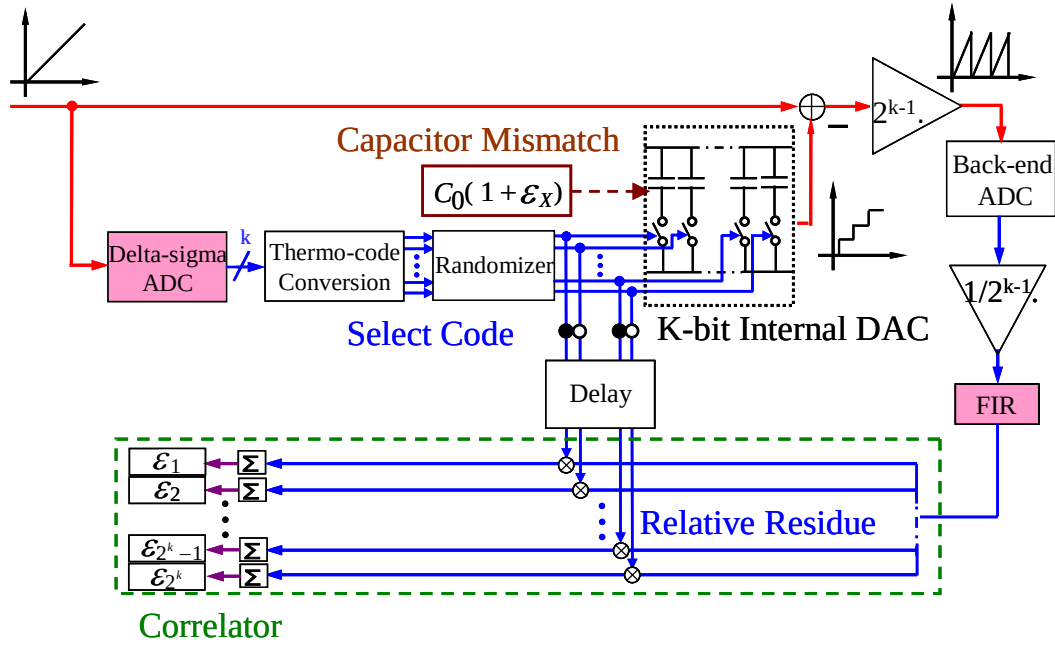


図 4.6 ノイズシェーピングと相関演算を用いた誤差検出法

4.3 エラーフィードバック構成

図 4.7 は二段構成のエラーフィードバック構造パイプライン ADC を示す．初段の出力は次の(4.7)式で示される[4]．

$$D_1 = V_{in} + Q_1 \quad (4.7)$$

そして，二段目の出力を(4.8)式に示す．

$$D_2 = -GQ_1 + (1 - H(z))Q_2 \quad (4.8)$$

ディジタルロジックでゲイン補正とスケーリングを行うことで，最終的な出力は(4.9)式のようになる．

$$D_{out} = V_{in} + (1 - H(z))Q_2/G \quad (4.9)$$

ステージ 2 をエラーフィードバック構成によって，量子化雑音に任意シェーピング特性を与えることができる．

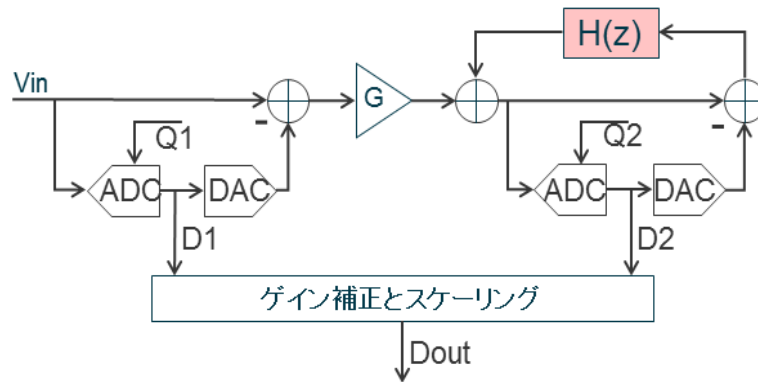


図 4.7 二段構成のエラーフィードバック構造パイプライン ADC

4.4 NSDEM (Noise Shaping Dynamic Element Matching)

キャパシタの選択に対しては，これまでにランダムマイザを用いた方法が研究されてきた．ランダムマイザではキャパシタミスマッチの均一化をする事はできるが，ミスマッチをある領域へシフトさせる事はできなかった．そこでキャパシタミスマッチにシェーピング特性を与えられる NSDEM(Noise Shaping Dynamic Element Matching)を用いる．この NSDEM を用いた場合，1 次のシェーピング特性が得られる DWA(Data Weighted Averaging)アルゴリズムよりも高域へミスマッチによる雑音をシフトできる．

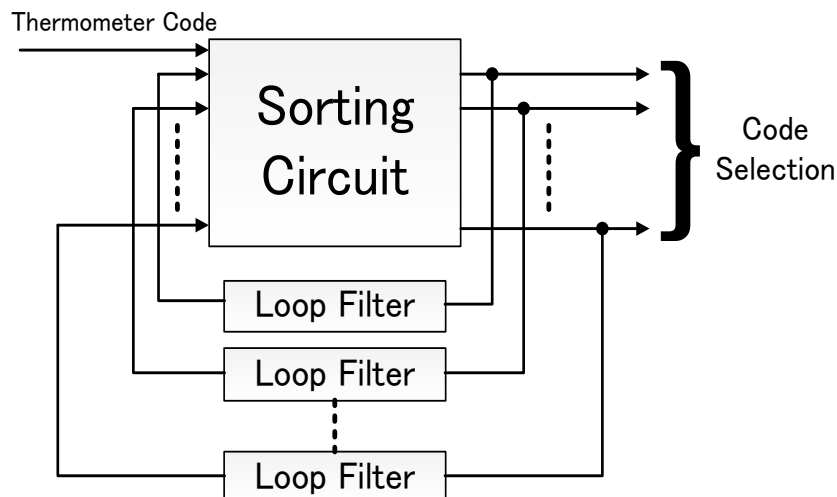
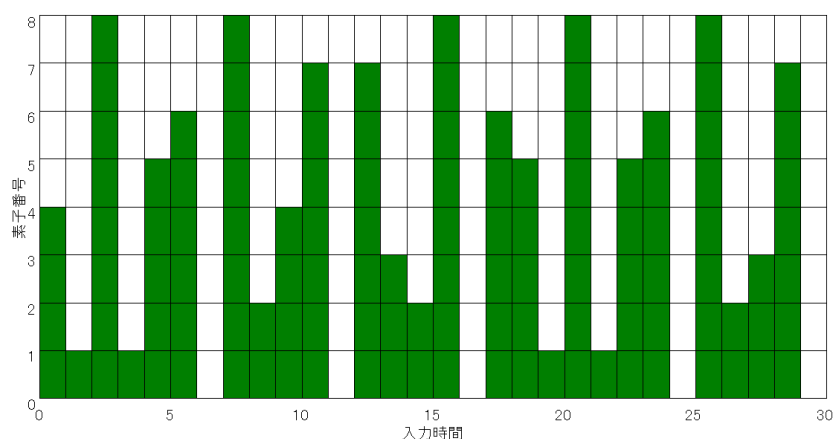


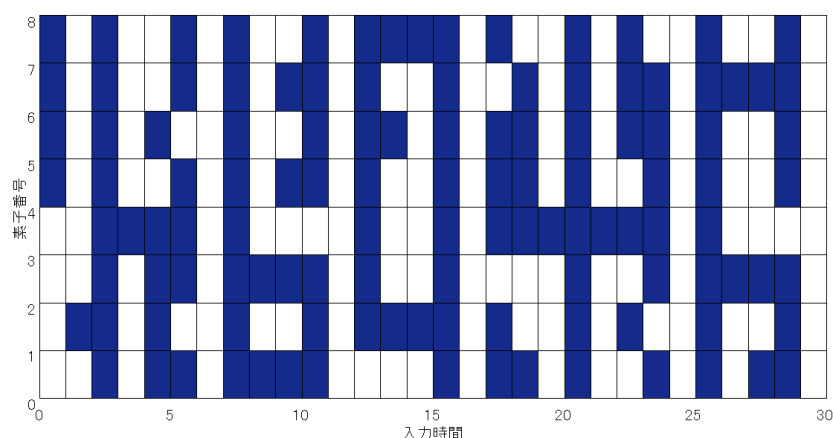
図 4.8 NSDEM のブロック図

図 4.8 に NSDEM のブロック図を示す．出力は入力数だけ加算するタイプの DAC と考えられる．3bit の場合にはコード選択としては 8 本となる．NSDEM ではセル各々の選択の 0, 1 を複数回積分し，その結果の小さい順に入力数だけセルを選択する．すなわち各セルの使用の有無の積分値が一定値になるように制御をかける形となっている．これにより，誤差成分は出力において 2 次のノイズシェーピングを受ける．このため，従来使用されている 1 次シェーピング効果を持つ DWA よりも mismatches を押し上げる事ができる．ループフィルタは mismatches を高域に押し上げるために mismatches に対してハイパスフィルタになっている．

図 4.9 は通常のキャパシタの素子選択と NSDEM を用いた素子選択を比較した図である．NSDEM による選択方法ではランダム状に選択が行われる．



(a) 通常の素子選択



(b) NSDEM の素子選択

図 4.9 NSDEM によるキャパシタ選択の様子

図 4.10 に 1%のキャパシタミスマッチのシェーピングの様子を示した。3bit の DAC に用いるキャパシタに $\pm 1\%$ の誤差を与えた。8つのキャパシタを選択する時にランダムマイザを用いた場合と NSDEM を用いた場合で比較検討した。赤色で示したスペクトラムがランダムマイザを用いた時のキャパシタミスマッチの分布である。全周波数帯域に対して均一に分布している様子がわかる。これに対して青色で示したスペクトラムが NSDEM をかけたものである。NSDEM をかけた方は高域(ナイキスト周波数)にミスマッチがシフトされている様子がわかる。このようにミスマッチがシフトされることで、高域での検出精度が高められる。

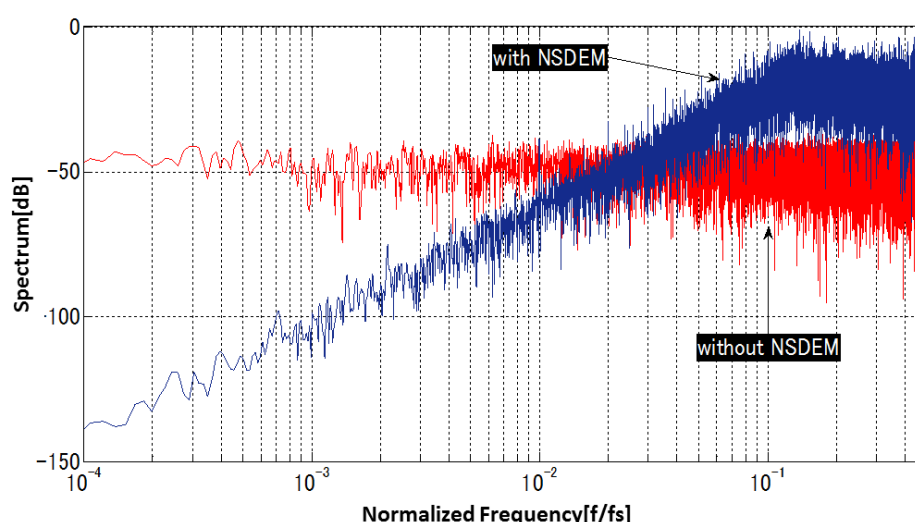


図 4.10 キャパシタミスマッチのスペクトラム

4.5 エラーフィードバック構造+NSDEM

パイプライン ADC のステージ 1 とステージ 2 をエラーフィードバック構成することで、全体出力の量子化雑音に 2 次ローパス特性を与えた手法を図 4.11 に示す[5]。これらのシステムは、前段の信号をデジタルフィルタによって処理することで、高次のノイズシェーピング特性を得られるようしている。図 4.12 にこのシステムを用いた場合の、量子化ノイズとミスマッチ誤差の周波数特性を示す。さらに、DAC のキャパシタミスマッチに対して、NSDEM を用いることで、ミスマッチ誤差にハイパス特性を与える。つまり、量子化ノイズとミスマッチに対してそれぞれ別の周波数特性を与えることで、検出精度と検出時間の向上を行っている。しかし、低域の量子化ノイズが多く、初段にエラーフィ

ードバック構成を用いているため、変換精度の劣化が懸念され、バックグラウンドキャリブレーションに用いにくい構成であった。

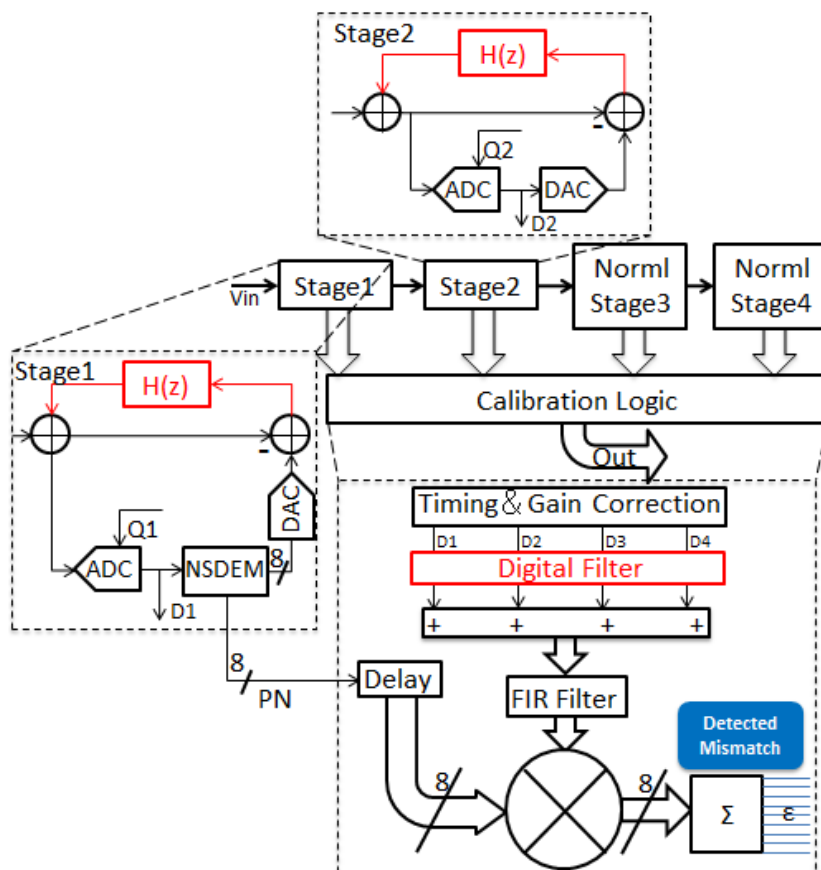


図 4.11 エラーフィードバック構造+NSDEM

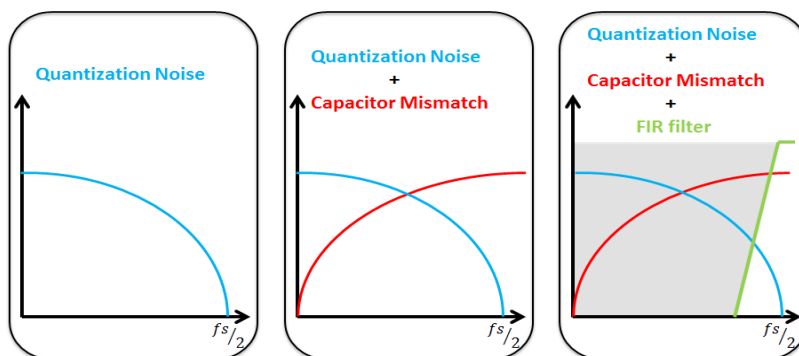


図 4.12 エラーフィードバック構造+NSDEM 構造の周波数スペクトラム

第 5 章 提案する誤差検出法

5.1 1 次ハイパス+1 次ローパスシェーピング法

図 5.1 に、提案する 1 次ハイパス+1 次ローパスシェーピング法バックグラウンドキャリブレーションパイプライン ADC を示す. ここでは, 4 段構成のマルチビットパイプライン ADC の構成を用いている. パイプライン ADC は“Stage1”から“Stage4”と“Calibration Logic”で構成される. 最終段の“Stage4”にエラーフィードバック構成を用いて, 1 次のハイパス特性とローパス特性を持たせている. パイプライン ADC の全体出力に影響が少ない最終ステージをエラーフィードバック構成にすることで, フィードバック係数の精度によるシェーピング劣化が生じず, 性能への影響が少ない[6]. また, 初段“Stage1”の内部 DAC に NSDEM を用いることで, ミスマッチに 2 次のハイパス特性を持たせている.

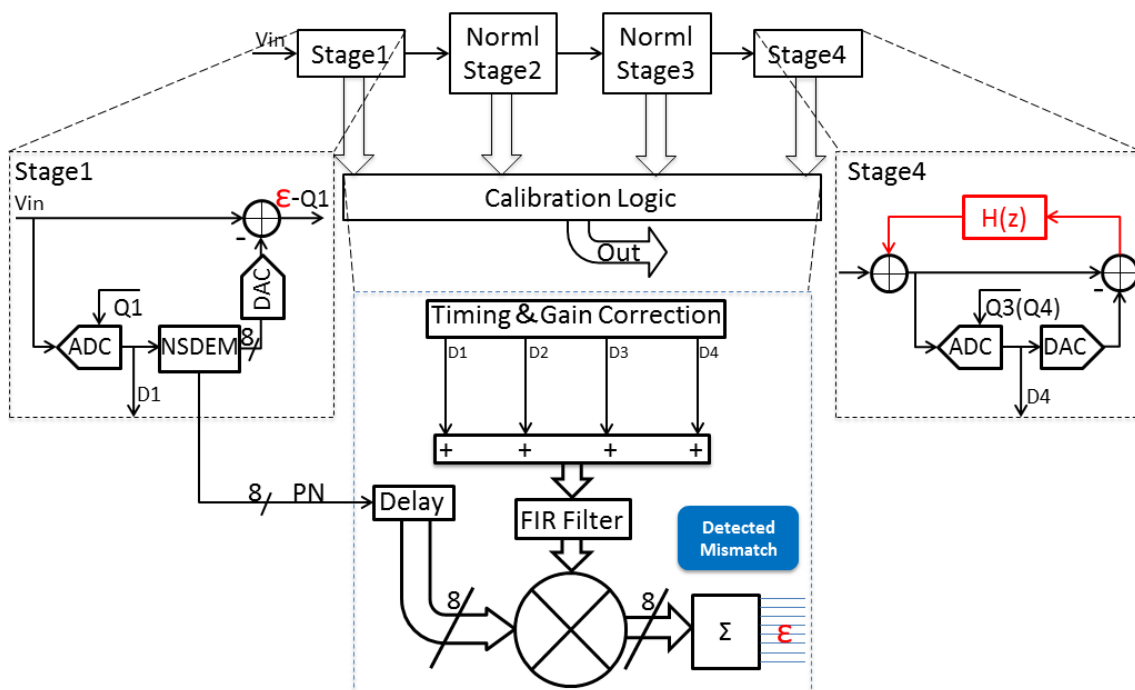


図 5.1 提案手法 1 のバックグラウンドパイプライン ADC 構成

$Q_1 \sim Q_4$ は各ステージ ADC の量子化ノイズで,各ステージの出力 $D_1 \sim D_4$ 式は：

$$D_1 = V_{in} + Q_1 \quad (5.11)$$

$$D_2 = -GQ_1 + Q_2 \quad (5.12)$$

$$D_3 = -GQ_2 + Q_3 \quad (5.13)$$

$$D_4 = -GQ_3 + (1 - H(z))Q_4 \quad (5.14)$$

ただし G は残差アンプの値で, $H(z)$ はステージ 4 のフィードバックブロック伝達関数とする.

ディジタルロジックでゲイン補正とスケーリングを行うことで, 最終的な出力は (5.15) 式のようになる.

$$D_{out} = V_{in} + (1 - H(z))Q_4/G^3 \quad (5.15)$$

フィードバック係数 $H(z)=z^{-2}$ であれば, 出力は(5.16)式になる.

$$D_{out} = V_{in} + (1 - z^{-2})Q_4/G^3 \quad (5.16)$$

これにより, 全体出力の量子化雑音に 1 次ハイパス特性とローパス特性を与えることができる.

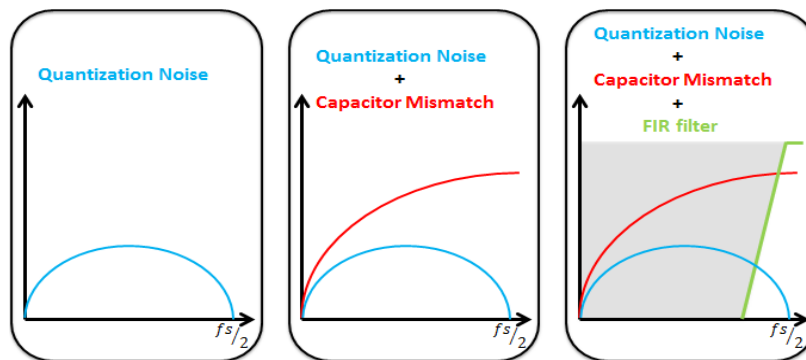


図 5.2 提案手法 1 の周波数スペクトラム

一方、NSDEM によってキャパシタミスマッチは高周波帯域にシフトされる。図 5.2 のように、量子化ノイズに 1 次のハイパスとローパスの特性を持たせることで、NSDEM によりミスマッチ検出の精度と検出時間を向上させたまま、1 次ノイズシェーブ型のパイプライン ADC として変換を行うことが可能である。しかし、ハイパスとローパスの特性を同時に加えているため、ハイパス及びローパスシェーピング特性はそれぞれ 3dB 劣化する。FIR フィルタでナイキスト周波数付近のキャパシタミスマッチのみを検出し、相関演算を行うことで、高精度かつ短時間にキャパシタミスマッチの検出を実現することが可能でながら、FIR フィルタでナイキスト周波数付近のキャパシタミスマッチのみを検出し相関演算を行うことで、高精度かつ高速度なキャパシタミスマッチが検出を行うことが可能である。

5.2 2次ハイパス+1次ローパスシェーピング法

図 5.3 に，提案する 2 次ハイパス+1 次ローパスシェーピング法バックグラウンドキャリブレーションパイプライン ADC を示す．ここでは，4 段構成のマルチビットパイプライン ADC の構成を用いている．パイプライン ADC は“Stage1”から“Stage4”と“Calibration Logic”で構成される．“Stage3”と“Stage4”にエラーフィードバック構成を用いて，さらに“Stage4”の出力にデジタルフィルタを付けることによって，2 次のハイパス特性と 1 次ローパス特性を持たせている．

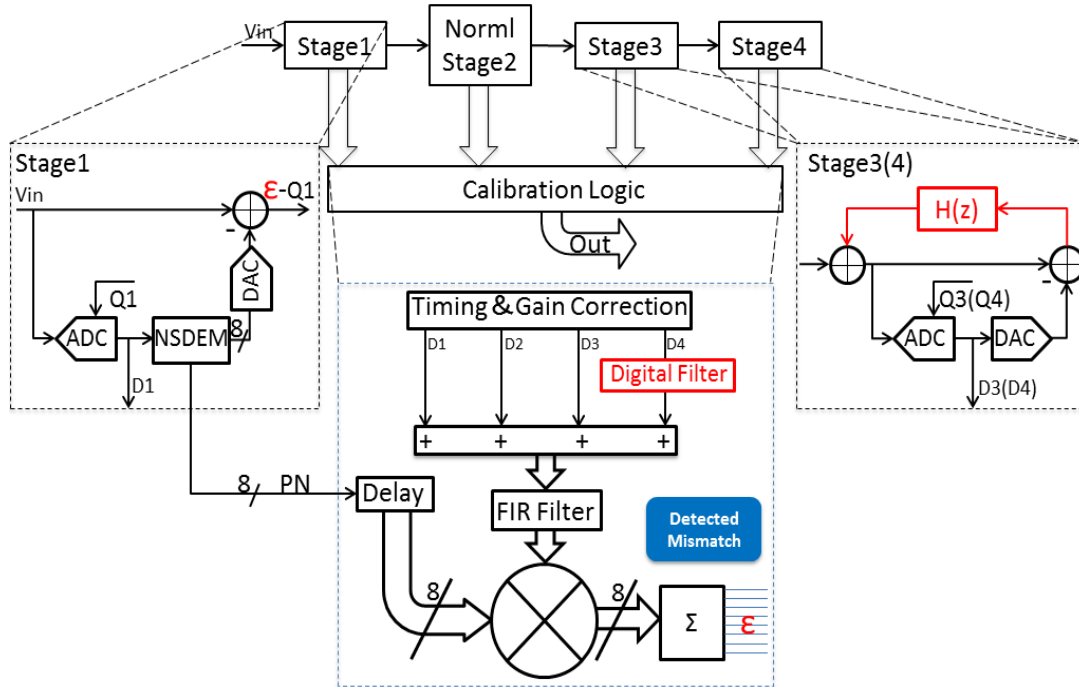


図 5.3 提案手法 2 のバックグラウンドパイプライン ADC 構成

“Stage1”と“Stage2”の出力は提案手法 1 と変わらなく， Q_3 と Q_4 はそれぞれ“Stage3”と“Stage4”の ADC の量子化ノイズで，“Stage3”と“Stage4”の出力は

$$D_3 = -GQ_2 + (1 - H(z))Q_3 \quad (5.21)$$

$$D_4 = -GQ_3 + (1 - H(z))Q_4 \quad (5.22)$$

Digital Logic でゲイン補正とスケーリングを行うことで，最終的な出力は以

下のようになる.

$$D_{out,old} = V_{in} + (1 - H_1(z)) \frac{Q_3}{G^2} - \frac{Q_3}{G^2} + (1 - H_2(z)) \frac{Q_4}{G^3} \quad (5.23)$$

式(5.23)から, 本来打ち消し合わなければならない“Stage3”のノイズは, そのまま出力される. これを解消するために, “Stage4”の出力に値は (5.24) 式のようなデジタルフィルタを付ける.

$$Digital\ Filter = 1 - z^{-1} \quad (5.24)$$

デジタルフィルタで D4 を修正することによって, 新しい出力は(5.25)式になる.

$$\begin{aligned} D_{out,new} = V_{in} + (1 - H_1(z)) \frac{Q_3}{G^2} - (1 - z^{-1}) \frac{Q_3}{G^2} \\ + (1 - z^{-1})(1 - H_2(z)) \frac{Q_4}{G^3} \end{aligned} \quad (5.25)$$

エラーフィードバック係数 $H_1(z)$ を z^{-1} で, $H_2(z)$ を z^{-2} とすると最終出力は(5.26)式になる.

$$\begin{aligned} D_{out,new} = V_{in} + (1 - z^{-1})(1 - z^{-2}) \frac{Q_4}{G^3} \\ = V_{in} + (1 - z^{-1})^2(1 + z^{-1}) \frac{Q_4}{G^3} \end{aligned} \quad (5.26)$$

(5.26)式から, 最終出力の量子化雑音に 2 次のハイパス特性と 1 次ローパス特性を持たせている.

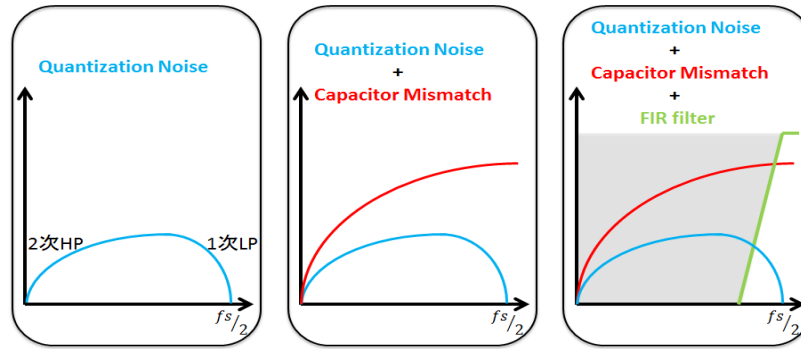


図 5.4 提案手法 2 の周波数スペクトラム

図 5.4 のように、量子化ノイズに 1 次のハイパスとローパスの特性を持たせることで、NSDEM によりミスマッチ検出の精度と検出時間を向上させたまま、2 次ノイズシェーブ型のパイプライン ADC として変換を行いながら、FIR フィルタでナイキスト周波数付近のキャパシタミスマッチのみを検出し相関演算を行うことで、高精度かつ高速度なキャパシタミスマッチが検出を行うことが可能である。

5.3 エラーフィードバック構成と相関演算を組み合わせた誤差検出

図 5.5 に提案手法 1 と提案手法 2 のエラーフィードバック構成と相関演算を組み合わせた誤差検出ブロックを示す．前節から，初段の DAC にキャパシタ mismatches が発生した場合，ADC の出力は(3.27)式となることがわかった．提案手法では，この出力と NSDEM で選択したコードとの相関を取り，誤差成分を積分する．最終的には誤差検出を繰り返した回数で除算することで，それぞれのキャパシタの mismatches が算出できる．NSDEM による選択信号は(4.21)式で表すことができる．そのため，提案手法 1 による誤差検出は(4.21)式と(5.16)式から

$$\begin{aligned}
 PN_m(t) \otimes D_{out} \\
 = PN_m(t) \otimes \left(\left(X - \sum_{m=1}^{2^k} PN_m(t) \varepsilon_m \right) + (1 - z^{-2}) \frac{Q_4}{G^3} \right) \quad (5.31)
 \end{aligned}$$

(5.31)式で表現できる．提案手法 2 による誤差検出は(4.21)式と(5.26)式から

$$\begin{aligned}
 PN_m(t) \otimes D_{out} \\
 = PN_m(t) \\
 \otimes \left(\left(X - \sum_{m=1}^{2^k} PN_m(t) \varepsilon_m \right) + (1 - z^{-1})(1 - z^{-2}) \frac{Q_4}{G^3} \right) \quad (5.32)
 \end{aligned}$$

(5.32)式で表現できる．式から選択信号は，入力信号・ mismatches ・量子化誤差のそれぞれと相関をとることになるが，入力信号は FIR フィルタにより除去され，量子化誤差と選択信号は無相関であるため，(5.31)式と(5.32)式は最終的に次のようになる．

$$\varepsilon_m = -\frac{1}{N} \sum_{t=1}^N PN_m(t) \otimes D_{out} \quad (5.33)$$

よって，各キャパシタの mismatches を検出することができる．しかし，FIR フィルタでは量子化誤差だけでなく，拡散しているキャパシタ mismatches も取り

除いてしまう．そうすると本体の誤差より値が小さくなってしまう．そこで，通過帯域とナイキスト周波数の比から計算されるゲインを掛ける．FIR フィルタの伝達関数は次のようになる．

$$H(z) = a_0 + a_1 z^{-1} + a_2 z^{-2} + \cdots + a_{n-1} z^{-(n-1)} + a_n z^{-n} \quad (5.34)$$

ここで， a_n はフィルタ係数である．フィルタの通過帯域とナイキスト周波数から算出される比を g_r と定義すると，以下のようになる．

$$g_r = \frac{\sum_{i=0}^n a_i^2}{n} \quad (5.35)$$

ミスマッチは前述の通りノイズシェーピング特性を有しており，補正後のスペクトラムも同様に g_s と定義すると，ミスマッチの補正式は以下のようになる．

$$\varepsilon_x^* = \varepsilon_x \times \frac{g_s}{g_r} \quad (5.36)$$

第6章 シミュレーション結果

6.1 シミュレーション条件

図 6.1 と図 6.2 に今回のシミュレーションで誤差を検出するブロック図を示す.

提案手法 1 のシステムは “Normal Stage” “Stage4” “Calibration Logic” の三要素で構成される. “Stage4” はエラーフィードバック構成で, 出力は z^{-2} になるフィルタを介してフィードバックする. 量子化雑音にバンドパス特性を持たせる.

提案手法 2 のシステムは “Normal Stage” “Stage3” “Stage4” “Calibration Logic” の 4 要素で構成される. “Stage3” と “Stage4” はエラーフィードバック構成で, 出力は z^{-1} になるフィルタを介してフィードバックする, さらに “Stage4” の出力に $1 - z^{-1}$ となるデジタルフィルタを実装することで量子化雑音に 2 次ハイパス+1 次ローパス特性を持たせる.

提案手法 1 と提案手法 2 のすべてのステージは 3bit 構成とし, 全体の分解能を 12bit 構成とした.

初段のみ MDAC にキャパシタミスマッチを $\pm 1\%$ 与えた. “Calibration Logic” では, パイプライン型 ADC から得られた出力と, 初段の NSDEM の選択信号で相関演算を行うことで, キャパシタミスマッチを検出する.

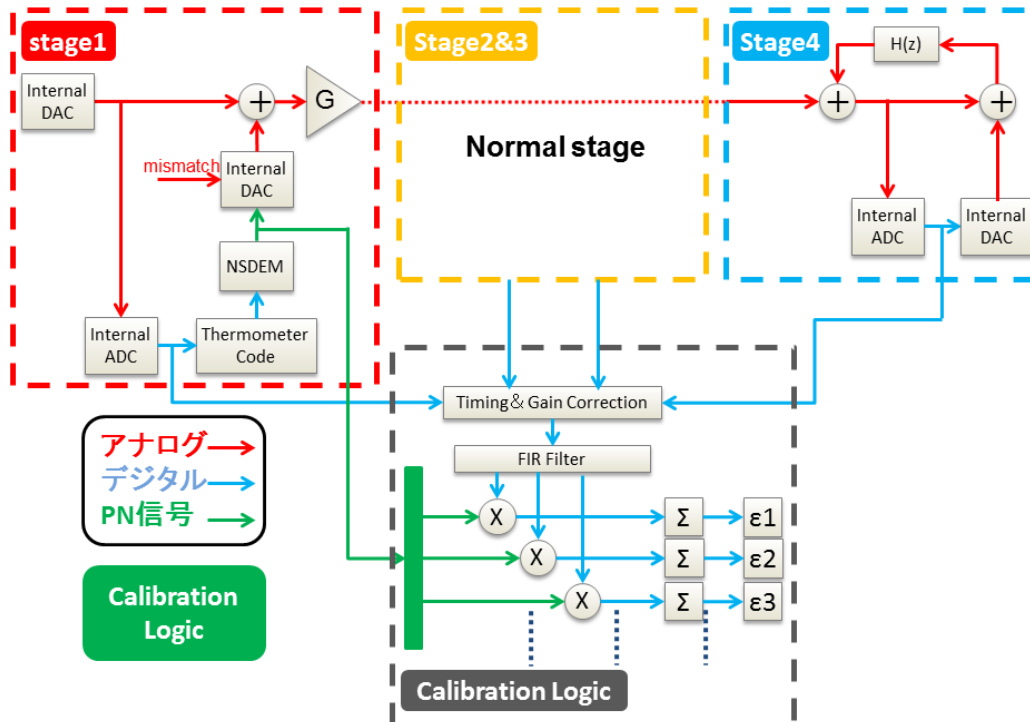


図 6.1 提案手法 1 のシミュレーション用システム図

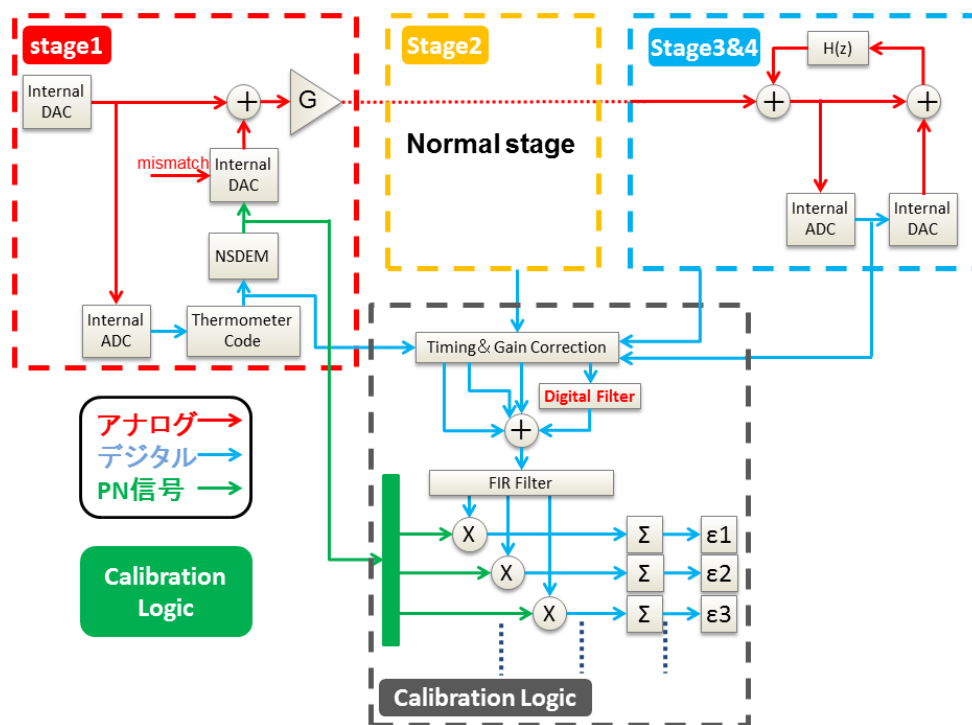


図 6.2 提案手法 1 のシミュレーション用システム図

6.2 ノイズシェーピング構成における補正結果の比較

誤差検出によって得られた補正信号を使い，ノイズシェーピング構成のパイプライン型 ADC で補正効果の確認を行った．表 6.1 はシミュレーション条件を示す．今回入力周波数帯域は 0.0625fs で，キャパシタミスマッチ検出は $0.45\text{fs}\sim 0.5\text{fs}$ 帯域で行う．またオーバーサンプリング比(OSR)を 8 倍で，シミュレーションをした．

表 6.1 シミュレーション条件

全体ビット数	12bit
ミスマッチ	1 段目に 1%
入力周波数	0.0625fs
検出帯域	$0.45\sim 0.5\text{fs}$
入力信号周波数帯域	$0\sim 0.125\text{fs}$
OSR	8

図 6.3 に提案手法 1 の出力に含まれる量子化雑音のスペクトラムを示す，1 次ローパス+1 次ハイパス特性が確認できる．

図 6.4(a)に提案手法 1 の補正前のスペクトラム，(b)に補正後のスペクトラム，(c)に補正前と補正後の出力スペクトラムを示した．

表 6.2 に理想状態と補正前後の SNR と ENOB の比較を示す．補正後は補正前に比べ，約 37dB 改善している．

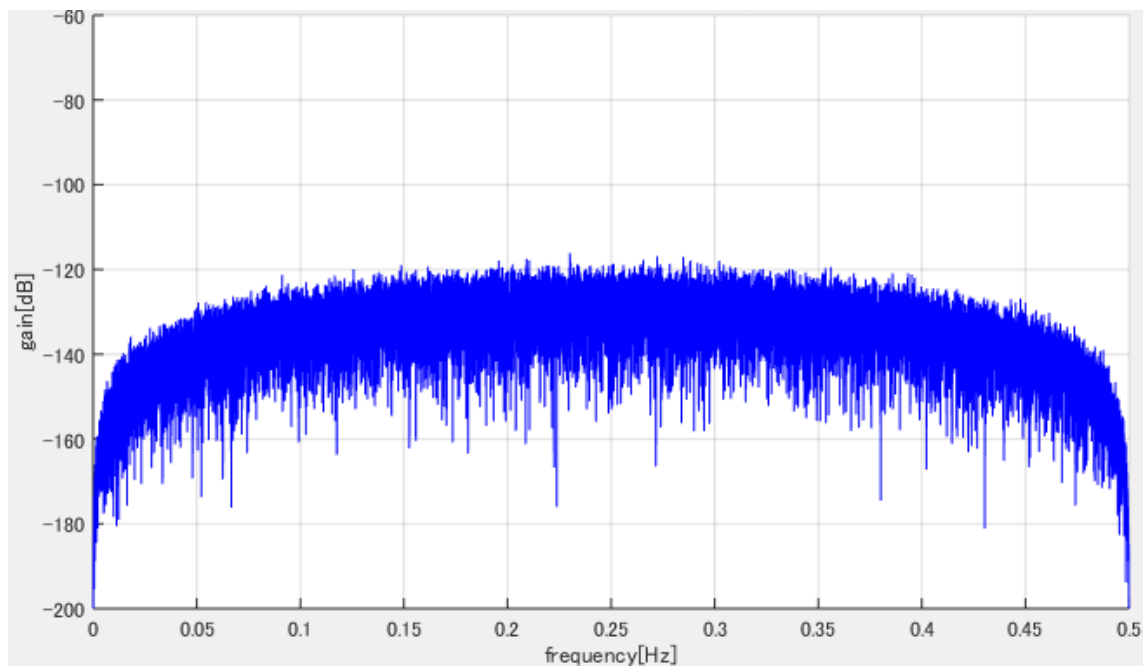
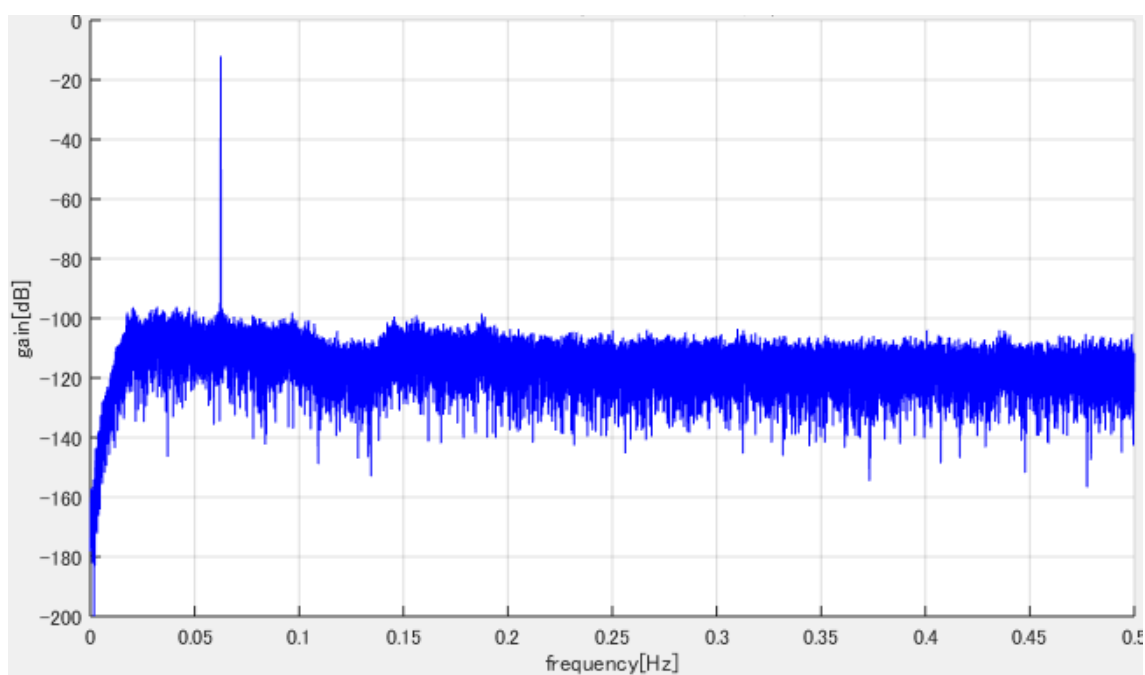


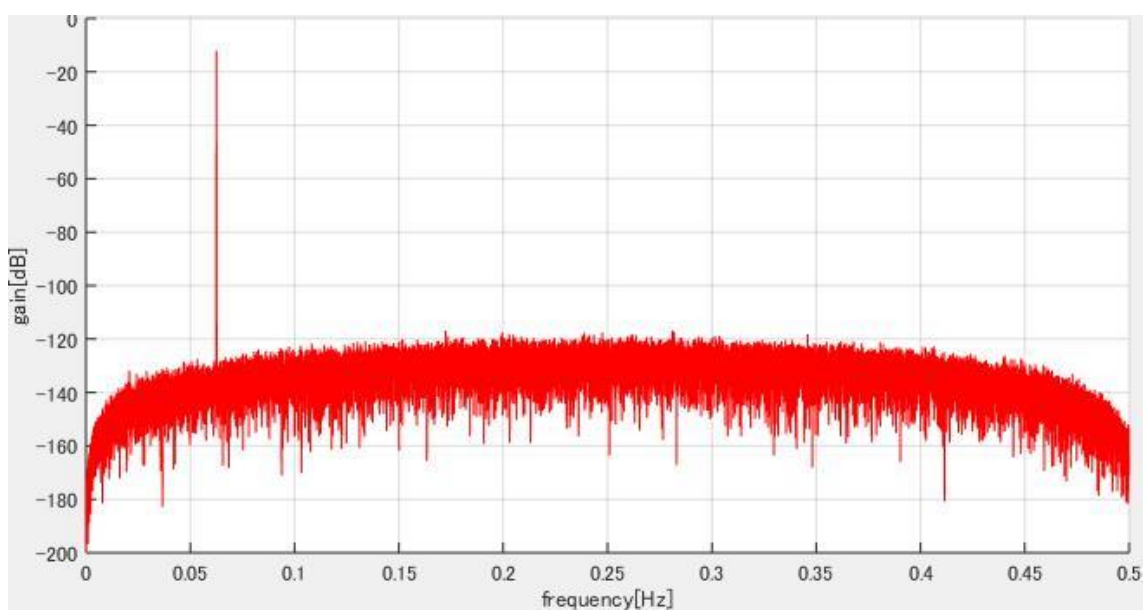
図 6.3 提案手法 1 の量子化雑音スペクトラム

表 6.2 シミュレーション結果（提案手法 1）

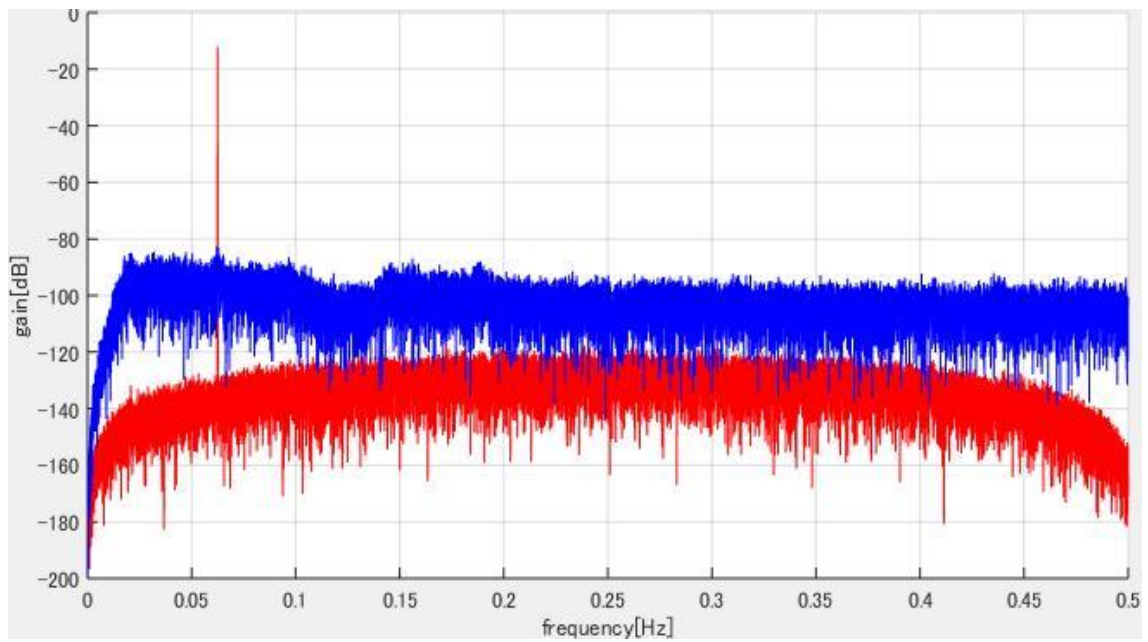
	Ideal	With mismatch	After calibration
SNR	85.9 dB	46.9 dB	84.4 dB
ENOB	14.0bit	7.5 bit	13.7 bit



(a) 提案手法 1 補正前の出力スペクトラム



(b) 提案手法 1 補正後の出力スペクトラム



(c) 提案手法 1 補正前と補正後の出力スペクトラム

図 6.4 提案手法 1 のノイズシェーピング構成の出力スペクトラム

図 6.5 に提案手法 2 の出力に含まれる量子化雑音のスペクトラムを示す, 1 次ローパス+2 次ハイパス特性が確認できる.

図 6.6(a)に提案手法 2 の補正後のスペクトラム, (b)に補正前と補正後の出力スペクトラムを示した.

表 6.3 に理想状態と補正前後の SNR と ENOB の比較を示す. 補正後は補正前に比べ, 約 40dB 改善している.

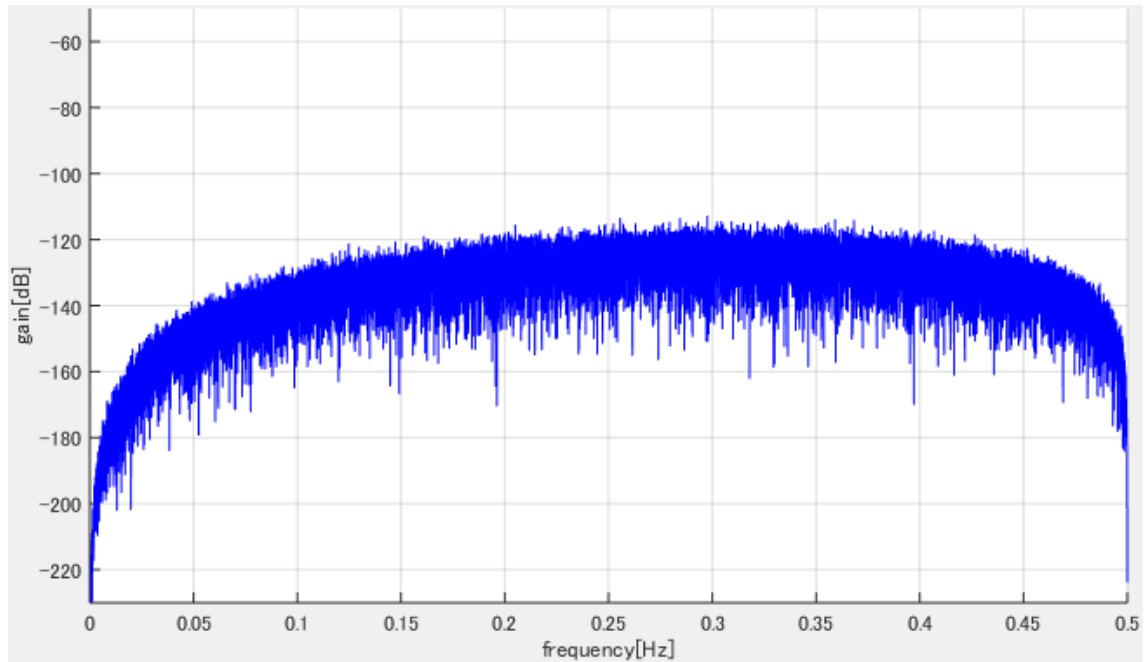
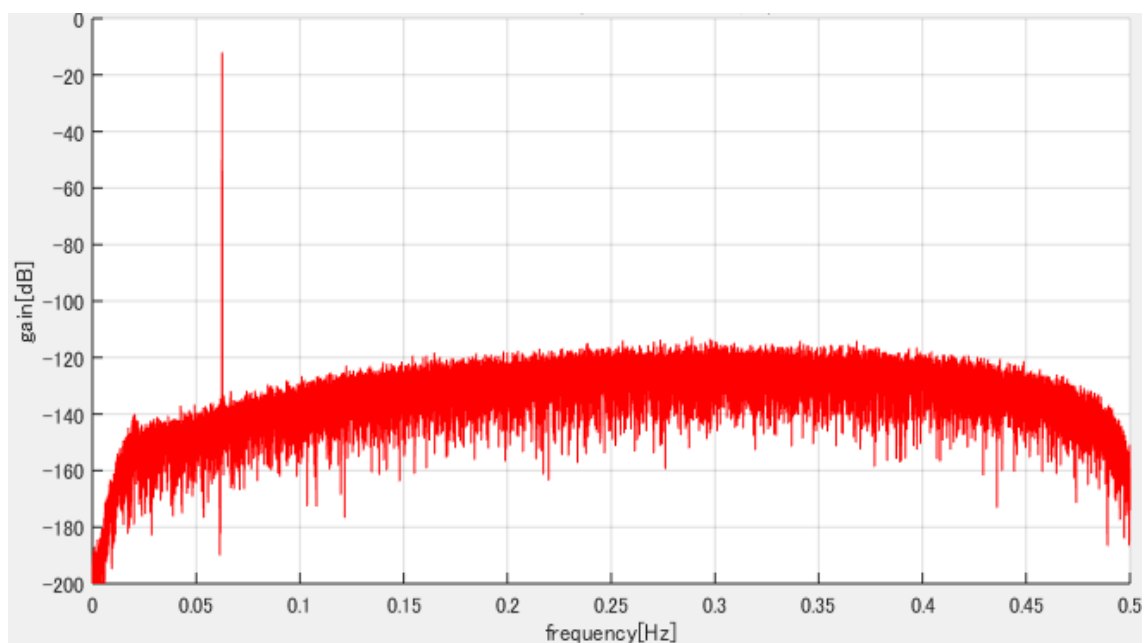


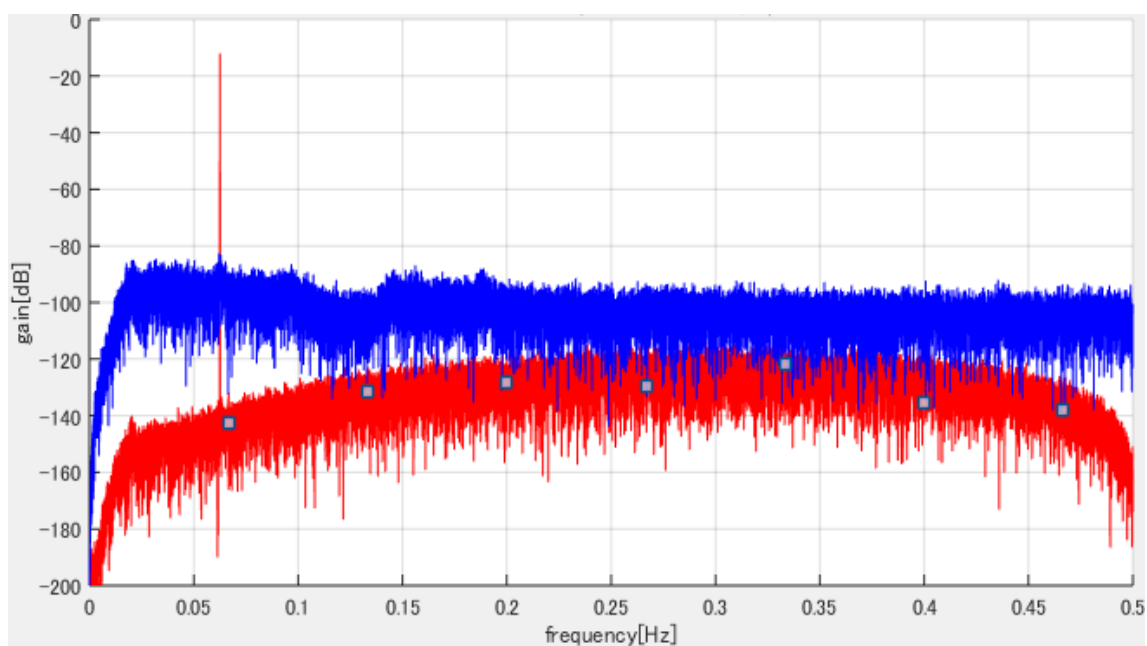
図 6.5 提案手法 1 の量子化雑音スペクトラム

表 6.3 シミュレーション結果 (提案手法 2)

	Ideal	With mismatch	After calibration
SNR	88.9 dB	46.9 dB	86.6 dB
ENOB	14.5bit	7.5 bit	14.2 bit



(a) 提案手法 2 補正後の出力スペクトラム



(b) 提案手法 1 補正前と補正後の出力スペクトラム

図 6.6 提案手法 2 のノイズシェーピング構成の出力スペクトラム

提案手法 1 と提案手法 2 の出力スペクトラムを考査した結果、補正前の出力スペクトラムは、NSDEM を用いてシェーピングをかけた、ミスマッチの影響が支配的なのがわかる。補正後の出力スペクトラムは、ハイパスとローパス特性の量子化雑音であることが確認できる。全体 12 ビット構成のパイプライン ADC はオーバーサンプリングをすることで、より高い性能で使うことができる。その反面帯域幅が狭まれる欠点でもある。

表 6.4 は提案手法と従来手法の比較を示す。従来手法ではバックグラウンドで使いにくいのに対して、提案手法ではより簡単な構成でバックグラウンドでも使うことができる。また、従来手法は全体 16bit に対して提案手法は 4 段全体 12bit である。オーバーサンプリングにより帯域幅は狭められるが、ノイズシェーピング型パイプライン ADC としての性能を実現した。

また、提案手法 1 と提案手法 2 の出力波形を観測した結果、ミスマッチによるフロアレベルを約 150dB に補正することができることが分かった。特に提案手法 2 では 2 次シェーピングをしてあるため、ミスマッチによるフロアレベルを 160dB まで補正しておかないと 2 次シェーピング特性を与えたのに、結局ミスマッチの影響が残ってしまい、完璧な 2 次シェーピング型のパイプライン ADC を実現することができなかった。

表 6.4 従来手法との比較

	foreground	background	全体ビット	帯域幅	補正後性能
従来手法	○	△	16bit	0~1fs	79.2dB
提案手法 1		○	12bit	0~0.0625fs	84.4 dB
提案手法 2		○	12bit	0~0.0625fs	86.6 dB

図 6.7 は提案手法の相関演算の必要時間と収束値を示す。約 1900 クロックを超えれば安定することが分かった。従来手法では検出帯域の量子化雑音に 2 次のシェーピングをかけたため、提案手法より安定する速度が約 400 クロック早い。提案手法の検出速度は許容範囲内と考える。

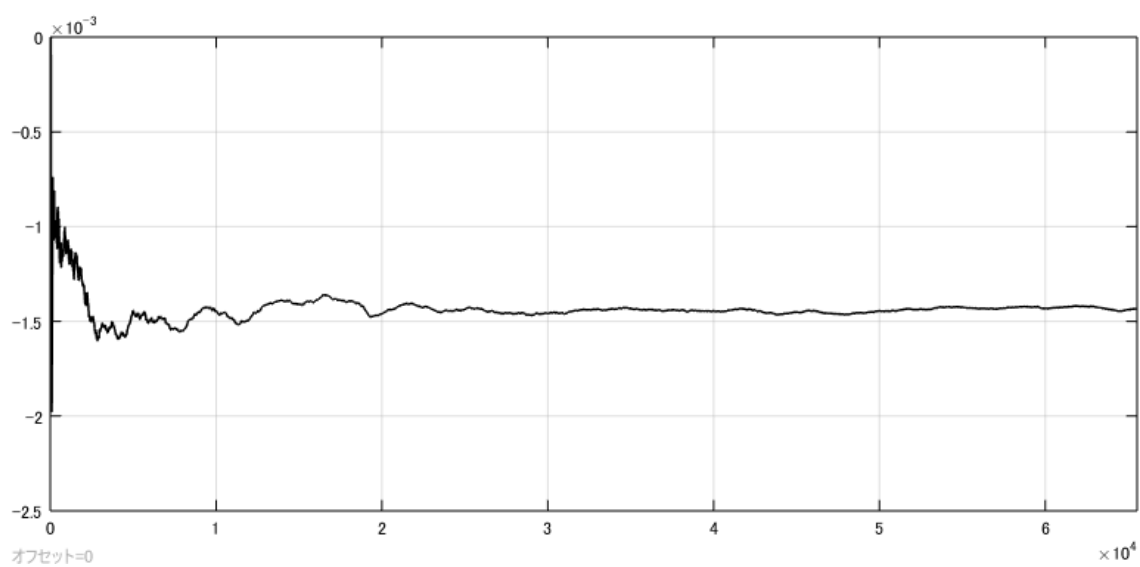


図 6.7 相関演算の必要時間と収束値

第7章 まとめと今後の課題

本論文では、エラーフィードバック構成と NSDEM を用いて、DAC のキャパシタミスマッチをバックグラウンドキャリブレーションにより補正できるパイプライン ADC 構成法を提案した。

量子化ノイズにハイパスとローパスの特性を持たせることで、NSDEM によりミスマッチ検出の精度と検出時間を向上させたまま、ノイズシェープ型パイプライン ADC を実現した。MATLAB/Simulink によるシミュレーションによって、提案手法の有効性を確認した。

本手法ではアナログ回路の不完全性に対する感度が高い初段にエラーフィードバック構成を用いる必要も無い。このため、より容易にパイプライン ADC の高精度化を実現できる手法である。

MATLAB レベルでの今後の課題として、さらなる性能の向上が考えられる。シミュレーション結果より、オーバーサンプリングをすることでミスマッチの影響から Effective Number Of Bit(ENOB)を約 14bits へ改善することができた。NSDEM のループフィルタを最適化することで、更なる性能の改善が可能である。

回路レベルの課題としては、Cadence/SpectreVerilog, Synopsys によるトランジスタレベルで回路設計をする必要がある。また、回路を IC に実装後、測定結果とシミュレーション結果を比較する事で、本提案手法の実用性を確認する必要がある。

謝辞

本研究を行うにあたり，大変貴重なお時間を割いて，研究を進めるに上で懇切なるご指導をいただきました安田彰助教授に厚く御礼申し上げます．半導体システム工学研究室の皆様にも数々のご協力，助言を頂き，本稿が作成出来た事にも感謝申し上げます．

参考文献

- (1)Andrea Panigada, Ian Galton: “Digital Background Correction of Harmonic Distortion in Pipelined ADCs” IEEE Transactions On Circuits And Systems I:Regular Papers, vol. 53, no. 9, pp. 1885–1895, Sep. 2006.
- (2)Y.-S.Shu and B.-B.Song “A 15-bit linear 20-MS/s pipelined ADC digitally calibrated with signal-dependent dithering” IEEE Journal of Solid-State Circuits, vol. 43, pp. 342-350, Feb. 2008.
- (3)Yoshimasa Serizawa; Akira Yasuda; Jun Tayama “A New Background Calibration Method Using Noise Shaping for Precise Mismatch Detection of a Pipeline” IEEJ AVLSIWS2006, ADC I, No.2, pp.1-5, Nov. 2006.
- (4)Z. Chen , et al. “Noise Shaping Implementation in Two-Step/ SAR ADC Architectures Based on Delayed Quantization Error” 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS 2011), pp.1-4, Aug. 2011.
- (5)Takahisa Kawabe , Satoshi Saikatsu , Michitaka Yoshino , Akira Yasuda “Background Calibration Tehnique for a Pipelined ADC Using a Noise-Shaping and Feedback Structre” IEEJ 2013 International Analog VLSI Conference (AVIC'13), pp.64-68, Oct.2013.
- (6)安田 彰, 和保 孝夫 監訳 “ $\Delta\Sigma$ 型アナログ/デジタル変換器入門” 丸善出版.

発表論文

(1)黄 弋,西勝 聡,春海 豪,安田 彰,“ノイズシェーピング構成とミスマッチシェーパーを用いたバックグラウンドキャリブレーション型パイプライン ADC”電気学会, 電子回路研究会, ECT-016-011, 1 月, 2016 年 (福岡県)