

ジッタシェーピング型 $\Delta\Sigma$ DACと試作

渡邊, 裕紀 / WATANABE, Yuki

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

57

(開始ページ / Start Page)

1

(終了ページ / End Page)

8

(発行年 / Year)

2016-03-24

(URL)

<https://doi.org/10.15002/00013083>

ジッタシェーピング型 $\Delta\Sigma$ DAC と試作

DELTA-SIGMA DAC WITH JITTER-SHAPER AND PROTOTYPE

渡邊裕紀

Yuki WATANABE

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

We present a novel delta-sigma digital-to-analog converter (DSDAC) using a jitter shaper to augment the noise caused by clock jitter. The jitter shaper is designed for a 0.18 μm CMOS and comprises switched capacitor and sample-and-hold circuits. We simulate the DSDAC in MATLAB/simulink and design and simulate the complete jitter shaper circuit in Virtuoso/spector. We predict that the jitter shaper will improve the signal-to-noise ratio (SNR). We had the A to the integrated circuit and measured the DSDAC combined with FPGA.

Key Words : D/A converter, delta-sigma modulator, jitter shaper, clock jitter, IC.

1. はじめに

半導体の発展で、機器の高性能化・小型化が進んでいる。アナログデジタル変換器 (ADC) とデジタルアナログ変換器 (DAC) はその中でも重要な回路の一つである。ADC と DAC には様々な種類がある。DAC には、抵抗ラダー型・抵抗ストリング・電流出力型・容量アレイ型・パルス幅変調型・ $\Delta\Sigma$ 型などの種類がある。その中でも、 $\Delta\Sigma$ 型の ADC・DAC はオーバーサンプリングとノイズシェーピングを用いて高精度変換を実現できるため、オーディオ・センサー・通信などの分野で使われている。ここでは $\Delta\Sigma$ DAC について述べる。 $\Delta\Sigma$ DAC とは、抵抗ラダーなどの通常の DAC (内部 DAC) に $\Delta\Sigma$ 変調器等を組み合わせたものである。 $\Delta\Sigma$ DAC の高性能化は、高精度・広帯域化 (高速化) と低消費電力の二方向へのアプローチが挙げられる。高精度化・広帯域化 (高速化) においては、高次化、高 OSR 化、多ビット化を主とした様々な手法が提案されている。これらは主に $\Delta\Sigma$ 変調器に対する手法である。 $\Delta\Sigma$ 変調により再量子化ノイズは十分に低減できるが、 $\Delta\Sigma$ DAC のノイズは内部 DAC にも大きく依存する。そのため内部 DAC のノイズも考慮する必要がある。その 1 つにクロックジッタによる精度劣化がある。 $\Delta\Sigma$ DAC はアナログ信号出力時にクロックジッタと高域の量子化ノイズとの位相変調作用により、ホワイトノイズやスプリアストーンが発生し、特性が悪化する。これに対する従来の対策法として、 $\Delta\Sigma$ 変調器の後ろにローパス型のスイッチトキャパシタフィルタや FIR フィルタを挿入し、高域の量子化ノイズを低減する方法が知られている。しかし、これらフィルタの挿入は、アナログ回路や bit 数の増加により DAC 回路

規模が増大する。

本論文ではジッタシェーピング技術を用いた DAC であるジッタシェーパを提案する。そして $\Delta\Sigma$ 変調器と組み合わせた、ジッタシェーピング型 $\Delta\Sigma$ DAC を示す。ジッタシェーパの有用性を MATLAB/simulink と Virtuoso/spector によるシミュレーションで示す。またジッタシェーパを IC チップとして試作し、FPGA で実現した $\Delta\Sigma$ 変調器と組み合わせて実測した結果を示す。

2. クロックジッタと $\Delta\Sigma$ DAC

(1) クロックジッタ

デジタル回路は、クロック信号によって制御される。理想的なクロック信号は一定の周期を維持する。しかし実際は、位相ロックループ (PLL) により生成されたクロック信号の位相は、クロストークや電源ノイズによる雑音の影響を受ける。そのため、デジタル回路の動作タイミングは意図した一定周期とは少し異なる。このクロックジッタは、クロック信号の立ち上がり立ち下りのタイミングの変動によるものと考えられる。ほかに電源ノイズ、熱雑音、 $1/f$ (ピンク) ノイズは DAC の性能を低下させる。本論文ではクロックジッタに着目し、ジッタ成分は正規分布のランダム雑音であることを前提として解析する。また、ホワイトノイズに対する考察から、周波数特性をもつノイズへの類推も可能である。本論文では、ジッタに起因する DAC 出力における誤差に周波数特性を与え特性を改善する、ジッタシェーパを提案する。

図 1 は理想クロックおよびジッタのクロックにより制御されたサンプルホールド (S/H) 回路の波形を示す。ク

ロックジッタは、DAC の出力信号振幅には影響を与えない。しかしながら出力電力の変動、ひいてはノイズの原因となる出力信号幅を変化させる。したがって DAC のクロックジッタは、時間軸方向のノイズの原因となる。

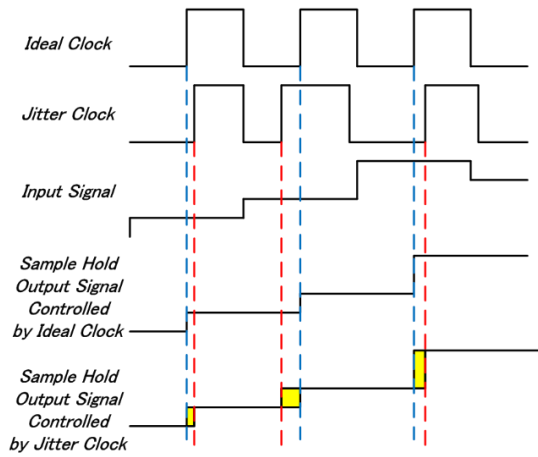


図 1. クロックジッタがもたらす影響

(2) $\Delta \Sigma$ DAC

$\Delta \Sigma$ DAC は図 2 に示すように、主にデジタル $\Delta \Sigma$ 変調器、ミスマッチシェーパー、内部 DAC から構成される。 $\Delta \Sigma$ DAC のジッタは、DAC 構造の要素である内部 DAC のアナログ加算時に影響を与える。 $\Delta \Sigma$ 変調器は高精度に入力信号を量子化する必要がある。内部量子化器をマルチビット化した場合では、DAC の素子ばらつきが精度に影響を及ぼす。これらの問題の解決法として、Data Weighted Averaging (DWA) や Noise Shaping Dynamic Element Matching (NSDEM) などの、ミスマッチシェーパーを用いて軽減することが一般的である。高精度の DA 変換はこれらの方法によって可能である。

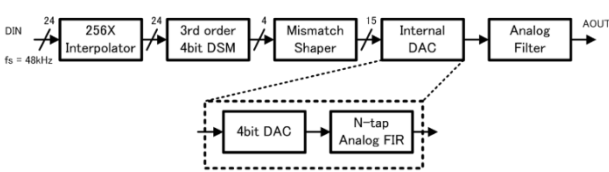


図 2. $\Delta \Sigma$ DAC

図 3 は、MATLAB シミュレーションに使用した三次 $\Delta \Sigma$ 変調器である。理想的な $\Delta \Sigma$ 変調器にクロックジッタ 1% を加えた出力スペクトルを図 4 に示す。このとき使用したジッタモデルは図 5 であり、ジッタが十分小さいとき時間軸方向のノイズを振幅方向に変換する。DAC 出力信号 (図 1) のクロックの時間変化による影響は、クロックジッタによる振幅誤差を加算することによってモデル化することができる。S / H に正弦波入力をしたとき、時間変化 δ に起因する振幅誤差は式 (1) にて与えられる。

$$E_j = \sin(t + \delta) - \sin(t) = \delta \frac{d \sin(z)}{dz} \quad (1)$$

これは δ が周期 T よりもはるかに小さいときに近似でき

る。図 4 を見ると、ジッタに起因するノイズによってフロアが高くなり SNR が劣化することがわかる。上記のシミュレーション結果に示すように、 $\Delta \Sigma$ DAC はクロックジッタに起因する SNR 劣化のためのジッタ補償を必要とする。

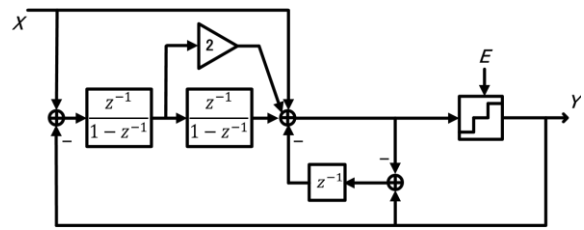


図 3. 3 次 $\Delta \Sigma$ 変調器

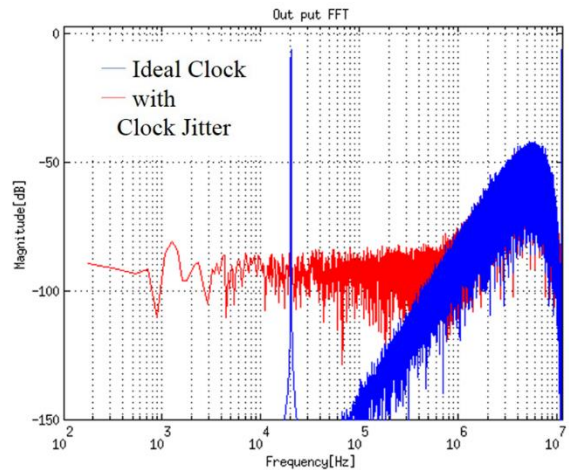


図 4. 出力スペクトラム

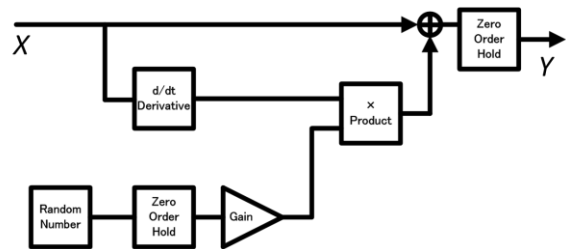


図 5. ジッタノイズの振幅変換モデル

(3) 従来のジッタ対策

$\Delta \Sigma$ DAC はノイズシェーピングにより、量子化ノイズを信号帯域外にシフトする。したがってノイズピークが高く、クロックジッタの影響を受けやすい。帯域内ノイズを最小限に抑えるために、従来の補償技術は SC フィルタやアナログ FIR フィルタを使用する方法がある。例えば図 6 に示すローパス型アナログ FIR フィルタを用いて、帯域外ノイズを減衰させ、クロックジッタに起因する SNR の劣化を低減する。しかしこのようなフィルタは多数のタップを持ち、効果を高めると回路規模が増加する。

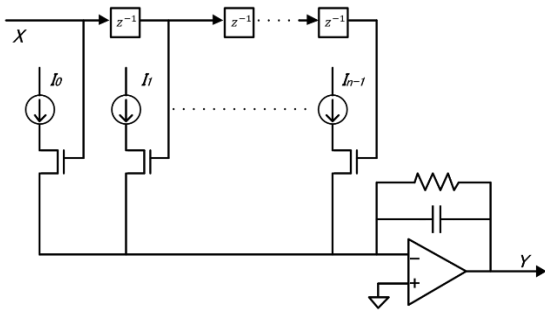


図6. アナログ FIR フィルタ

3. ジッタシェーパー

(1) 基本アイデア

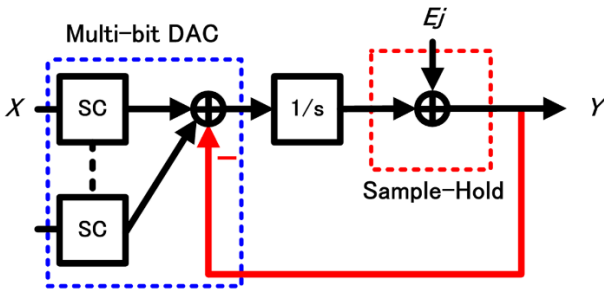


図7. ジッタシェーパーの基本アイデア

図7にジッタシェーパーの基本アイデア図を示す。SC- $\Delta\Sigma$ DAC の出力は1ビット SC-DAC 出力すべての合計である。加算機能は SC-積分回路内に実装されている。DAC の出力はジッタによりサンプリングタイミングの変動を受けた S / H 回路に影響される。この問題に対処するために、DAC の出力は積分器の加算ノードにフィードバックされる。

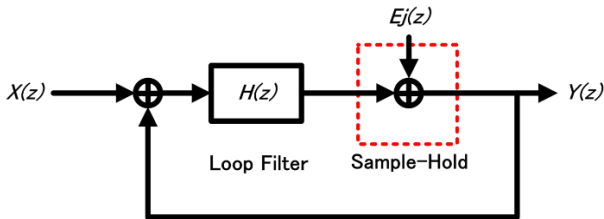


図8. ジッタシェーパーのブロック図

システムを簡単に考えるために、提案するジッタシェーパー回路の基本ブロックを図8に示す。ジッタシェーパーはループフィルタと S / H 回路で構成され、その構造は $\Delta\Sigma$ 変調器と同様である。 $H(z)$ はループフィルタの伝達関数である。出力 $Y(z)$ は式(2)より与えられる。

$$Y(z) = STF(z)X(z) + NTF(z)E_j(z), \quad (2)$$

STF および NTF はそれぞれ、信号及び雑音伝達関数であり、 $E_j(z)$ は S / H 回路によって生じるジッタ起因のノイズ(以降、ジッタノイズ)である。また STF と NTF は次

のように導出される。

$$Y(z) = \frac{H(z)}{1+H(z)}X(z) + \frac{1}{1+H(z)}E_j(z), \quad (3)$$

$$\therefore STF(z) = \frac{H(z)}{1+H(z)}, \quad (4)$$

$$\therefore NTF(z) = \frac{1}{1+H(z)}. \quad (5)$$

これらの伝達関数は、ループフィルタに依存する。図9により詳細なジッタシェーパーのモデルを示している。スイッチトキャパシタとクロックについては後ほど説明する。連続時間積分器はループフィルタに使用され、S / H は単純なサンプラーである。ジッタシェーパーのように連続系と離散系が混在するシステムは簡単のために s - z 変換を利用して考える。係数 $c = 1 / T$ のとき、ループフィルタ伝達関数は

$$H = \frac{c}{s} = \frac{1}{sT} = \frac{(1+z^{-1})}{2(1-z^{-1})}, \quad (6)$$

である。ここで T はサンプリング時間である。 $c = 1 / T$ はスケーリング係数であり、連続時間 $\Delta\Sigma$ の動作クロックレートに依存する[1]。信号と雑音伝達関数は、それぞれ、

$$STF = \frac{1+z^{-1}}{3-z^{-1}}, \quad (7)$$

$$NTF = \frac{2(1-z^{-1})}{3-z^{-1}}, \quad (8)$$

となる。

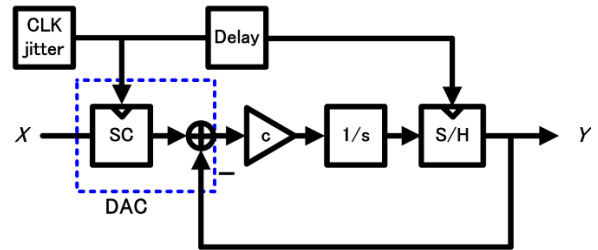


図9. ジッタシェーパー構成

図10は $T = 1$ のときの STF と NTF の周波数応答を示している。 NTF は高周波で増加し、低周波で減少する。この特性から、ジッタノイズをシェーピングできることを意味する。ジッタシェーピングによって SNR を改善することができる。

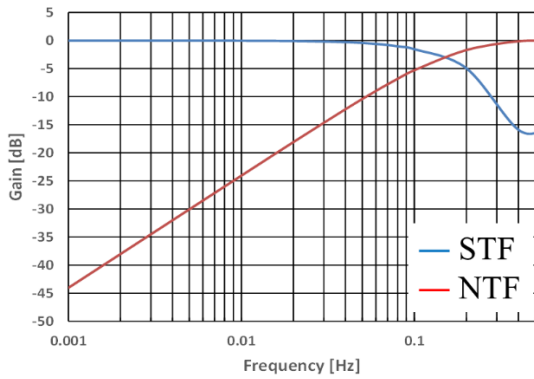


図 10. STF と NTF の周波数特性

(2) ジッタシェーパー構成

図 9 に示されているジッタシェーパーの構造より、SC-DAC は SC と積分器から成る。ジッタシェーパー回路と SC-DAC は、ジッタのある同一のクロック信号を使用する。演算増幅器 (OPAMP) の十分なセトリング時間を確保するために、SC と S/H に用いるクロックの間に遅延回路を使用する。ジッタシェーパーは、入力信号側からのノイズはシェーピングすることができないために、DAC 回路は離散時間 (DT) システムである SC 積分回路を使用する。ジッタによる電荷の誤差は、DT 積分器のほうが連続時間 (CT) の積分器よりもジッタに影響されない。S/H が DT 積分器の出力をサンプルした場合、SC でのジッタは DAC にはほとんど影響ない。

ジッタシェーパーに用いるアナログ回路を図 11 に示す。S/H は不完全 DT 積分器を使用している。入力パスはスイッチトキャパシタ回路によって構成され、フィードバック経路は抵抗によって構成される。フィードバック抵抗によりクロックジッタによって引き起こされるサンプリングタイミングの変化を積分器に伝えることができ、積分器はその時間方向の変動を振幅方向に変換することで、ジッタノイズを補正する。

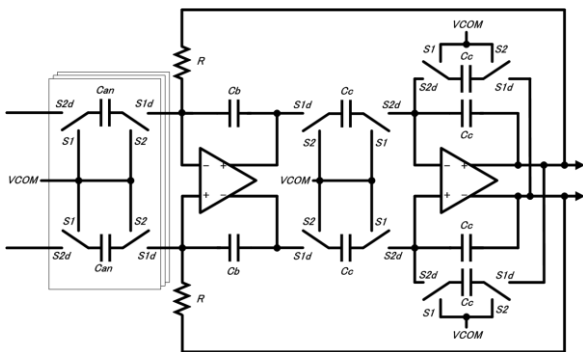


図 11. ジッタシェーパー回路

4. システムシミュレーション

MATLAB/ Simulink を使用して、提案したジッタシェーパーと $\Delta\Sigma$ DAC のシミュレーションを行う。印加するクロックジッタは、図 5 に示した振幅変換モデルを使用す

る。このときのジッタはクロック周期に対して十分に小さいランダム信号であるとする。シミュレーション条件を表 1 に示す。Fs はサンプリング周波数であり、オーバーサンプリングレート (OSR) は、ナイキストの定理よりも高速でサンプリングするレートである。ジッタシェーパー有無でシミュレートした $\Delta\Sigma$ DAC の出力スペクトルを図 12 に示す。このときのクロックジッタはクロック周期の 1% のランダムジッタである。ジッタシェーパーによって SNR は 47dB 改善した。

表 1

Input	Fs	OSR	Quantized Bits	Plot
-6 dBFS	12 MHz	256	4	62915

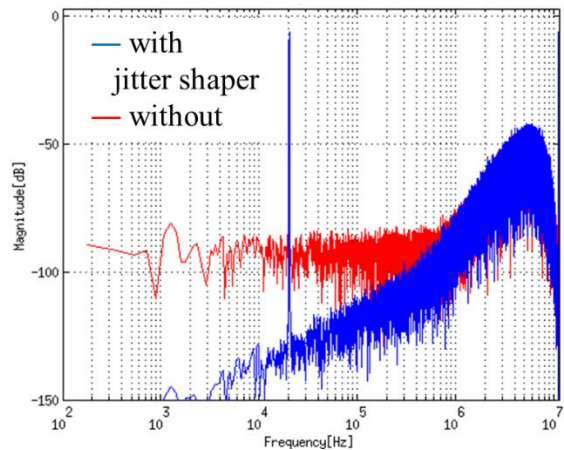


図 12. ジッタシェーパー有無の出力スペクトラム

次に FIR フィルタ (図 13) とジッタシェーパーの性能を比較する。FIR フィルタの伝達関数は次のようになる。

$$y(n) = F \cdot (h_0 x(n) + h_1 x(n-1) + \dots + h_{n-1} x(n-N)). \quad (9)$$

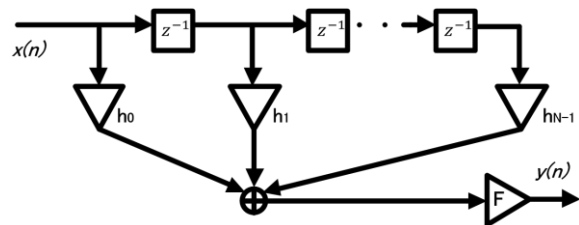


図 13. FIR フィルタ

このタップ数と係数でフィルタの特性を設定する。今回は 25 タップのローパスフィルタである。ランダムクロックジッタは前回のシミュレーションと同じである。図 14 は、 $\Delta\Sigma$ 変調器にジッタシェーパーの場合と FIR フィルタの場合を接続した時の出力スペクトルである。SNR はそれぞれ 107dB と 100dB である。100 dB 以上の高い SNR

が必要な場合, FIR フィルタを用いた従来の方法は多くのタップと面積を必要とする.

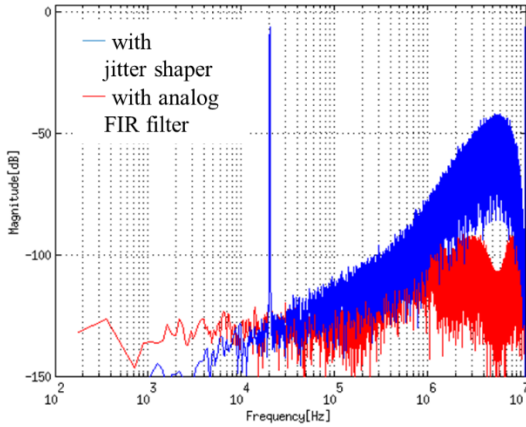


図 1 4. FIR フィルタとの比較

5. 回路シミュレーション

表 2

Gain	Band width	THD	Output Swing	Power
80 dB	331 MHz	0.005%	1.44 V	4.94 mW

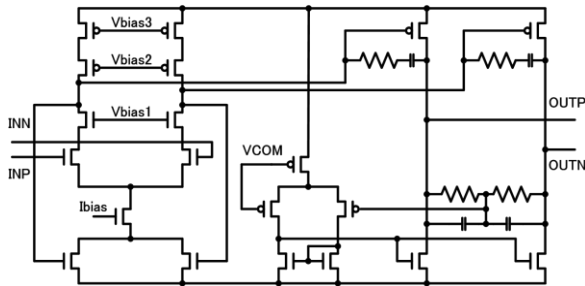


図 1 5. OPAMP

ジッタシェーパ回路をトランジスタレベルで設計し, Virtuoso/spector を用いてシミュレーションを行う. 積分器と S/H に使用するオペアンプを図 1 5 に示し, 表 2 はその性能をまとめたものである.

電源電圧 1.8 V, 入力信号は $\Delta \Sigma$ 変調器によって変調された正弦波である. 実際の回路は図 1 1 に示している全差動構造になっている. スイッチを制御するため, ノンオーバーラップクロック (図 1 6 および 1 7) を使用する. S1 と S2 との重なりを防止するための遅延 t_{nov} は, インバータ遅延を利用する. 図 1 8 はクロックジェネレータのシミュレーション結果を示す. $t_{nov1}=475ps$, $t_{nov2}=459ps$ である.

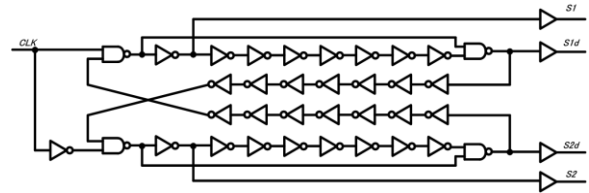


図 1 6. ノンオーバーラップクロック生成回路

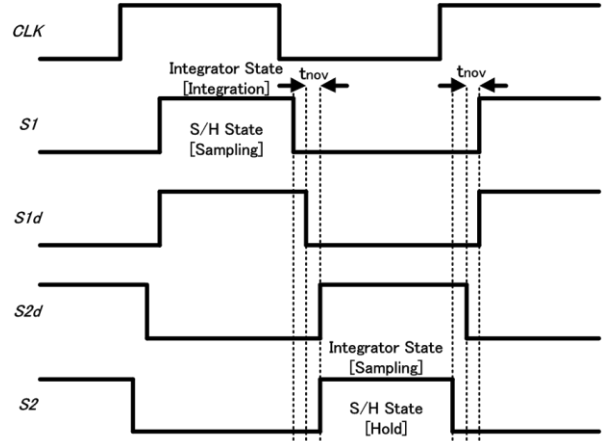


図 1 7. ノンオーバーラップクロック

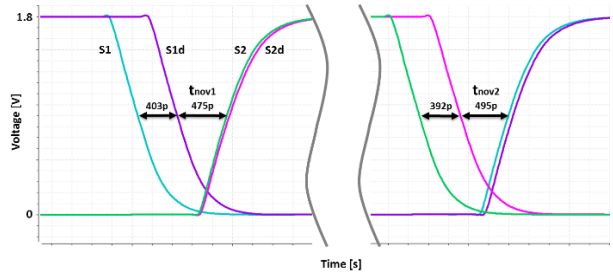


図 1 8. ノンオーバーラップクロックシミュレーション

回路シミュレーションで使用するジッタのモデルを図 1 9 に示す. 入力されたクロックに対し, 基準遅延 Td を行う遅延素子にランダム遅延 δ を印加することで, クロックジッタを生成する. このクロックジッタモデルは Verilog-A コードを用いて, 回路シミュレーションに適用する.

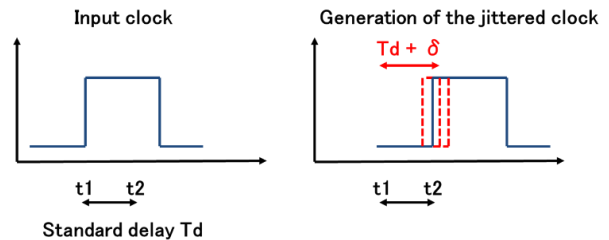


図 1 9. 回路シミュレーションで用いるジッタモデル

$\Delta \Sigma$ 変調信号を入力とした, ジッタシェーパ出力のスペクトルを図 2 0 に示す. Virtuoso/spector でのシミュレーション結果を高速フーリエ変換 (FFT) にて周波数解析をするために, MATLAB を使用している. ノイズシェ

ーピング効果を確認する際には、出力を FFT する必要があるが、このときの FFT サンプリング周波数はジッタシェーピング型 $\Delta\Sigma$ DAC の動作クロック周波数よりも高くする必要がある。また、FFT 解析で折り返しノイズ防止するために、アンチエイリアスローパスフィルタを通過したデータを使用する。図 20 は入力 20-kHz の正弦波信号と 1% のクロックジッタを有する回路の出力スペクトルである。シミュレーション条件を表 3 に示す。CLK はジッタシェーピング型 $\Delta\Sigma$ DAC の動作周波数である。

表 3

Input	0.45 V
CLK	12 MHz
OSR	256
FFT Sampling Rate	100 MHz
Plot	2^{18}
Input Frequency	20 kHz
Supply Voltage	1.8 V
Process	180 nm CMOS
Jitter	1 %

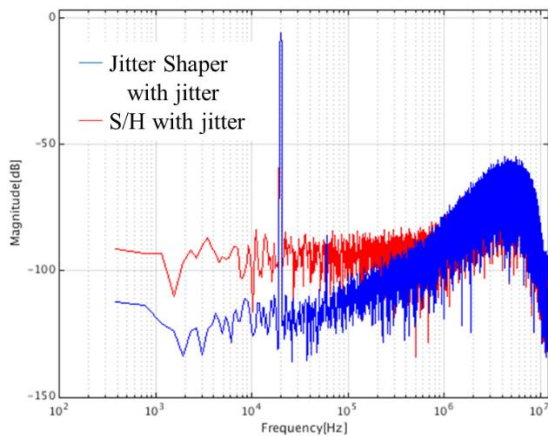


図 20. 回路シミュレーションによる出力スペクトラム

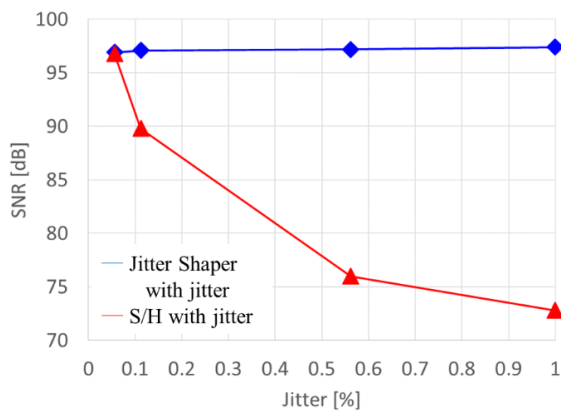


図 21. SNR 対ジッタ

図 20 から 20dB/decade の 1 次ノイズシェーピング特性を確認することができる。また 3 次高調波歪みが確認

できるが、これはオペアンプの性能によって引き起こされたと推測している。図 21 はジッタ対 SNR をプロットしたものである。ジッタシェーパによって、1% のジッタ時 25dB の SNR の改善が確認された。

6. 実装と測定

(1) 実装

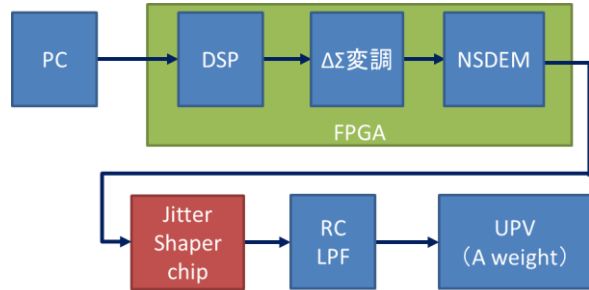


図 22. 測定方法

ここでは先に述べたジッタシェーピング型 $\Delta\Sigma$ DAC の実装について述べる。まず $\Delta\Sigma$ DAC は、 $\Delta\Sigma$ 変調器などのデジタル処理部と内部 DAC 以降のアナログ部とに分けられる。そこで内部 DAC 以前の処理は FPGA ボードを用いて行い、その出力を DAC 機能有するジッタシェーパに投入する。実装では素子ばらつきなども懸念されるため、NSDEM などのデジタル処理も行う必要がある。ジッタシェーパの出力を LPF に通して、オシロスコープやオーディオアナライザ (UPV) にて測定を行う。これらの測定環境を図 21 に示す。PC から出力されたデジタル信号は、FPGA にて $\Delta\Sigma$ 処理される。その後ジッタシェーパにて DA 変換され出力される。ジッタシェーパはローム社 0.18 μ m CMOS にて設計を行った。そのレイアウトを図 22 に示す。図左のスイッチトキャパシタから入力され、右出力端子より出力する。RCLPF は測定基板上に実装している。実際に基板にチップを実装した写真を図 23・24 に示す。表面左上のコネクタに FPGA を接続する。

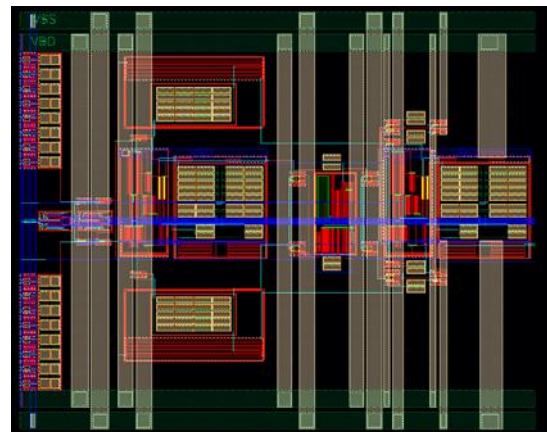


図 23. チップレイアウト



図 2 4. 測定基板 (表)

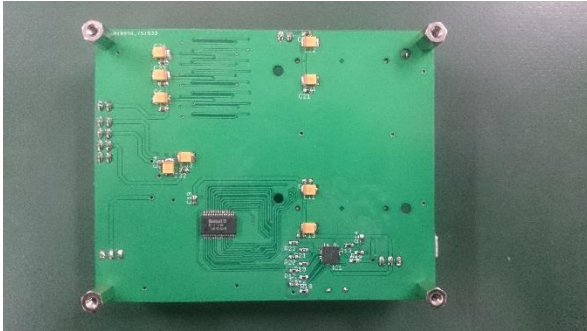


図 2 5. 測定基板 (裏)

(2) 測定

まずはオシロスコープにて測定した 1kHz 入力時の出力波形を図 2 5 に示す。黄色と青が差動対の出力で、橙色がその差動出力である。出力信号の周波数は 1kHz であり、入力信号が再生されていることが確認できる。次に、UPV を用いて FFT 解析を行ったスペクトルを図 2 6 に示す。信号とノイズのフロアが確認できる。オーディオにおけるノイズの電力は無信号時のものを扱うので、無信号時の信号帯域内ノイズ電力を測定したところ、-71dBV であった。シミュレーションの結果から-95dB 以下に抑えたいため、これは不十分な結果である。原因としては、FPGA などのデジタル周りのノイズが伝搬していることが考えられる。FPGA を停止させると、ノイズ電力は 10dBV 下がった。それでも-81dBV であり、他のノイズについても検討する必要がある。

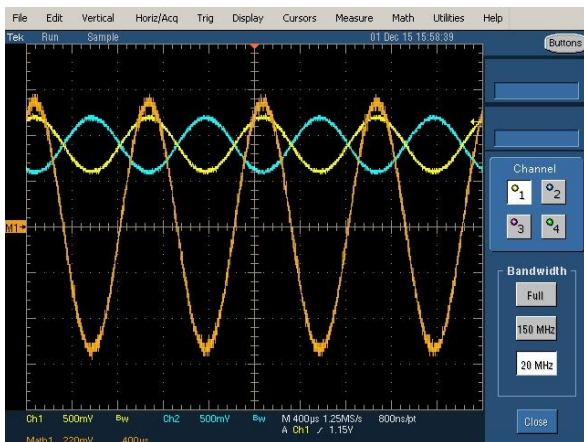


図 2 5. オシロスコープ測定

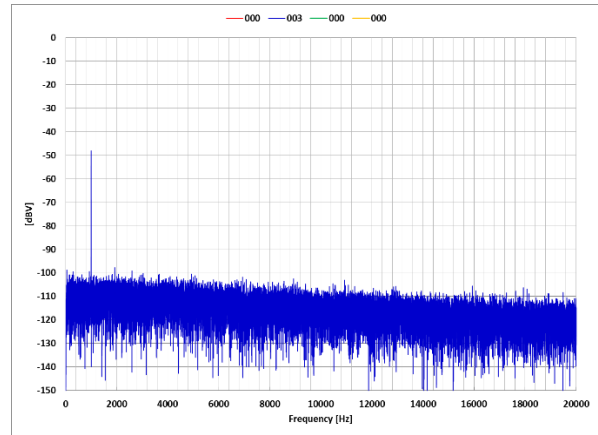


図 2 6. 測定した出力スペクトラム

7. まとめ

本論文ではジッタシェーパーを使用した $\Delta\Sigma$ DAC のジッタによるノイズを低減するための方法を提示した。MATLAB シミュレーションを利用して、その理論的な有効性を実証し、それをトランジスタ回路におけるジッタシェーパー回路をシミュレーションすることによって、実現することができることを示した。本論文の回路は、高性能 DAC システムに適して、追加のコンポーネントを必要とすることなく、クロックジッタによるノイズを減少させた。実装においては、不十分な性能となったため、改良を施して再び実装することが望まれる。

8. 謝辞

本研究を進めるにあたりご指導ご鞭撻いただいた法政大学理工学部電気電子工学科安田彰教授、吉野理貴先生に深く感謝いたします。また日頃、有意義なアドバイスを下さった安田研究室の皆様にも心から感謝しております。本研究は東京大学大規模集積システム設計教育研究センター (VDEC) を通じ日本ケイデンス株式会社の協力の下で行われたものであり、ここに深く感謝します。

参考文献

- 1) Schreier, R., & Temes, G.C. (YEAR). *An introduction to $\Delta\Sigma$ analog / digital converters (translated from the Japanese by T. Waho & A. Yasuda)*, Maruzen Co., Ltd.
- 2) Cherry, J.A., & Snelgrove, W.M. (1999). *Clock jitter and quantizer metastability in continuous-time delta-sigma modulators*. IEEE Transactions on Circuits and Systems II, 46, 376–389.
- 3) Fujimori, I., Nogi, A. & Sugimoto, T. (2000). *A multibit delta-sigma audio DAC with 120-dB dynamic range*. IEEE Journal of Solid-State Circuits, 35(8), 1066–1073.

4) Kobayashi, H., Kurosawa, N., Miyauchi, I., Kawakami, S., Kogure, H., Komuro, T., Sakayori, H. (2003). *Timing error analysis in digital-to-analog converter –*

effects of sampling clock jitter and timing skew (Glitch). 10th Electronic Devices and Systems Conference 2003, pp.212-299, Brno, Czech Republic.