

断続的TEOS導入MOCVD法によるCeO₂/SiO₂複合酸化膜の堆積

松村, 隆志 / MATSUMURA, Takashi

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

57

(開始ページ / Start Page)

1

(終了ページ / End Page)

3

(発行年 / Year)

2016-03-24

(URL)

<https://doi.org/10.15002/00013057>

断続的 TEOS 導入 MOCVD 法による CeO₂/SiO₂ 複合酸化膜の堆積

DEPOSITION OF CeO₂/SiO₂ FILM BY MOCVD WITH INTERMITTENT TEOS INTRODUCTION

松村隆志

Takashi MATSUMURA

指導教員 山本康博

法政大学大学院理工学研究科電気電子工学専攻修士課程

Mixed oxide compound films of CeO₂ and SiO₂ were deposited by MOCVD using Ce(OCEt₂Me)₄ and TEOS (tetraethyl orthosilicate) as the source materials. Oxide film deposition occurred only with the intermittent introduction of TEOS source. The XPS analyses revealed that Si existed mainly as the silicate phase and uniformly distributed along the depth in the film. The amount of Si in the deposited film was not affected by the duration time of TEOS introduction. From the results of XRD and XTEM, the crystallization of the CeO₂ film was suppressed by mixing SiO₂ even after the post-annealing at 500 °C.

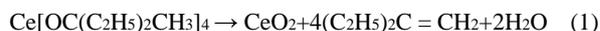
Key Words: High-k, MOCVD, CeO₂, silicate

1. 序論

近年 MOS トランジスタの微細化に伴ってゲート絶縁膜を通して流れるリーク電流が問題となっている。そこでリーク電流を減少させるために、絶縁膜を物理的に厚く、電気的に薄く振る舞いをする絶縁膜に変える必要がある。そこで我々は、誘電率が 26 と高く、Si との格子不整合率が 0.35 % と小さく Si と非常に相性がよく、次世代高誘電率薄膜として期待される CeO₂ に着目し、有機原料として Ce(OCEt₂Me)₄ を使い MOCVD で CeO₂ を堆積させた[1]-[5]。しかしながら、CeO₂ は室温で多結晶化しやすく結晶境界がリーク電流のパスになると懸念されている[6]-[8]。そこで、結晶化を抑制する方法として薄膜の中に異なった結晶構造を持つ材料を混ぜるという方法に着目し、異なった結晶構造を持つ材料として SiO₂ を選択した。SiO₂ は CeO₂ と同じ 4 価の結晶構造を持つ材料で混ぜ合わせたときに欠陥の形成を最小限にできると期待される材料である[9]。我々は SiO₂ の原料として TEOS(Si(OEt)₄)、CeO₂ の原料として Ce(OCEt₂Me)₄ を使用し、CeO₂/SiO₂ 複合酸化膜を作成しようとした。しかし Ce(OCEt₂Me)₄ の堆積レートは 350 °C を越えると急速に減少してしまう[1][2]、一方 TEOS の堆積レートは 600 °C 以上でないとう有用な堆積レートを得ない[10][11]、つまり同時に原料を導入しても薄膜は堆積しないことが判明した。

そこで我々は、Ce(OCEt₂Me)₄ 分解時に発生する H₂O に

着目し H₂O を使って TEOS を加水分解し分解温度を下げられるのではないかと考えた。Ce(OCEt₂Me)₄ の熱分解過程を以下に示す。



この反応によって生成された H₂O を使い TEOS を加水分解する。TEOS の加水分解過程を以下に示す。



本研究では TEOS を連続的または断続的に導入し、CeO₂/SiO₂ 複合酸化膜を作成し、薄膜の組成を X 線電子分光(XPS)法、結晶性を透過型電子顕微鏡(TEM)、電子線回折(TED)、X 線回折(XRD)法、電気的特性を C-V 測定により行い調査した。

2. 実験

本研究では、全実験を通して基板は p-type Si(100) を使用した。堆積前の処理として Si 基板は濃度 2 % のフッ化水素酸(HF)を用いて自然酸化膜の除去を行った。本研究に用いた MOCVD 装置の概略図を図 1 に示す。堆積条件を表 1 に熱処理条件を表 2 に示す。TEOS を連続的に導入した試料は、Ce(OCEt₂Me)₄ と同じタイミングで導入し続けた。TEOS を断続的に導入した試料のガスの導入サイクルを図 2 に示す。

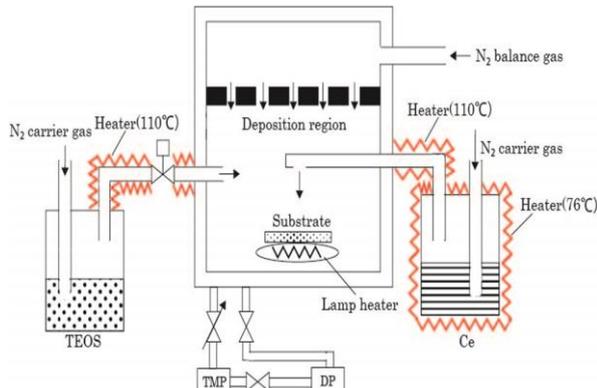


図1 MOCVD装置概略図

表1 堆積条件

Substrate	p-type Si (100)
Deposition temperature	350 °C
Deposition pressure	50 Pa
Deposition time	30 min
CeO ₂ Source	Ce(OCEt ₂ Me) ₄ : 2.8 Pa @76 °C
SiO ₂ Source	TEOS: 101.6 Pa @25°C
Balance gas and carrier gas	N ₂
Balance gas flow rate	100 sccm
Carrier gas flow rate (Ce, TEOS)	50, 1 sccm
Film thickness	~30 nm

表2 熱処理条件

Temperature	500 °C
Atmosphere	Air
Time	30 min

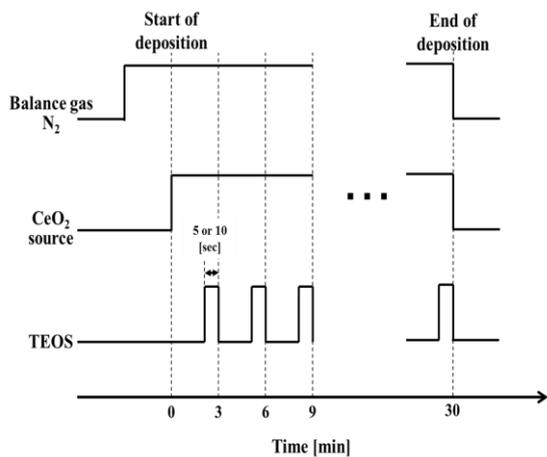


図2 導入ガスサイクル

3. 結果と考察

TEOS を連続的に導入した試料では、薄膜の堆積が見られなかった。これは、分解されていない TEOS が Si 基板のサイトを Ce(OCEt₂Me)₄ より早く埋めてしまい、Ce(OCEt₂Me)₄ の分解が行われなかったためである。以下の結果は TEOS を断続的に導入した試料の結果を示す。

(1) XPS による膜の組成の評価

図3に、TEOS を3分間隔で5, 10秒導入したときのXPSによる深さプロファイルを示す。TEOS を断続的に導入したが Si の膜中の分布は平坦だった。これは、チャンパー内に残存する TEOS が連続的に反応したために、平坦化してしまったのではないかと考えられる。また、TEOS の導入時間に差があるにもかかわらず、Si の数値に差はなかった。これは、膜中の Si の量は堆積時に発生する H₂O の量によって制限されるためであると考えられる。図4に堆積直後、熱処理後の Si-2p, O-1s の XPS ナローズキャンを示す。

図4から膜中の Si は熱処理をすることによりシリケートのフェイズにシフトすることがわかった。

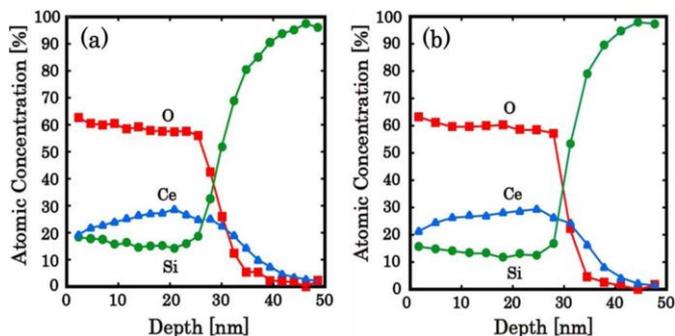


図3 TEOS を(a):5秒, (b):10秒導入した試料のXPS深さプロファイル

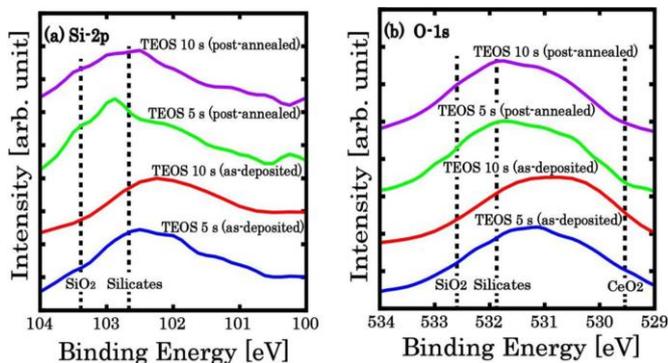


図4 XPS ナローズキャン

(2) TEM, TED, XRD による結晶性の評価

図5にTEM, TED, 図6にXRDの結果を示す。図5からTEOSを導入していない試料は熱処理の前後で格子像、回折スポットが見えているが、TEOSを導入した試料では格子像、回折像ともに現れていないことが分かる。つまりTEOSを導入することによって結晶化を抑制できたと考えられる。図6でも同様にTEOSを導入した試料ではピークが減少し結晶化を抑制できたと考えられる。

図6でTEOSの導入時間が長いほど、堆積直後、熱処理後ともにCeO₂(111)のピークが減少している。これはTEOSの導入時間が長くなることでTEOSがSi基板のサイトをCe(OCEt₂Me)₄より早く埋めてしまい、CeO₂の核形成を阻害するためではないかと考えられる。

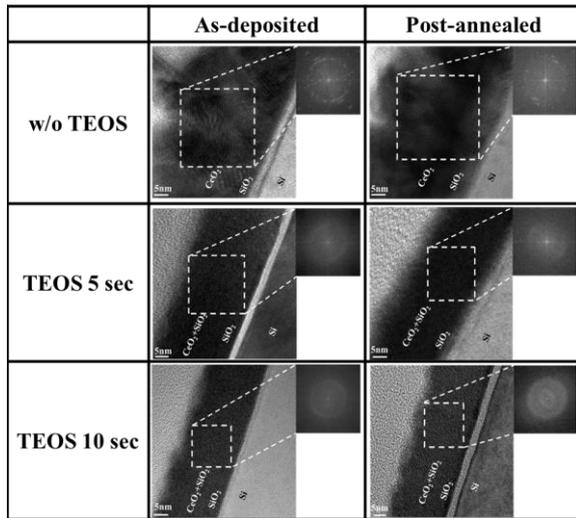


図5 TEM画像とTEDパターン

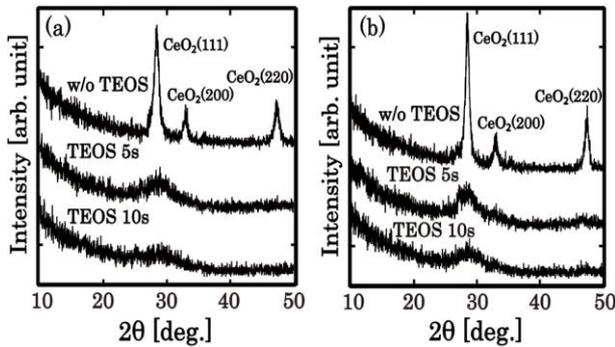


図6 XRDパターン(a): 堆積直後, (b): 熱処理後

(3) C-V測定による電気的特性の評価

図7に堆積直後、熱処理後のC-Vカーブを示す。図7から熱処理を行うことで、ヒステリシスは減少し、TEOSを導入することによってフラットバンド電圧がプラス側にシフトしたことがわかる。フラットバンド電圧のシフトはTEOS導入したことで薄膜の中にSiが混ざり可動イオンに変化が生じたためであると考えられる。また、誘電率は13近辺だった。ヒステリシスの減少は界面準位と固定電荷が熱処理によって減少したためであると考えられる。

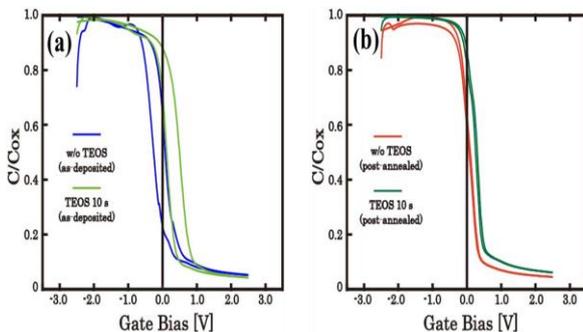


図7 C-Vカーブ (a): 堆積直後, (b): 熱処理後

4. 結論

TEOSを断続的に導入することによりp型Si(100)基板上にCeO₂/SiO₂複合酸化膜を形成することに成功した。TEOSの導入時間の差はCeO₂薄膜内のSiの含有量、分布膜厚に影響しなかった。これは、TEOSの分解プロセスがCeO₂堆積時に発生するH₂Oの量によって律速されるためである。CeO₂薄膜の結晶化はSiO₂を加えることによって抑制された。薄膜の誘電率は13近辺だった。

謝辞

本研究に当たり、ご指導ご鞭撻を賜りました山本康博教授をはじめ、研究を進めるに当たりご協力いただいた株式会社コメントの鈴木撰様、石橋啓次様、法政大学精密分析室の市原正樹様、原田義之様に感謝致します。またCVD班の古矢智也氏、菊地健介氏並びに山本研究室の皆様深く御礼を申し上げ謝辞とさせていただきます。

参考文献

- 1) H. Ohno, K. Sakurai, K. Tagui, T. Morita, S. Suzuki, K. Ishibashi, and Y. Yamamoto, *Electrochemical and Solid-State Letters* **9** (3) G87-G89 (2006)
- 2) K. Ishibashi, K. Nakamura, K. Tagui, M. Ogawa, K. Saitoh, S. Suzuki, and Y. Yamamoto *ECS Trans.*, **6** (1) 251-257 (2007)
- 3) E. Tagui, K. Nakamura, M. Ogawa, K. Saito, K. Ishibashi and Y. Yamamoto, *Electrochemical and Solid-State Letters* **10** (7) D73-D75 (2007).
- 4) M. Suda, M. Ogawa, K. Otsuka, K. Nakamura, T. Izu, T. Morita, S. Suzuki, K. Ishibashi, M. Nakamura and Y. Yamamoto, *Journal of The Electrochemical Society* **157** (2) D99-D102 (2010).
- 5) N. Tada, T. Izu, T. Kitaru, H. Shimada, S. Suzuki, K. Ishibashi, and Y. Yamamoto, *ECS Trans.*, **41**(3) 193-199 (2011)
- 6) Ha-Yong Lee, Sun-Il Kim, Young-Pyo Hong, Young-Cheol Lee, Young-Hwan Park and Kyung-hyun Ko, *Surface and Coatings Technology* **173** (2), 224-228 (2003).
- 7) Ha-Yong Lee, Young-Cheol Lee, Young-Pyo Hong and Kyung-Hyun Ko, *Applied Surface Science* **228** (1), 164-168 (2004).
- 8) Noriaki Yamada, Yukiko Oyama, Tohru Higuchi and Shu Yamaguchi, *Solid State Ionics* **172** (1), 293-297 (2004).
- 9) G.D. Wilk, R. M. Wallace, J. M. Anthony, *J. Appl. Phys.*, **87** (1), pp.484-492, January (2000).
- 10) H.Huppertz, W. L. Engl *IEEE Trans. Electron Devices* **26** (4) 658-662 (1979)
- 11) A. C. Adams, *VLSI Technology*, 2nd ed., S. M. SZE, Editor, p. 235, McGRAW-HILL, New York (1988)