法政大学学術機関リポジトリ

HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-07-12

ΔΣ構造を用いたGROTDCのノイズ低減に関す る研究

NAKAMURA, Yuki / 中村, 有輝

(出版者 / Publisher) 法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要.理工学・工学研究科編 / 法政大学大学院紀要.理工学・工 学研究科編

(巻 / Volume)
57
(開始ページ / Start Page)
1
(終了ページ / End Page)
5
(発行年 / Year)
2016-03-24
(URL)
https://doi.org/10.15002/00013050

Δ Σ 構造を用いた GROTDC の ノイズ低減に関する研究

RESEARCH ON QUANTIZATION NOISE REDUCTION OF GATED RING OSCILLATOR TDC USING A DELTA-SIGMA STRUCTURE

中村 有輝

Yuki NAKAMURA 指導教員 安田 彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

In this paper, a new Time-to-Digital Converter (TDC) using Gated Ring Oscillator (GRO) TDC and delta-sigma structure is proposed. This circuit has a third-order noise shaping by combining a second-order GROTDC and first-order delta-sigma structure. It can reduce the quantization error due to device mismatch. The proposed circuit improves SNR of 16 [dB].

Key Words: GROTDC, delta-sigma structure, noise shaping

1. 研究背景

Time-to-digital-converter(TDC)とは計測対象となる信号 の時間というアナログ情報を量子化してデジタル出力す るコンバータのことである.基準信号からイベント発生 までの時間や,2つのパルス間の時間などを測定できる.

近年の半導体プロセス技術の進歩により,集積回路の 電源電圧は低下し,電圧方向のアナログ情報を高精度に 取り扱う回路の設計は複雑さを益している.その一方で, プロセスの微細化に伴うトランジスタの応答速度の向上 により,時間方向において高い分解能を実現できるよう になり,時間方向のアナログ情報を取り扱う TDC に注目 が集まっている.

しかし、半導体プロセスの微細化により素子の製造ば らつきの影響を受けやすくなり、変換精度の劣化が生じ やすくなる.変換精度の劣化を防ぐ手法として、Gated Ring Oscillator (GRO) TDC がある.GROTDC は、変換誤 差にシェーピングをかけ、誤差を動作帯域外にシフトす る特性をもつ.

本稿では、変換精度の劣化を抑えることのできる GRO TDC と $\Delta \Sigma$ 構造を組み合わせ、TDC の誤差にかかるシェーピングを高次化することで変換精度の改善を測る.

2. 従来手法

(1) Buffer Delay Line (BDL) TDC

図1に Buffer Delay Line(BDL)TDCの回路図を示す. この回路は,n個の遅延素子とD-Flip-Flop(D-FF)で構成され,2つの入力信号の経路を持つ.スタート信号は遅延素子チ

ェーンに接続され、各遅延素子の出力は D-FF の入力端子 に接続されている. STOP 信号は D-FF の CLK 端子に直 接接続されている. 動作としては、まず START 信号が入 力され、遅延素子チェーンを通り、各遅延素子の出力が D-FF に入力される. 次に、STOP 信号が入力され、D-FF の CLK 端子に信号が入力される. これにより、遅延ベク トル D(1:L)は START 信号から Tin だけ遅れた STOP 信号 の立ち上がりエッジによって標本化される. 温度計コー ド出力 Q(1:L)は、START 信号の立ち上がりと STOP 信号 の立ち上がり間にある位相差の情報を持っている. また、 この温度計コード出力 Q(1:L)は単純なデジタル回路によ り 2 進数に変換される. この回路の時間分解能は遅延素 子単体の遅延 ta であり、入力される信号の範囲は次のよ うに表される.

$0 \leq Tin \leq n \times ta \tag{1}$

また、この回路の量子化ノイズ Qn は、STOP 信号が立ち 上がる直前に立ち上がった D-FF から STOP 信号までのパ ルス幅となり、次のように表される.

 $0 \leq Qn \leq ta$ (2)



(2) Gated Ring Oscillator (GRO) TDC

図2にGROTDCの回路図を示す.GROTDCはリング オシレータとカウンタで構成されており、リングオシレ ータを構成するインバータには制御端子が接続されてい る. Enable 信号が立ち上がっている間だけリングオシレ ータが発振し、その信号によってカウントすることによ り時間というアナログ情報をデジタル値に変換する.カ ウントしたパルスを Enable 信号で Counters をリセットし, それと同時にカウントされた値を出力する.この回路で は、遅延素子のゲートがオフからオンに変わると前回の オンのときの状態が保存されるため、次にオンに切り替 わると前回の状態から開始される.このため、前回の変 換時に発生した誤差を次回の変換時に減算するという特 徴を持つ.これにより,量子化誤差が低減する.オフか らオンに切り替わる点を T_start, オンからオフに切り替 わる時点を T_stop とすると, 入力信号 T_in は次式で表さ れる.

$$T_{in}[k] = T_{stop}[k] - T_{start}[k]$$
(3)

次に量子化された信号を *D_out*,発生する量子化誤差を*T_error* とすると入出力特性は次式で表される.

 $T_{in}[k] + T_{error}[k-1] = D_{out}[k] - T_{error}[k]$ (4)

また,(4)式をz変換すると,(5)式を得ることができる.

 $T_{in(z)} = D_{out(z)} T_{error(z)}(l + z^{-1})$ (5)

このことにより,量子化誤差に対し一次のノイズシェー ピングがかかる事が分かる.



図 2 GRO TDC

3. 提案手法に用いる基礎技術

(1) △∑変調器

基本となる1次のΔΣ変調器を図3に示す.



入力された信号は、ループによって実現された積分器 を通り量子化される.量子化された信号は、下のループ を通って入力との差分を取る.入力との差分はすなわち 誤差であるから、誤差のみ積分されることとなる.入力 を*X*,出力を*Y*,量子化器(比較器)での量子化誤差を*Q*と すると、入出力特性は次のように計算される.

$$Y(z) = X(z) + (1 - Z^{-1})Q(z)$$
(6)

これにより、入力信号はそのまま出力され、量子 化誤差だけに1次のノイズシェーピングがかかること が分かる.

(2) カスケード型ΔΣ変調器(MASH) カスケード型ΔΣ変調器を図4 に示す.



 $\Delta\Sigma$ 変調器は積分器を n 個接続することで,量子化誤 差に対し n 次のシェーピング特性が得られるが,システ ムが不安定になる.そこでカスケード型 $\Delta\Sigma$ 変調器が提案 されている.一段目は通常の $\Delta\Sigma$ 変調器となっており,二 段目には初段から発生した量子化誤差を入力として処理 し,再量子化を行う.このシステムの入出力特性は以下 の式で表される.

$$Y(z) = Z^{-2}X(z) + (1 - z^{-1})^2 Q^2(z)$$
(7)

(7)式より,入力信号は遅延されて出力され,量子化誤差だけに二次のノイズシェーピングがかかることが分かる.

4. 提案手法

カスケード構造を用いた GROTDC とΔΣ変調器の構 造を用いて、TDC の出力に発生する量子化誤差のノイズシ ェーピングを高次化させ、帯域内雑音を低減させる.た だし、TDC の場合は量子化するデータが位相(時間)な ので単純に減算・積分をすることができない.また、量 子化器として用いる GROTDC にはパルス波を入力する 必要があるため、通常の積分器を用いることができない. 下記に本研究での減算・積分の方法を示し、最後に全体 の回路図を示す.

(1)位相減算

図5 に2 つのパルスの位相を減算する回路図を示す. *IN* に入る信号はパルスで, *FB* には整数のデジタル値が入力 される.したがって *FB* をデジタル値に応じたパルス幅 を持つ信号に変更する必要がある.そこでデジタル値を Variable Time Delay に入力する.すると入力された値に よって *IN* のパルスが遅延する.次に S-R フリップフロ ップで *IN* をセット信号,遅延したパルスをリセット信号 にすることで, *FB* の値に応じたパルスを生成することが できる.生成されたパルス *Q* と *IN* とで比較演算を行い, *IN* のほうが大きければ *OUT*+に出力され,小さければ *OUT*-に出力される.*OUT*+と *OUT*-に分けて出力する理由 は,電圧ではないため負が表現できないからである.そ の様子は図6 に示す.



(2)積分器

図7 に位相積分の回路図,図8 に積分回数 n=5 の場 合のタイムチャートを示す. 位相情報を積分する場合に は、単純に加算することができない. また,GROTDC には パルス波を入力する必要があるため,通常の積分器を用 いることはできない. そこで,遅延器と OR 回路を用い て入力パルスを積分することで,積分器に近い特性を持 つ回路を用いる. n を積分する回数とすると,入力され たパルスに対して,位相が重ならないように1 周期と1/n 周期の遅延量で入力を遅延させ遅延させたパルスを次の 入力と OR 演算をする. そうすることで n 回分のパルス を積分することができる. ただし,入力できるパルス幅 と積分回数はトレードオフの関係にある. パルス幅が狭 いほど、パルスを積分することができる.この回路の入 出力特性は次のように表すことができる.

$$Y(z) = \frac{1 - z^{-(n+1)}}{1 - z^{-1}} \tag{8}$$

(8)式から,積分回数 n を大きくすることで通常の積分器の入出力特性とほぼ等しくなる.



(3) カスケード型 2次 GROTDC

図9にカスケード型2次 GROTDC のシステム図を示 す.GROTDC はカスケード構造を用いることでノイズシ ェーピングを高次化することができる.初段のGROTDC で発生する量子化誤差を,後段のGROTDC に入力してい る.初段で発生する量子化誤差はカウント値として出て くるが,GROTDCの入力はパルスである必要があるため, 後段に入力する前に三角波と比較してパルスに変換して いる.このシステムの入出力特性は以下の式で表される.

$$Y(z) = Z^{-2}X(z) + (1 - z^{-1})^2 Q^2(z)$$
(6)



提案するシステムを図10に示す.



図 10 提案システム

基本的には $\Delta \Sigma$ 変調器の構成と同じであるが,量子化器 にカスケード型 2 次 GROTDC を用いている. $\Delta \Sigma$ 変調器 は 1 次のノイズシェーピング特性,カスケード型 2 次 GROTDC は 2 次のノイズシェーピング特性を持っている ため、全体では 3 次のノイズシェーピング特性を持つこ ととなる.

位相減算器の出力は正のパルスとして扱う OUT+と負 のパルスとして扱う OUT-があるので図 10 のように分け て回路を構成する必要がある. GROTDC で量子化された 段階でデジタル値になるので,正のパルスと負のパルス を加算することができる. その出力を位相減算器 にフィ ードバックする.

また,量子化器の後段にゲインをつけているが,これ は積分器で積分できるパルスはn回なのでn+1回目には 1回目のパルスが捨てられてしまうためである.ゲイン の値 αは 1/n 毎に小さくしていく.一番始めに入力され たパルスはフィードバックされたデジタル値は0である ためパルス幅が広いまま積分器に入力されることになる. このパルス幅の広い信号が積分回数の上限を超えて捨て られることになると GROTDCの出力は値が小さくなっ てしまう.すると,次の位相減算時にパルス幅の広い信 号が積分器に入力される.したがって,n+1[s]の周期で この現象が起こるため非常に不安定になってしまう.

そこで GROTDC の出力にゲインをつけ,古い入力ほど 小さい値にすることでパルスが捨てられたときの影響を 低くしている.

5. シミュレーション結果

シミュレーションは MATLAB/simulink を使用した. シ ミュレーション条件を表1に示す.

入力 周波数 [Hz]	サンプリン グ周波数 [Hz]	信号 帯域 [Hz]	入力の 積分回数	OSR
1.23×10 ⁻³	1	1.56×10 ⁻³	5	64

表1 シミュレーション条件

次に,出力波形を図 11 に,出力波形の FFT 解析結果を図 12 に示す.



図12より,提案回路では,ノイズシェーピングが高次化 されているのが分かる.従来手法である1次 GROTDC で は,信号/雑音比(SNR)が 48[dB],カスケード型2次 GROTDC では58[dB],提案システムでは64[dB]となっ た.

6. 結論

本稿では、TDC の量子化雑音を改善する手法を検証し てきた.まず、GROTDC で1次のノイズシェーピングを 確認した.次に、カスケード構造をGROTDC に用いて、ノ イズシェーピングを高次化した.更に、 $\Delta \Sigma$ 変調器の構成 とカスケード型2次 GROTDC を組み合わせることで、更 なるシェーピングの高次化をし、量子化雑音の低減を測 った.結果として、従来手法と比較して、SNR が約16 [dB] 改善した.

これらの回路の有効性は、MATLAB/simulink を用いて シミュレーションを行うことで確認した.

謝辞:本稿を作成するにあたり,多大なる協力,ご指導 をいただきました,安田彰教授に多大なる感謝をこの場 をお借りしまして申し上げます.また,ともに所属され ている半導体システム工学研究室の学生の皆様にも多く の助言があり,本稿が作成できたことも感謝申し上げま す.

参考文献

 1)渡辺菜津美,井岡恵理,松谷康之:ゲーテッドリングオシ レータを用いた TDC 回路の検討,電子回路研究会 2011 年 1月. Kazuya Kobayashi, Yusuke Fukazawa, Akira Yasuda: Noise reduction of TDC by using a GROTDC and a noise shaping structure, IEEJ Int'l Analog VLSI Workshop, 2010.