

SiC基板上へのグラフェン膜形成とデバイス特性

SHIINA, Yusuke / 椎名, 裕亮

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

57

(開始ページ / Start Page)

1

(終了ページ / End Page)

3

(発行年 / Year)

2016-03-24

(URL)

<https://doi.org/10.15002/00013033>

SiC 基板上へのグラフェン膜形成とデバイス特性

GRAPHENE GROWN ON SiC SUBSTRATES AND DEVICES CHARACTERISTICS

椎名 裕亮

Yusuke SHIINA

指導教員 中村徹

法政大学大学院理工学研究科電気工学専攻修士課程

We investigated the epitaxial graphene films grown on SiC with CF_4 plasma treatment and examined basic study of graphene devices. The surface roughness of the graphene films is reduced from 1.38 nm RMS to 0.53 nm RMS and carrier mobility of the graphene films is increased from $320 \text{ cm}^2/Vs$ to $1960 \text{ cm}^2/Vs$ by CF_4 plasma treatment, respectively. Raman mapping (2D-FWHM) showed that the epitaxial graphene grown on SiC treated by CF_4 plasma was more homogeneous than the one without CF_4 plasma treatment. The epitaxial graphene devices on SiC exhibited the ambipolar characteristics.

Key Words : graphene, SiC, CF_4 plasma

1. はじめに

今日の社会情勢の中では人口増加や生活水準の向上によって、電気の役割はますます大きくなっている。スマートフォンやタブレットなど、IT革新による高度情報化社会の進展により、産業、生活のあらゆる面で電力が必要である。また、リッチコンテンツ化やビッグデータに代表されるように、我々は膨大な情報量を処理しており、情報量はますます増えるだろう。一方で、地球環境保護の点から CO_2 排出削減や節電などコスト削減が叫ばれており、より高性能かつ低消費電力なデバイスが求められる。あらゆる電気機器に搭載されている半導体デバイス材料の中で、現在最も用いられているのはシリコン(Si)であるが、すでにその物性定数から低損失やパワーエレクトロニクスとしての性能向上には限界を迎えている。そこで、Si以外の半導体材料を用いたデバイスが重要視され、より高耐圧、高速化、低損失なデバイス研究が盛んに行われている。その中で、発見されてから10年程度の炭素系半導体材料「グラフェン」が高速化へ期待されている。グラフェンとは炭素原子が2次元上に並んだ物質、すなわち厚さ1原子分の炭素膜である。グラフェンの優れた特徴の一つとしてキャリア移動度が非常に高い。キャリア移動度は、室温でもSiの10倍から100倍以上もあり[1]、トランジスタの高周波に対する特性を著しく向上させることができる。Siなどで高い周波数で動作させようとすると、駆動電圧を上げたりして発熱の問題が避けられないが、移動度の高い材料を使えば、低電圧で高周波数を実現できる。グラフェントランジスタの狙いは動作周波数である。

しかし、このグラフェンの性質を利用した半導体デバイスの研究はまだ基礎研究の段階である。デバイス化の課題として、(1)プロセス技術の確立、(2)オンオフ比の向上、(3)動作特性の向上、(4)作製方法の確立など、基本的な問題を多く含んでいる。グラフェンを用いた半導体デバイス作製を考慮し、様々な手法でグラフェン形成が図られている。その中で、SiCを高温で加熱する手法はSiC表面のSiを昇華させることで、表面に残った炭素原子が結合し、SiC上にグラフェンが形成される。この方法では、理論上SiCウェハスケールでグラフェンを作製でき、Siデバイスプロセス技術を応用できる利点がある。

この手法によるグラフェン形成にはSiC熱処理が必要であるが、その際にSiC表面にステップパンチングが発生し、表面が荒れてしまう。一方で、これらの欠点を補い表面荒れを抑制する手法としてプラズマ処理がある。マイクロステップの形成原因として、XPSにおいてO1sシグナルが観測されたことから、SiCの表面に残留酸化物の存在が示唆され、それらを CF_4 プラズマによって除去する手法である[2]。

本研究では、熱処理前に CF_4 プラズマ処理を施し、表面荒れを低減させたグラフェン膜の構造を調査する。またグラフェン膜の特性改善を目的とする。最後に、作製したグラフェンを電界効果トランジスタ(FET)のチャネルへ利用し、グラフェンFETを作製する。

2. 実験

試料には米国 CREE 社製 Semi-Insulating 4H-SiC(0001) 基板を用いた。まず ICP ドライエッチング装置を用い、RF 印加電力 400 W、基板バイアス 0 W、CF₄ ガス 30 sccm、圧力 0.4 Pa の条件で、SiC 基板に 1 分間のプラズマ処理を行った。その後、高周波加熱式小型アニール装置 (RF 炉) を用いて SiC 基板上にグラフェン膜を形成した。グラフェン膜形成は 1500°C で Ar 雰囲気 (10 kPa) 30 分で行った。ここでグラフェン膜の表面粗さには原子間力顕微鏡 (AFM) を用いて、グラフェン層数の分布にラマン分光法を用いて、電気的特性に Hall 測定を用いて評価した。

次にグラフェン FET 作製のため、デバイス間アイソレーションとして、金属をマスクとして、グラフェン膜の一部を O₂ プラズマで除去した。O₂ プラズマ発生には ICP ドライエッチング装置を用いて、200 W、酸素ガス 15 sccm、圧力 0.3 Pa のもとで 1 分間行った。続いて、E-GUN 真空蒸着装置にて Ti/Al を 10/150 nm の厚さで堆積し、リフトオフによってソース/ドレイン電極を形成した。ゲート絶縁膜として SiO₂ をマグネトロンスパッタリング装置にて厚さ 50 nm 堆積した。用いたスパッタ条件は RF パワー 300 W、スパッタガス Ar、処理室内圧力 0.8 Pa である。最後に E-GUN 真空蒸着装置にて Ni/Al を 10/150 nm の厚さで堆積し、ゲート電極を形成した。作製したグラフェン FET のデバイス断面構造図 1 に示す。

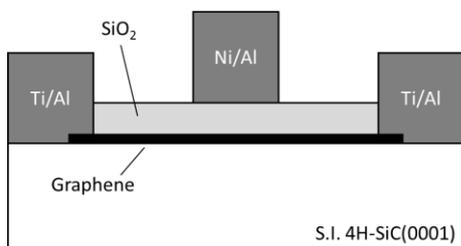


図 1 SiC 基板上グラフェン FET の断面図

3. 結果

図 2 に AFM による SiC 基板上グラフェン膜の表面形状図を示す。1500°C にて形成した SiC 基板上グラフェン膜 (a) はステップバンチングを起しており、表面が荒れている。対して、プラズマ処理を施した試料 (b) はステップバンチングが抑制し、グラフェン膜の凹凸も減少した。その RMS 値は 1.38 nm から 0.53 nm へとおよそ半減させることができた。

次にラマン分光法による SiC 基板上グラフェン膜のマッピング画像を図 3 に示す。マッピング画像は 2D バンド半値幅 (FWHM) で表し、FWHM が広い領域を赤く (80 cm⁻¹)、狭い領域を青く (40 cm⁻¹) 示した。1500°C にて形成

したグラフェン膜 (a) は青、緑の領域がほとんどを占めており、その半値幅から 1~2 層グラフェンができている。対して、プラズマ処理を施した試料 (b) の FWHM はそのほとんどが青い領域となり、ほぼ全面に 1 層グラフェンが形成された。これらのことからプラズマ処理によって、ステップバンチングが抑制され、グラフェン層数をより均一化することができた。

次に Hall 測定により得られた SiC 基板上グラフェン膜の電気的特性を図 4 に示す。プラズマ処理を施すことで、シートキャリア濃度が減少し、移動度を 5 倍以上増加させることができた。これは 1500°C にて形成したグラフェン膜は 1~2 層のグラフェンが含まれ不均一であったため移動度が低く、プラズマ処理によってグラフェン層数がより均一化したことで移動度が増加した。

最後に作製したグラフェン FET のドレイン電流-ゲート電圧特性を図 5 に示す。この特性はゲート長 10 μm、ゲート幅 100 μm のものである。ゲート電圧によるドレイン電流の双方向への増加が確認できたので、グラフェンを用いたトランジスタとして動作したとみてとれる。

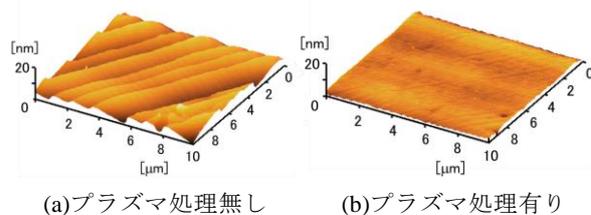


図 2 SiC 基板上グラフェン膜の表面形状

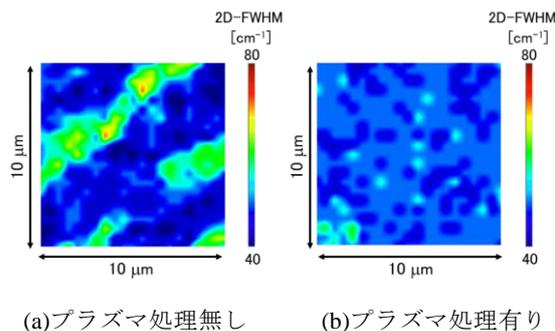


図 3 2D-FWHM ラマンマッピング

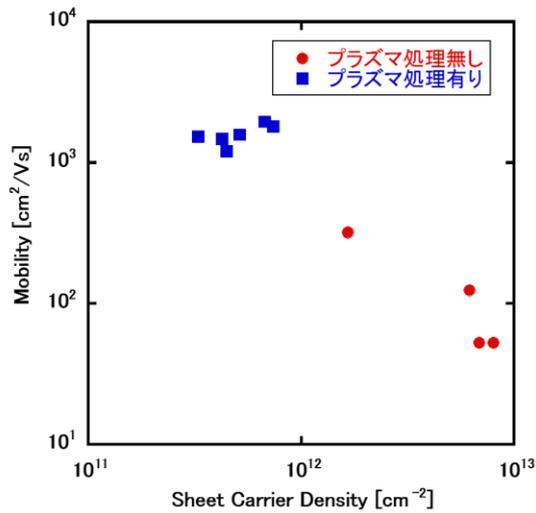


図 4 Mobility vs Sheet Carrier Density

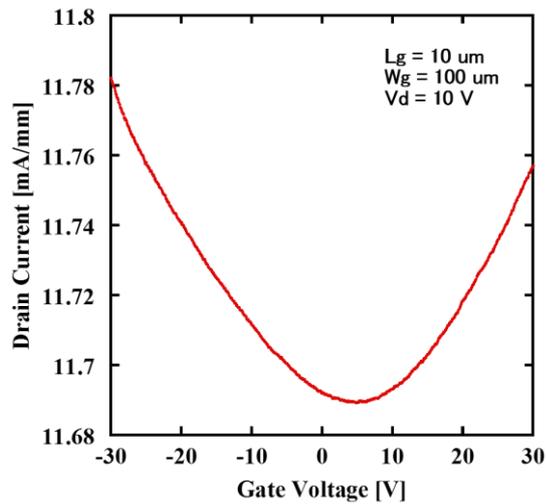


図 5 Id-Vg 特性

4. 結論

CF₄プラズマ処理を SiC 基板に施すことで、高温熱処理時に発生するステップバンチングを抑制し、RMS 値を 1.38 nm から 0.53 nm へと約半減させることができた。表面荒れを抑制したことで、高温熱処理で形成されたグラフェンの層数がより均一化し、そのシートキャリア濃度は約 1 桁減少、移動度は 5 倍以上増加させることが出来た。グラフェンを用いて FET を作製し、トランジスタ動作を確認することが出来た。今後はグラフェンのバンドギャップを広げる等により、さらなる特性の改善が期待できる。

謝辞：本研究を進めるにあたりご指導くださいました、法政大学中村徹教授、法政大学イオンビーム工学研究所西村智朗教授に感謝いたします。また、本研究に対してご協力くださいました、中村徹研究室の皆様へ感謝いたします。

参考文献

- 1) S. V. Morozov, K. S. Novoselov, M. I. Katsunelson, F. Schedin, D. C. Elias, J. A. Jaszczak and A. K. Geim, Phys. Rev. Lett, **100**, 016602-1-4 (2008).
- 2) T. Sugimoto, M. Satoh and T. Nakamura, Materials Science Forum, **645-648**, 783-786, Apr. (2010).