

# ノイズシェーピング構成とミスマッチシェー パーを用いたバックグラウンドキャリブレーション型パイプライン ADC

黄, 弋 / KOU, Yoku

---

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

57

(開始ページ / Start Page)

1

(終了ページ / End Page)

5

(発行年 / Year)

2016-03-24

(URL)

<https://doi.org/10.15002/00013030>

# ノイズシェーピング構成とミスマッチシェーパーを用いたバックグラウンドキャリブレーション型パイプライン ADC

## A PIPELINED ADC USING BACKGROUND CALIBRATION WITH MISMATCH SHAPER AND NOISE SHAPING ARCHITECTURE

黄 弋

Yoku KOU

指導教員 安田 彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

We propose a background calibration technique for a pipeline ADC, which uses an error feedback to realize a band-pass noise shaping and a correlation operation to detect mismatches with a noise shaping dynamic element matching method to realize a high pass mismatch shaping. The detection accuracy and speed can be improved. At the same time, it is possible to realize a noise shaping type pipelined ADC. When the proposed method is applied to a 12-bit pipelined ADC, the simulation results show improvements of 38dB in the SNDR.

**Key Words** : pipelined Analog to Digital Converter, capacitor mismatch, background digital calibration, Noise Shaping Dynamic Element Matching

### 1. はじめに

科学技術の著しい発展や半導体素子の微細化に伴い、アナログデジタル変換器に対しては“変換精度”と“変換速度”の向上が求められている。パイプライン型 ADC は、この両方を満足する高速、高精度な ADC として、広く認知されている。しかしながら、パイプライン型 ADC の内部マルチプライ DAC (MDAC) を構成するキャパシタの製造上のばらつきにより、容量値にミスマッチが生じる。キャパシタは複数用いられるため、容量値のミスマッチに起因する変換精度の劣化は、避けられない問題である。高精度変換を実現するためには、キャリブレーション技術やトリミング技術が必要である [1]。

キャリブレーション手法として入力信号にランダムディザを加え、相関演算によりミスマッチを検出し、校正する手法は良く使われている。しかし、ディザは入力信号に直接に加えたため、入力信号振幅が減少してしまう。また、検出するまでの収束時間が長いという欠点がある [2]。

本論文では、ノイズシェーピング・ダイナミック・エレメントマッチング法 (NSDEM) を用いた DAC で、ミスマッチによる誤差成分にハイパス (HP) ミスマッチシェーピングをかける。一方、パイプライン ADC の終段ステージにエラーフィードバック経路 [3] を追加することで量子化雑音にバンドパス (BP) ノイズシェーピングをかけ、高精度かつ高速にミスマッチによる誤差検出を行いながら、変換が可能なバックグラウンドキャリブレーション手法を提案

する。

### 2. パイプライン ADC の構成と誤差

#### (1) 一般的なパイプライン ADC の構成

図 1 は一般的なパイプライン ADC のモデルである。パイプライン ADC は内部 ADC、サブトラクタ、係数アンプで構成されるステージを直列に接続することで構成される。各ステージの bit 数の合計が全体の bit 数となる。サンプルされた入力信号は内部 ADC により量子化され、デジタル信号として出力される。続いて内部 DAC によりアナログ信号に変換されたデジタル信号と入力信号との差分を

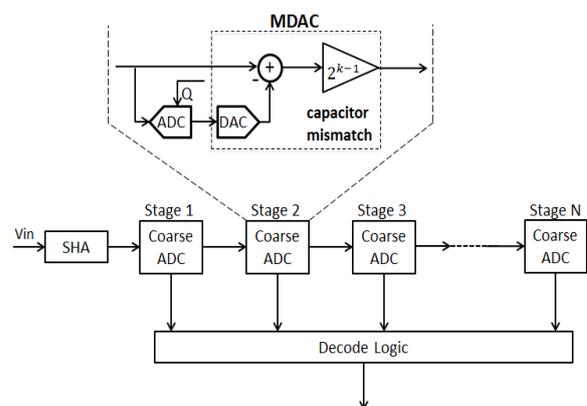


図 1 一般的なパイプライン ADC の構成

サブトラクタでとり、係数アンプを介して次のステージへと残差を出力する。残差に対し、次のステージの bit 構成に応じて同様の変換が行なわれ、更に次のステージへと残差を出力する。また、前ステージでは次にサンプルされた入力信号の変換を同様の手順で実行する。最終的な ADC 全体としてのデジタル出力は、全ステージのデジタル出力によって生成される。このようにパイプライン ADC は各ステージが異なった入力信号を処理する直列動作を行うことにより、各ステージの変換速度を上げ全体の変換速度の高速化が可能となる。

### (2) パイプライン ADC における誤差

図 1 で示したパイプライン ADC を構成する内部素子は製造ばらつきによる誤差を持ってしまう。誤差はパイプライン ADC の内部 DAC の非線形性や内部ステージのゲインエラーとして現れる。これらの誤差は変換動作時に後ステージへ伝搬し、全体出力に影響を与える。変換精度を高めるには誤差を検出し、キャリブレーションを行うことが必要となる。

一般的なパイプライン ADC は図 2 に示すような内部 DAC、減算器、係数アンプの機能を一体とした Multiple DAC (MDAC) が用いられる。図 2 の MDAC では、すべてのキャパシタの値はそれぞれ等しい。しかし実際は製造ばらつきによりミスマッチが発生してしまう。このキャパシタミスマッチの影響は図 3 に示したステージ出力に現れる。ミスマッチは次のステージに伝搬し、最終的なデジタル出力に現れる。これらのミスマッチを取り除くためにはそれぞれのキャパシタミスマッチを検出し補正しなければならない。

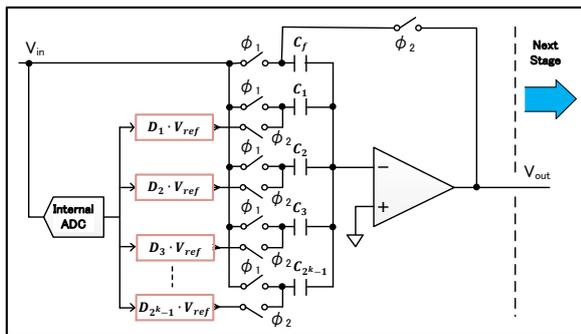


図 2 一般的な k-bit MDAC の構成

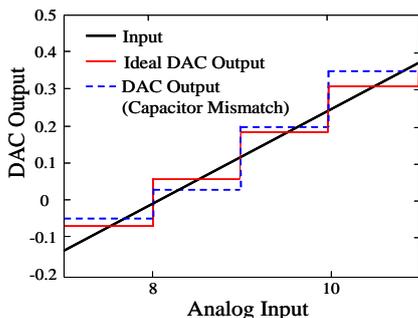


図 3 MDAC の入出力

## 3. 従来の誤差検出法

### (1) デジタルキャリブレーション

近年、トリミング技術などのキャリブレーションと比べて、デジタルキャリブレーションが多く用いられている。デジタルキャリブレーションは、デジタル信号処理 (DSP) による演算を行うことで、様々な環境に適応した、キャリブレーションを行うことが可能なためである。デジタルキャリブレーションは、フォアグラウンドキャリブレーションとバックグラウンドキャリブレーションに分けられる。図 4 に 2 つのキャリブレーション方法の違いを示す、フォアグラウンドキャリブレーションは誤差検出モードと動作モードに分けられる。正常動作を行う前に、誤差検出モードで誤差を検出し、その後動作モードに切り替え、変換処理を行う。そのため、変換の前に、誤差検出時間を設ける必要があり、立ちあがってすぐの動作に不向きである。一方、バックグラウンドキャリブレーションは、正常動作と並行して、誤差検出と補正を行う。しかし、収束時間が長い欠点がある。これは、パイプラインの演算中に誤差検出をするため、量子化雑音を検出精度に影響を与えるためである。

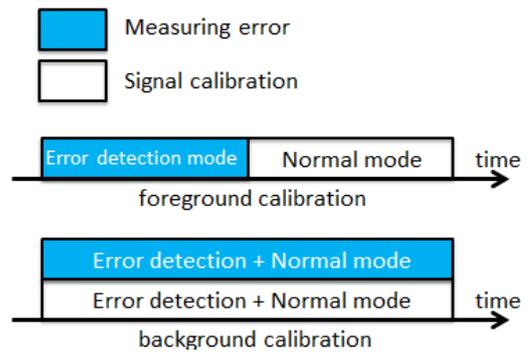


図 4 デジタルキャリブレーション

### (2) ノイズシェーピングと相関演算を用いた誤差検出法

デジタルフィルタと相関演算を組み合わせた誤差検出方法は、入力オフセットの影響を抑えた誤差検出が可能であるが、量子化誤差の影響により、検出精度が劣化する問題点があった。そこで、量子化ノイズにノイズシェーピングをかけることで、検出帯域の量子化ノイズを低減し、検出精度を向上させる手法が提案されている [4]。

この手法のブロック図を図 5 に示す。内部 ADC に  $\Delta\Sigma$  変調器を用いることで、任意の帯域にノイズシェーピングをかけることができる。このシステムにおいては、量子化ノイズにローパス特性を持たせることで高域の量子化雑音を低減させ、高域を検出帯域としている。ランダムな DAC 誤差とランダムな出力との相関を取ることで、高域のミスマッチ量を検出し、高精度なバックグラウンド誤差検出を実現する。

しかし、 $\Delta\Sigma$  ADC を用いているため回路規模の増大や、オーバーサンプリングにより変換速度が低下する欠点があ

った。

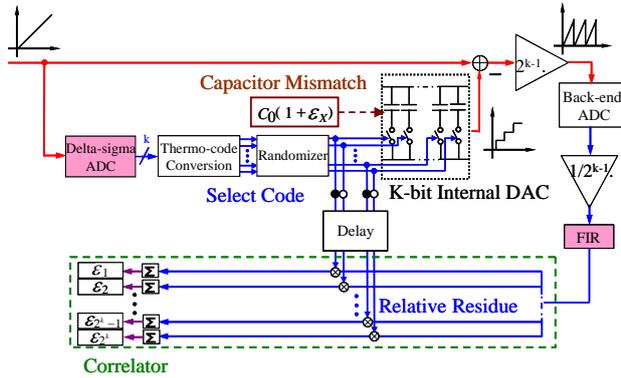


図5 従来手法1

### (3) エラーフィードバック構造+NSDEM

次に、パイプライン ADC のステージ1 とステージ2 をエラーフィードバック構成することで、全体出力の量子化雑音に2次ローパス特性を与えた手法を図6に示す[5]。これらのシステムは、前段の信号をデジタルフィルタによって処理することで、高次のノイズシェーピング特性を得られるようしている。図7にこのシステムを用いた場合の量子化ノイズとミスマッチ誤差の周波数特性を示す。さらに、DAC のキャパシタミスマッチに対して、NSDEMを用いることで、ミスマッチ誤差にハイパス特性を与える。つまり、量子化ノイズとミスマッチに対してそれぞれ別の周波数特性を与えることで、検出精度と検出時間の向上を行っている。しかし、低域の量子化ノイズが多く、初段にエラーフィードバック構成を用いているため、変換精度の劣化が懸念され、バックグラウンドキャリブレーションに用いにくい構成であった。

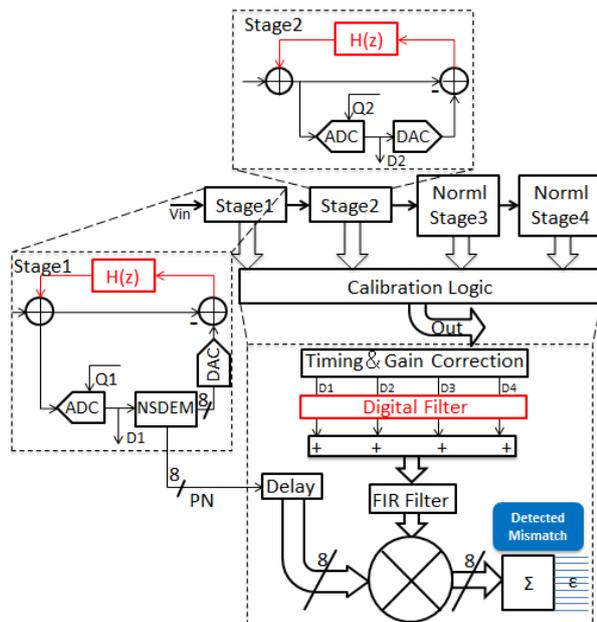


図6 従来構成2

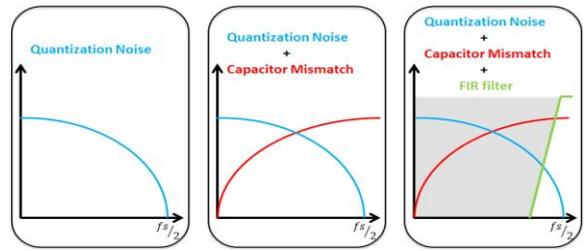


図7 従来手法2の周波数スペクトラム

## 4. 提案手法

### (1) 提案手法1

図8に、本論文で提案する1番目のバックグラウンドキャリブレーションパイプライン ADC を示す。ここでは、4段構成のマルチビットパイプライン ADC の構成を用いている。パイプライン ADC は“Stage1”から“Stage4”と“Calibration Logic”で構成される。最終段の“Stage4”にエラーフィードバック構成を用いて、1次のハイパス特性とローパス特性を持たせている。パイプライン ADC の全体出力に影響が少ない最終ステージをエラーフィードバック構成にすることで、フィードバック係数の精度によるシェーピング劣化が生じず、性能への影響が少ない[6]。また、初段“Stage1”の内部 DAC に NSDEM を用いることで、ミスマッチに2次のハイパス特性を持たせている。

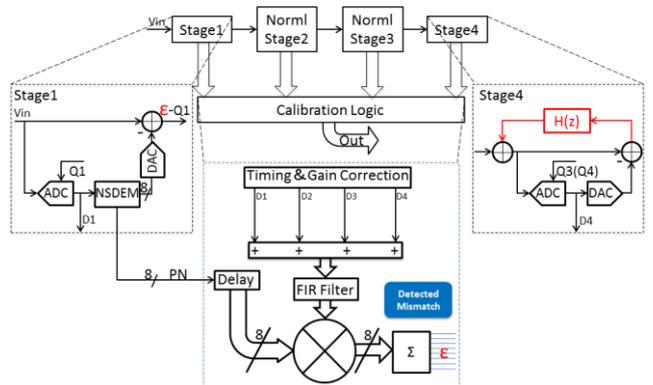


図8 提案手法1のバックグラウンドキャリブレーションパイプライン ADC

図9のように、量子化ノイズに1次のハイパスとローパスの特性を持たせることで、NSDEMによりミスマッチ検出の精度と検出時間を向上させたまま、1次ノイズシェーブ型のパイプライン ADC として変換を行うことが可能である。しかし、ハイパスとローパスの特性を同時に加えているため、ハイパス及びローパスシェーピング特性はそれぞれ3dB劣化する。パイプラインの全体出力は

$$D_{out} = V_{in} + (1 - z^{-2}) \frac{Q_4}{G^3} \quad (1)$$

となる。“Stage1”のから“Stage3t”までの量子化雑音が消され、全体の出力は入力信号プラス1次ハイパスと1次ローパス特性を与えた“Stage4t”の量子化雑音になる。

FIRフィルタでナイキスト周波数付近のキャパシタミスマッチのみを検出し、相関演算を行うことで、高精度かつ短時間にキャパシタミスマッチの検出を実現することが可能である。

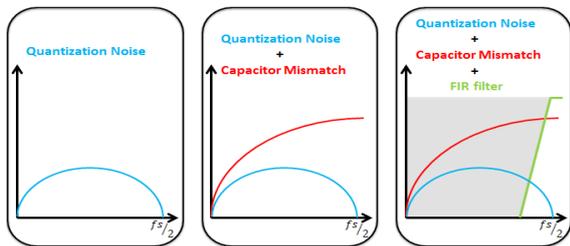


図9 提案手法1の周波数スペクトラム

(2) 提案手法2

図10に、本論文で提案する2番目のバックグラウンドキャリブレーションパイプラインADCを示す。ここでは、4段構成のマルチビットパイプラインADCの構成を用いている。パイプラインADCは“Stage1”から“Stage4”と“Calibration Logic”で構成される。“Stage3”と“Stage4”にエラーフィードバック構成を用いて、さらに“Stage4”の出力にデジタルフィルタを用いることで、2次のハイパス特性と1次ローパス特性を持たせている。また、初段“Stage1”の内部DACにNSDEMを用いることで、ミスマッチに2次のハイパス特性を持たせている。パイプラインの全体出力は

$$D_{out} = V_{in} + (1 - z^{-1})(1 - z^{-2}) \frac{Q_4}{G^3} \quad (2)$$

$$= V_{in} + (1 - z^{-1})^2 (1 + z^{-1}) \frac{Q_4}{G^3}$$

となる。“Stage1”から“Stage3”までの量子化雑音が消され、全体の出力は入力信号プラス2次ハイパスと1次ローパス特性を与えた“Stage4”の量子化雑音になる。

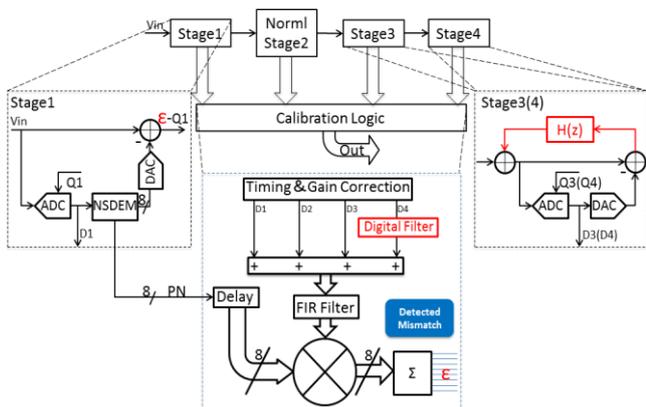


図10 提案手法2のバックグラウンドキャリブレーションパイプラインADC

図11のように、量子化ノイズに2次のハイパスと1ローパスの特性を持たせることで、NSDEMによりミスマッチ

検出の精度と検出時間を向上させたまま、2次ノイズシェープ型のパイプラインADCとして変換を行うことが可能である。

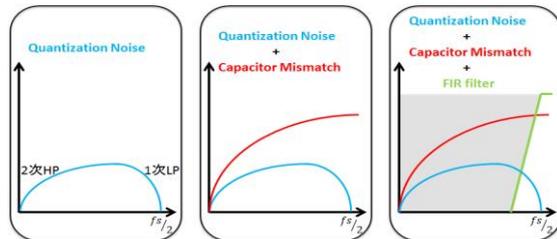


図11 提案手法2の周波数スペクトラム

5. シミュレーション結果

図8と図10に示すシステムブロックをMATLAB/simulinkによりシミュレーションを行った。またすべてのステージは3bit構成とし、全体の分解能を12bit構成とした。

初段のみMDACにキャパシタミスマッチを±1%与えた。“Calibration Logic”では、パイプライン型ADCから得られた出力と、初段のNSDEMの選択信号で相関演算を行うことで、キャパシタミスマッチを検出する。

表1に示す条件でシミュレーションを行った。

表1 シミュレーション条件

ミスマッチ	1段目に1%
入力周波数	0.0625 fs
検出帯域	0.45-0.5fs
入力信号周波数帯域	0-0.125fs
OSR	8

図12と図13には2つの提案手法の補正前の出力スペクトラム(青)と補正後の出力スペクトラム(赤)を示した。補正前の出力スペクトラムは、NSDEMを用いてシェーピングをかけたことによる、ミスマッチの影響が支配的なのがある。補正後の出力スペクトラムでは、ハイパスとローパス特性の量子化雑音が支配的であることが確認できる。

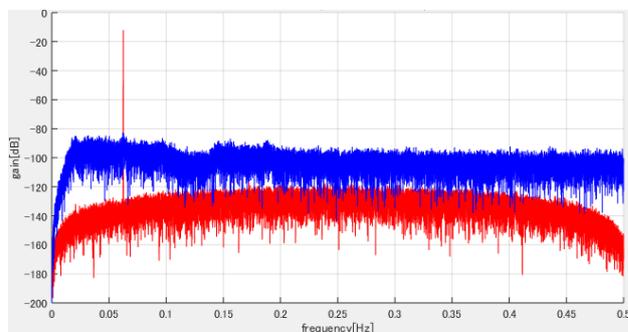


図12 提案手法1の補正前後の出力FFT

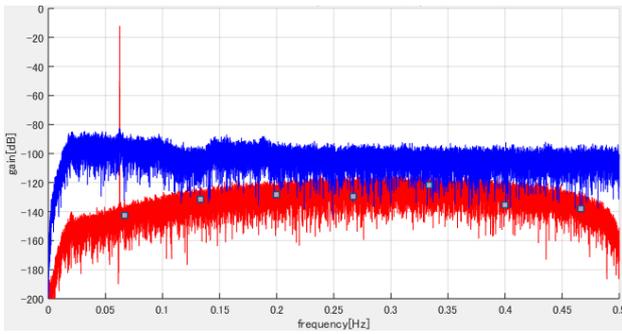


図 1-3 提案手法 2 の補正前後の出力 FFT

表 2 および表 3 に提案手法 1 と 2 での SNR と有効ビット数 (ENOB) の理論値と補正前後結果の比較を示す。

全体 12bit 構成のパイプライン ADC を 8 倍オーバーサンプリングしているため, 提案手法 1 での SNOB は約 13.7bit になる。提案手法 2 での SNOB は約 14.2bit になる。

表 2 シミュレーション結果(提案手法 1)

	Ideal	With mismatch	After calibration
SNR	85.9 dB	46.9 dB	84.4 dB
ENOB	14.0bit	7.5 bit	13.7 bit

表 3 シミュレーション結果(提案手法 2)

	Ideal	With mismatch	After calibration
SNR	88.9 dB	46.9 dB	86.6 dB
ENOB	14.5bit	7.5 bit	14.2 bit

また従来手法[5]では検出帯域の量子化雑音に 2 次ハイパスシェーピング特性を持たせたため, 提案手法より検出速度は速い。提案手法の検出時間は約 1900 クロックで, 許容範囲以内と考える。

## 6. まとめ

本論文では, エラーフィードバック構成と NSDEM を用いて, DAC のキャパシタミスマッチをバックグラウンドキャリブレーションにより補正できるパイプライン ADC 構成法を提案した。

量子化ノイズにハイパスとローパスの特性を持たせることで, NSDEM によりミスマッチ検出の精度と検出時間を向上させたまま, ノイズシェーブ型パイプライン ADC を実現した。MATLAB/Simulink によるシミュレーションによって, 提案手法の有効性を確認した。

本手法では, 従来手法で必要であった  $\Delta\Sigma$  型 ADC が不要であり, アナログ回路の不完全性に対する感度が高い初段にエラーフィードバック構成を用いる必要も無い。このため, より容易にパイプライン ADC の高精度化を実現できる手法である。

## 7. 謝辞

本研究を行うにあたり, 大変貴重なお時間を割いて, 研究を進めるに上で懇切なるご指導をいただきました安田彰助教授に厚く御礼申し上げます。半導体システム工学研究室の皆様にも数々のご協力, 助言を頂き, 本稿が作成出来た事にも感謝申し上げます。

## 文 献

- 1) Andrea Panigada, Ian Galton: "Digital Background Correction of Harmonic Distortion in Pipelined ADCs" IEEE Transactions On Circuits And Systems I:Regular Papers, vol. 53, no. 9, pp. 1885-1895, Sep. 2006.
- 2) Y.-S.Shu and B.-B.Song "A 15-bit linear 20-MS/s pipelined ADC digitally calibrated with signal-dependent dithering" IEEE Journal of Solid-State Circuits, vol. 43, pp. 342-350, Feb. 2008.
- 3) Z. Chen, et al. "Noise Shaping Implementation in Two-Step/ SAR ADC Architectures Based on Delayed Quantization Error" 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS 2011), pp.1-4, Aug. 2011.
- 4) Yoshimasa Serizawa; Akira Yasuda; Jun Tayama "A New Background Calibration Method Using Noise Shaping for Precise Mismatch Detection of a Pipeline" IEEE AVLSIWS2006, ADC I, No.2, pp.1-5, Nov. 2006.
- 5) Takahisa Kawabe, Satoshi Saikatsu, Michitaka Yoshino, Akira Yasuda "Background Calibration Tehnique for a Pipelined ADC Using a Noise-Shaping and Feedback Structre" IEEEJ 2013 International Analog VLSI Conference (AVIC'13), pp.64-68, Oct.2013.
- 6) 安田 彰, 和保 孝夫 監訳 "ΔΣ 型アナログ/デジタル変換器入門" 丸善出版.