

差動注入トランジスタを用いた広同期範囲 5GHz 帯注入同期型分周器

戸賀崎, 悠介 / TOGASAKI, Yusuke

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編 / 法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

57

(開始ページ / Start Page)

1

(終了ページ / End Page)

4

(発行年 / Year)

2016-03-24

(URL)

<https://doi.org/10.15002/00013021>

差動注入トランジスタを用いた 広同期範囲 5GHz 帯注入同期型分周器

A 5GHz INJECTION LOCKED FREQUENCY DIVIDER
WITH A DIFFERENTIAL INJECTION TRANSISTOR

戸賀崎悠介

Yusuke TOGASAKI

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

PLL is one of important circuit in RF circuits. PLL is composed prescaler is large power consumption. Injection-Locked-Frequency-Divider (ILFD) is prescaler for suppressing power consumption. But, ILFD has narrow locking range so operation range is limited. In this paper, we propose method to expand locking range of ILFD is inserted differential transistor to injection lock between ring oscillator outputs, injecting the same signal to tail transistor.

Key Words : Injection Locked Frequency Divider, Ring Oscillator, RF, CMOS

1. 序論

IoT 時代を迎え、無線を用いた通信が非常に盛んである。通信デバイスも身に付けて持ち歩けるように小型化の傾向がある。これに伴い、システムがワンチップで構成されるようになってきている。また、持ち運ぶデバイスなので消費電力が課題である。ワンチップでシステムを構成する上で、AD/DA のクロック生成やミキサの局部発振器を構成するために PLL 回路が用いられる。

PLL にはプリスケアラ回路が用いられるが、消費電力が大きい。プリスケアラの電力消費を抑えた構成として注入同期型分周器(ILFD)がある[1]。しかし、同期範囲が狭い問題があり、動作できる範囲が限られている。

本論文では、注入同期するためのトランジスタをリングオシレータの出力の位相間に挿入し、インバータのテールトランジスタに注入する信号と同じ信号を注入することで、同期範囲を広げる方式を提案する。提案する ILFD は無線 LAN で用いられる 5GHz 帯で動作する。

2. 従来手法

ILFD はリングオシレータベースで構成され、複数段あるうちの 1 つのインバータのテールトランジスタのゲートに同期信号を入力することで、入力された信号とリング発振器のフリーラン周波数付近の同期信号の整数分の 1 の周波数を出力することが出来る。

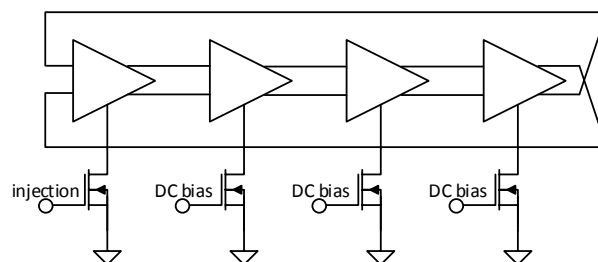


図1 従来の ILFD の構成

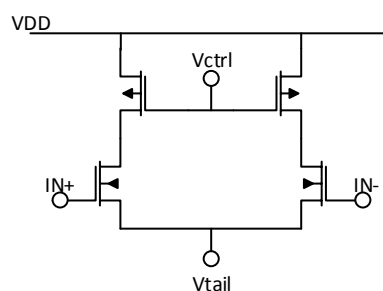


図2 インバータ 1 段あたりの回路構成

リング発振器は専有面積が小さく可変周波数範囲を広げることが容易であるという特徴があり、回路規模の削減、1 つの ILFD で広い分周率が確保できるといった利点がある。また、リングオシレータは位相雑音特性が優れないといった欠点があるが、注入同期によって入力された信号がリファレンス信号となるため、位相雑音特性が改善される。

ここで、ILFD の同期タイミングを図 3 に示す。

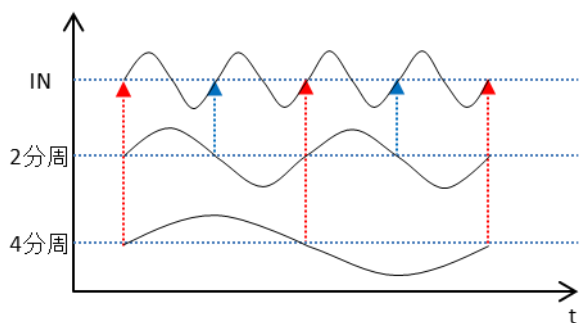


図 3 ILFD の各分周比に対する同期タイミング

図 3 のように、ILFD は各分周率における出力に、注入した周波数のサイクルで節毎に補正をかける仕組みになっている。

続いて、ILFD の同期特性を図 3, 非同期特性を図 4 に示す。

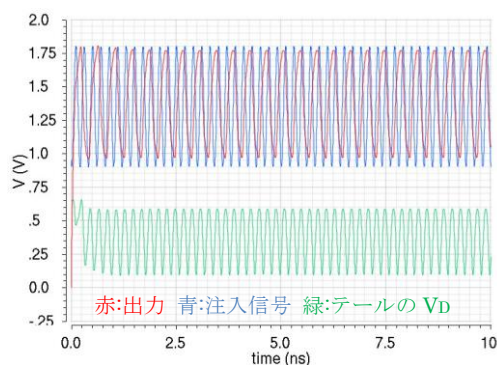


図 4 ILFD の同期特性

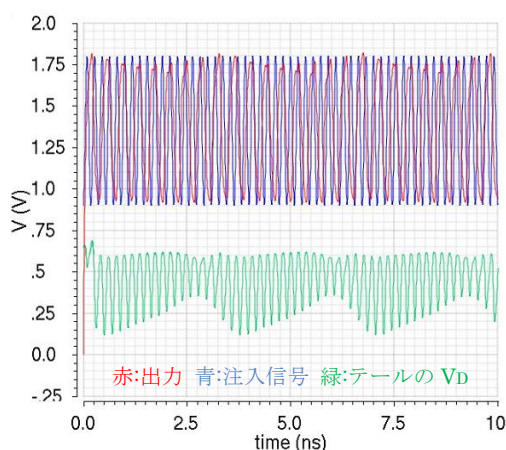


図 5 ILFD の非同期特性

ILFD の同期時は、インバータのテールトランジスタのゲートに信号を入力することによって、リングオシレータの発振周波数が入力信号の整数分の 1 の周波数に引き込まれ、次第に同期していく。一方で、ILFD の同期範囲外の周波数を注入すると、インバータのテールトランジスタのドレイン電圧が変調されてしまい、リングオシレータのフリーラン周波数も変調されてしまう。

ILFD の性能を表すための指標として、以下に示す Figure of Merite (FoM) がある[2]。

$$FoM = \frac{\text{同期範囲}[GHz]}{\text{消費電力}[mW]} \quad (1)$$

FoM はその値が大きいほど、性能の優れた ILFD であることを示す。

3. 提案手法

図 5 に提案する正逆位相間に注入するためのトランジスタを挿入した注入同期型分周器の構成を示す。

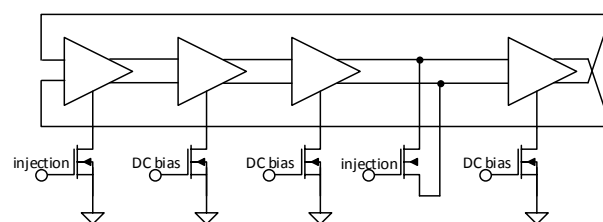


図 6 提案する ILFD の構成

図 5 の位相間において、注入した信号のタイミングで位相間が等電位になり、位相が補正され同期範囲を広げる仕組みになっている。

4. シミュレーション結果

シミュレーション回路を図 7, バイアス回路の構成を図 8 に示す。

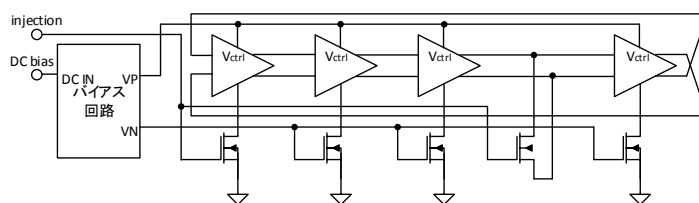


図 7 シミュレーション回路

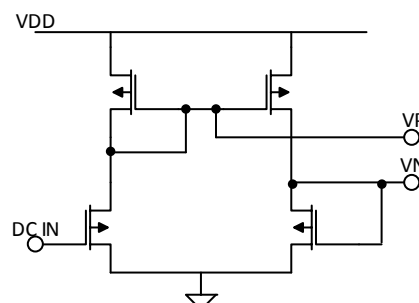


図 8 バイアス回路

バイアス回路の出力を ILFD の V_{ctrl} , DC bias に接続することにより、入力電圧 1 つで ILFD を制御した。バイアス回路の入力電圧を変えることにより、ILFD の分周率を変える事が出来る。

注入する信号の DC オフセットを 900mV とし、振幅を 100~900mV において、同期範囲を過度解析によりシミュレーションを行った。DC bias に関して、あらかじめリングオシレータが 2 分周では 2.5GHz, 4 分周では 1.25GHz になるような電圧値を与えておき、それらの電圧値を調節しないものとする。

提案する ILFD の 2 分周時の同期特性を図 9, 4 分周時の同期特性を図 10 に示す。

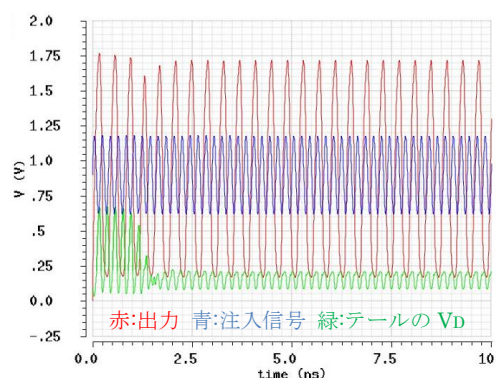


図 9 提案する ILFD の 2 分周同期特性@5GHz

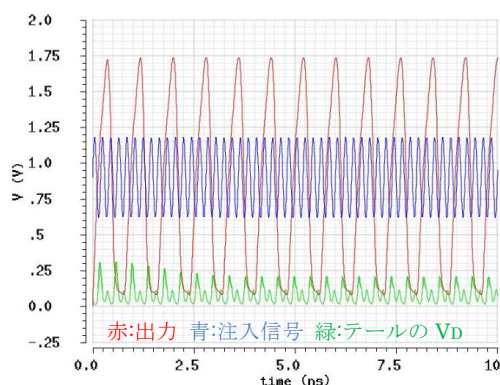


図 10 提案する ILFD の 4 分周同期特性@5GHz

図 9 の 2 分周において、フリーランしているリングオシレータのテールトランジスタと差動注入トランジスタに正弦波を注入することにより、リングオシレータの周波数と注入信号がミキシングされ、次第にリングオシレータの発振周波数が引き込まれ同期していく。図 10 の 4 分周も同様にして次第に同期する。

図 9, 10 の特性が得られる注入周波数を同期範囲とし、2 分周における注入信号の振幅に対する同期範囲のグラフを図 6, 4 分周における同様のグラフを図 11, 12 に示す。

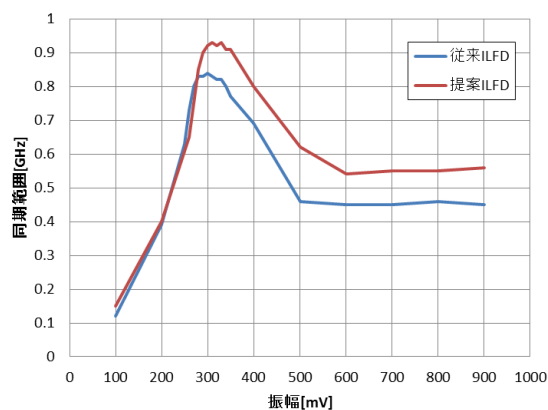


図 11 2 分周における注入信号振幅-同期範囲

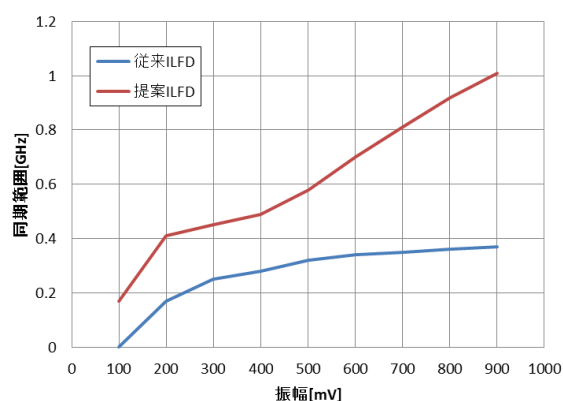


図 12 4 分周における注入信号振幅-同期範囲

また、従来の ILFD と提案する ILFD の性能を比較した結果を表 1 に示す。

表 1 ILFD 性能比較

	分周率	最大同期範囲[GHz]	消費電力[mW]	FoM _{peak}
従来ILFD	2	0.84	11.2	0.08
	4	0.37	4.90	0.08
提案ILFD	2	0.93	11.2	0.08
	4	1.01	4.90	0.21

本論文で使用したプロセスはローム 0.18 μ m プロセス、電源電圧は 1.8V である。

5. 結び

従来の ILFD の構成に差動注入トランジスタを図5の通りに挿入し、テールトランジスタと同じ注入信号を入力することにより、最大同期範囲が2分周において0.09GHz, 4分周において0.74GHz 広げることが出来た。また、その時の FoM が2分周においては不変であるが、4分周において0.13改善することが出来た。

この結果から、従来と比較して同期範囲・FoM の改善が施され、より実用性のある ILFD を構成することが可能となった。そのため、多くの通信デバイスの低消費電力化に貢出来ると考えられる。

本研究では設計した ILFD のベースとなるリングオシレータの設計により、最大4分周までのプログラマブルプリスケラとして動作するが、リングオシレータの発振周波数を更に広げることにより更なる分周が可能であると考えられる。1回路でより多くの分周が可能になれば、PLLの回路面積の削減も可能である。

謝辞：本研究を進めるに当たり、多くの指導・助言を頂いた法政大学理工学部安田彰教授に深く感謝申し上げます。また、様々な協力を頂いた同研究室の皆様にも感謝申し上げます。

参考文献

- 1) R. Betancourt-Zamora, S. Verma, and T. Lee. : 1-GHz and 2.8GHz CMOS injection-locked ring Oscillator Prescalers, in VLSI Circuits Symp. Tech. Dig., 2001, pp.47-50
- 2) C. -C. Chen, H. -W. Tsao, and H. Wang. : Design and analysis of CMOS frequency dividers with wide input locking ranges, IEEE Trans. Microw. Theory Techn., vol.57, no.12, pp.3060-3069, Dec.2009.
- 3) Behzad Razavi 著, 黒田忠弘 監訳 : アナログ CMOS 集積回路の設計(基礎編・応用編), 丸善, 2003.
- 4) 松澤昭 著 : アナログ RF CMOS 集積回路設計[基礎編], 培風館, 2009.