

# 自立GaN基板上のイオン注入縦型バイポーラトランジスタの高性能化に関する研究

TAKAHASHI, Kengo / 高橋, 賢伍

---

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

56

(開始ページ / Start Page)

1

(終了ページ / End Page)

3

(発行年 / Year)

2015-03-24

(URL)

<https://doi.org/10.15002/00011138>

# 自立 GaN 基板上的のイオン注入縦型バイポーラトランジスタの高性能化に関する研究

IMPROVE PERFORMANCE OF ION -IMPLANTED VERTICAL BIPOLAR TRANSISTOR ON  
FREE -STANDING GaN SUBSTRATES

高橋 賢伍

Kengo TAKAHASHI

指導教員 中村徹

法政大学大学院理工学研究科電気電子工学専攻修士課程

This paper describes method improvement performance of ion-implanted vertical bipolar junction transistor (BJT) on free-standing gallium nitride (GaN) substrates. This BJT consists of emitter region that is fabricated by Si-ion implantation. We achieved grounded emitter current amplification factor of 6. But, base region's contact resistance was high and base contact became schottky contact.

So, we research optimal conditions for ohmic contact of base electrode and found out best method of formation that is Ni electrode with 400 °C alloy.

**Key Words** : GaN, ion-implanted, BJT,

## 1. はじめに

近年、生活水準の向上により電気自動車や家電機器をはじめとして生活における電気の役割はますます大きくなってきている。また、コンピュータやスマートフォンなど IT 革命による高度情報化社会の進展により産業、生活のあらゆる側面で電気の需要は増加傾向にある。その上で、地球環境保護の点から電気エネルギーの有効利用が注目を浴びている。実現には、電力系統、産業用途、家電機器に至る幅広い分野において、電力変換・制御を伴う電力損失の低減が必要である。そのため、地球温暖化防止に向けた CO<sub>2</sub> 削減、上昇を続けるエネルギーコストの削減、あるいは機器の小型化などを目的とし高効率な電力変換用デバイスの需要が急速に高まってきている。[1]

現在、広く用いられている電力変換用デバイスの大半はシリコン (Si) 半導体である。しかし、Si は材料の物性的に限界が近づいている。そこで、Si より半導体材料固有の限界性能の点において、一層の高効率が実現可能と期待される GaN (窒化ガリウム) や SiC (炭化珪素) 等の化合物半導体が注目を集めている。化合物半導体の研究開発が進むにつれ、Si の限界を超えた低損失、高耐圧デバイスの実現への期待が高まりつつある。[2] 現在、スイッチング素子には、数百 V 以下の電圧下においては MOSFET、数百～数 kV 以下の電圧下においては IGBT、数 kV 以上の電圧下においてはサイリスタ系のバ

イポーラトランジスタが一般的に用いられている。上記のように、高耐圧を要する素子には一般的にバイポーラトランジスタが用いられている。

また、自立 GaN 基板は縦型構造も形成が可能な事から、高耐圧、低オン抵抗化に適しており、バイポーラトランジスタを作製した際に他の化合物半導体材料よりも優れた性能を得る事が期待できる。[3]

現状、GaN 基板を用いた縦型バイポーラトランジスタの研究は進んでおらず、作製するには多くの課題が存在する。課題の一つとして p 型 GaN 層はイオン注入方法で形成するのが困難な事が挙げられる。これより、ベース領域の形成にエッチングプロセスが必要となる。しかし、この手法で作製したデバイスは電極と半導体界面の損傷が大きい為、ベース領域が高抵抗化する等の欠点がある。また、一般的に GaN 基板はサファイア基板上に成長させたエピタキシャル層を用いてデバイスを作製する。よって、サファイア基板が絶縁材料の為、縦型構造を形成する事が出来ず、横型構造を用いる。更にサファイアと GaN の格子定数の違いからバッファ層を用いるため、リークパスや、絶縁破壊電圧の低下の問題となっている。

今回上記の課題を解決する為にイオン注入法を用いた。このイオン注入法は、基板に対し選択的に不純物の添加が可能であり、また不純物の深さ分布を容易に調整することができる。更に平坦なデバイス表面や回路の作製が可能にし、低抵抗、高耐圧化が期待できる。本研究では

イオン注入法を用いる事でエミッタ領域を形成し、エッチングプロセスを排除したプロセスでベース領域の低抵抗化を試みた。しかし、イオン注入技術はベース領域の低抵抗化のみを目的として用いられている。これは、イオン注入法によって引き起こされる結晶の欠陥や、高濃度不純物層でのバンドギャップナローイングによる電流利得の劣化など多くの問題があるためである。また縦型構造を用いる為に、結晶性の優れた自立 GaN 基板を使用した。よって、本研究では自立 GaN 基板上にイオン注入法を用いてエッチングダメージが無く、表面の凹凸の少ない縦型バイポーラトランジスタを作製し、低オン抵抗、高耐圧、高電流利得のデバイス構造を実現する為の方法を確立する事を目的とした。

## 2. 実験条件

図 1 に作製した GaN Bipolar Junction Transistor(BJT)のデバイス断面図を示す。基板条件は日立電線製 p++-GaN (Mg:  $2 \times 10^{20} / \text{cm}^3$ , 10 nm)/ p-GaN (Mg:  $5 \times 10^{17} / \text{cm}^3$ , 600 nm)/ n-GaN (Si:  $1 \times 10^{16} / \text{cm}^3$ , 20  $\mu\text{m}$ ) / n-GaN (Si:  $2 \times 10^{18} / \text{cm}^3$ , 2  $\mu\text{m}$ ) / n-GaN 基板 ( $1 \times 10^{18} / \text{cm}^3$ , 400  $\mu\text{m}$ ) となっている。p-GaN 層の活性化アニールは N<sub>2</sub> 雰囲気中で 700°C において 20 分間処理を行った。メサは ICP ドライエッチングで p+-GaN 層 20nm を削り切る為に 50nm 形成した。

注入プロファイルは図 2 に示す。n 型エミッタ領域形成は、イオン注入法により Si イオンを 30 keV,  $1\text{E}+15 / \text{cm}^2$  + 100 keV,  $3.8\text{E}+13 / \text{cm}^2$  + 180 keV,  $1.4\text{E}+14 / \text{cm}^2$  でバンドギャップナローイングを考慮し注入した。スルーレイヤーはマグネトロンスパッタ装置により SiN 膜 30nm を堆積した。その後、1200 °C で 2 分間、窒素雰囲気中で活性化熱処理を行った。Passivation 膜は spin-on glass (SOG) 膜を塗布後に 450°C で 30 分間熱処理を行い形成した。その後 E-GUN 真空蒸着装置によって Ti/Al(30/200nm) を堆積し、リフトオフによってエミッタ電極を形成し、メタライゼーション装置にて 550°C で 1 分間合金化熱処理を行った。その後、E-GUN 真空蒸着装置によって Pd/Al(200/200nm) を堆積し、ベース電極を形成した。最後に裏面電極を Ti/Al(30/200nm) で形成し、バイポーラトランジスタを作製した。

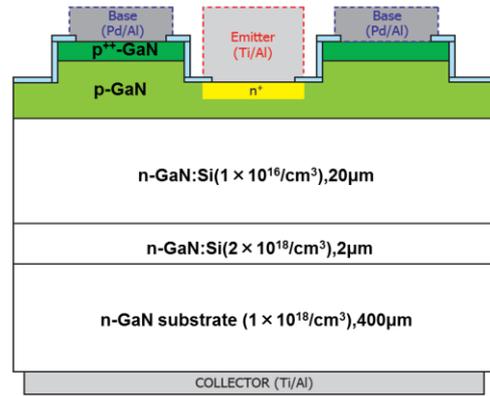


図 1. デバイス断面図

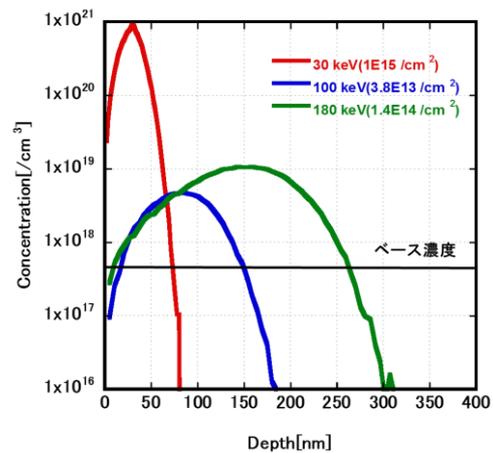


図 2. SRIM シミュレーションによる注入プロファイル

## 3. 実験結果及び考察

図 3 にイオン注入法で形成した n 型エミッタ領域と p 型ベース領域の TLM パターンによる I-V 測定の結果を示す。測定結果から n 型エミッタ領域は良好なオーミック特性が得られ、p-GaN 層が n 型に反転し、エミッタ領域の形成を達成したと見て取れる。しかし、p 型ベース領域はオーミック接触でなくショットキー接触の波形を示し、高抵抗である事がわかる。

次に、図 4 は GaN-BJT の  $W_E=8 \mu\text{m}$   $L_E=8 \mu\text{m}$  デバイスのエミッタ接地  $I_C-V_{CE}$  特性を示す。エミッタ接地  $I_C-V_{CE}$  特性では電流増幅動作を示し、電流増幅率  $h_{FE}=6$  が得られた。よって、自立 GaN 基板上 PN 構造にイオン注入法でエミッタ領域を形成し、バイポーラトランジスタの動作を確認する事が出来た。Si バイポーラに比べれば、電流増幅率は低い値と成ってしまいが、世界に先駆け自立 GaN 基板上に BJT の作製を達成したと言える。

次に図 5 に GaN-BJT の  $W_E=8 \mu\text{m}$   $L_E=8 \mu\text{m}$  デバイスのガンメルプロットを示す。ガンメルプロットで電流増幅率が約 20 程の値に見えるが、先ほど述べた通り実際は 6 という値であった。原因はベース電極と半導体界面がショットキー接触と成り、高抵抗化してしまった為だと考えられる。よって図 5 にはショットキー接触と成って

いるベース領域にショットキーダイオードのある構造モデルを示す。また、ショットキー接触を除去した際に予想される  $I_B$  のグラフを示す。ベース領域のショットキー接触を改善すれば良好な電気特性を示すと考えられる。

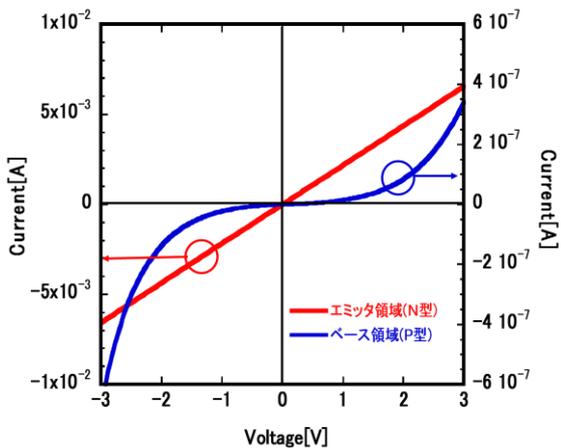


図 3. エミッタ、ベース領域の I-V 特性

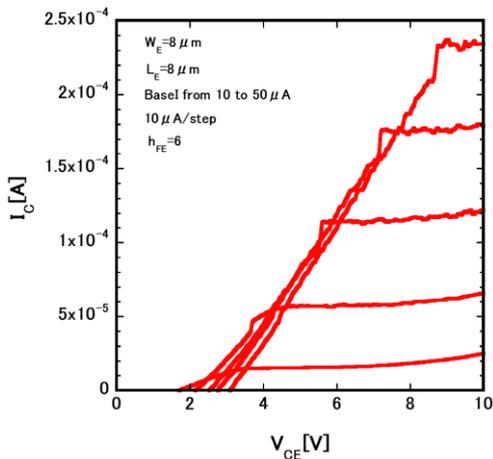


図 4. バイポーラトランジスタのエミッタ接地  $I_C$ - $V_{CE}$  特性

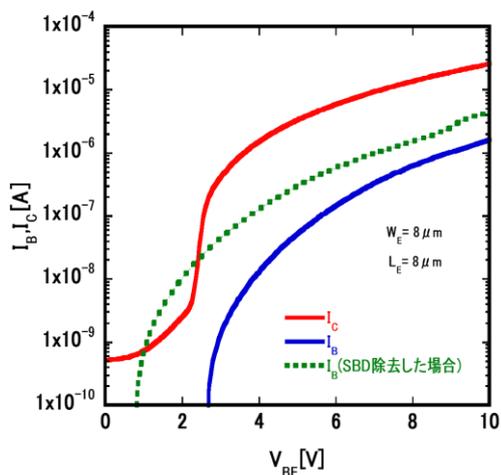


図 5. バイポーラトランジスタのガンメルプロット

#### 4. 結論

バイポーラトランジスタのエミッタ接地  $I_C$ - $V_{CE}$  特性では電流増幅動作を示し、電流増幅率  $h_{FE} = 6$  が得られた。よって、自立 GaN 基板上 PN 構造にイオン注入法でエミッタ領域を形成し、バイポーラトランジスタの動作を確認する事が出来た。ベース領域のコンタクト抵抗、シート抵抗が高抵抗な事から、今後ベース領域作製時のプロセスダメージ低減等により、さらなる特性の改善が期待できる。

謝辞：本研究を行うにあたってご指導いただきました中村徹教授、野本一貴、氏に深く感謝いたします。また、本研究に対しての的確なご指導ご助言並びに基板の提供をしていただきました日立電線株式会社 三島友義氏に深く感謝いたします。最後に、本研究を遂行するにあたり、ご支援していただいたケミトロニクス葛西武氏をはじめとする、実験に協力して下さった中村研究室の皆様、多くの方々に多大なる助言をいただいたことを、ここに深く御礼申し上げます。簡単ではありますが、これを謝辞とさせていただきます。

#### 参考文献

- [1] 大橋弘通, "パワーデバイスの現状と将来展望", FED ジャーナル, vol.11, no.2, 2000
- [2] 中村徹・三島友義 共著,『超高速エレクトロニクス』, コロナ社
- [3] Y. Yoshizumi, S. Hashimoto, T. Tanabe, and M. Kiyama, Journal of Crystal Growth 298, 875-878 (2007)