法政大学学術機関リポジトリ

HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-05-10

並列化降圧コンバータの多相同期現象

Ohata, Toshiyasu / 大畑, 聡祥

(出版者 / Publisher) 法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title) 法政大学大学院紀要.理工学・工学研究科編 / 法政大学大学院紀要.理工学・工 学研究科編

(巻 / Volume) 56 (開始ページ / Start Page) 1 (終了ページ / End Page) 4 (発行年 / Year) 2015-03-24 (URL) https://doi.org/10.15002/00011097

並列化降圧コンバータの多相同期現象

MULTI-PHASE SYNCHRONIZATION IN PARALLELED BUCK CONVERTERS

大畑 聡祥

Toshiyasu OHATA

指導教員 斎藤利通

法政大学大学院理工学研究科電気電子工学専攻修士課程

This paper studies multi-phase synchronization in a paralleled buck converters with two kinds of switching rules: the clock-based and the winner-take-all-based switching rules. Simplifying the system into a piecewise linear model and applying the mapping procedure, stability and ripple characteristics of the synchronization phenomena are analyzed precisely. Presenting a simple test circuit, typical phenomena are confirmed experimentally.

Key Words : paralleled dc-dc converters, nonlinear dynamical systems, synchronization

1. まえがき

並列化 DC-DC コンバータは効率や信頼性の観点から広 く研究されている [1]-[4]. 並列化 DC-DC コンバータは N 個の DC-DC コンバータを共通のスイッチングルールで並列 化したものであり,各コンバータで電流分担を行う. これは 集積回路等で重要な低電圧大電流供給に適しており,故障耐 性の向上につながる.各電流の位相を適切に制御して N 相 同期状態 (N-SYN) とすることで,入力電流または出力電流 のリップルを低減することができる. これは効率や信頼性の 向上のために重要である.

また、並列化 DC-DC コンバータは高次元の非線形スイッ チカ学系であり、これの呈する同期現象や分岐現象を解析す ることは重要な基本問題である [5]-[9].

本論文では、並列化 DC-DC コンバータの一例として、 N 個の降圧コンバータを並列化した系について考察する.また、位相制御にはクロックスイッチングルール (SW-CLK)か Winner-Take-All (WTA) スイッチングルール (SW-WTA) [10]-[13] の 2 種類のどちらかを適用する.SW-CLK は各コ ンバータを共通のクロックで制御することで、N-SYN を実現できる.SW-WTA は周期的な WTA システムに基づい て、N-SYN を自動的に実現できる.負荷を定電圧源と置き 換えた区分線形モデル [10] とリターンマップを用いること で、N-SYN の安定性と出力電流のリップルの特性について 考察する.これは分岐現象の解析の基礎となる.そして、回 路実験により現象を確認する.また、先行研究 [10]-[13] では SW-CLK は考慮されていない.

2. 並列化降圧コンバータ

図 1 に並列化降圧コンバータを示す. これは N 個の降 圧コンバータが共通の入力電源と負荷に並列接続されてお り、出力電流は各コンバータのインダクタ電流の総和となる: $i_o \equiv i_1 + \cdots + i_N$. 各コンバータは次のいずれかの状態をと るものとする:

State 1: $S_j = ON, D_j = OFF$; or State 2: $S_j = OFF, D_j = ON$.



図 2 スイッチングルール: (a) SW-CLK, (b) SW-WTA.

ただし, $j = 1 \sim N$ とする. スイッチングルールは以下の 2 種類のどちらかを用いる. クロックスイッチングルール (SW-CLK):

State 1 \rightarrow State 2 at t = jT + nNTState 2 \rightarrow State 1 if $i_j = J_-$

ただし、T は基本となるクロック周期、 J_- は下しきい値で ある. $j = 1 \sim N$ 、n は正の整数である. 図 2 (a) にこのス イッチングルールの概要を示す. j 番目のコンバータの状態 が State 2 であるとする. そのとき、インダクタ電流 i_j は減 少する. i_j が下しきい値 J_- に達した場合、状態を State 1 に し、その後 i_j は増加する. 各コンバータの State 1 から State 2 への切り替えはクロック毎 t = jT + nNT に行われる. こ のように各コンバータは周期 NT の共通のクロックによっ て制御される. よって、各コンバータが State 1 から State 2 へ切り替わる順番は固定される. SW-CLK は N-SYN を実 現することができる. N-SYN やその安定性については後に 述べる.

Winner-Take-All (WTA) スイッチングルール (SW-WTA):

State 1 \rightarrow State 2 if i_j is the maximum at t = nTState 2 \rightarrow State 1 if $i_j = J_-$.

図 2 (b) にこのスイッチングルールの概要を示す. State 2 から State 1 への切り替えは, SW-CLK と同様にしきい値 によって行われる. *j* 番目のコンバータの状態が State 1 で あるとする. State 2 へのスイッチングは WTA に基づく. WTA はクロック毎 t = nT に電流値が最大となっているコ ンバータを選択し, そのコンバータのスイッチを OFF にし て状態を State 2 とするものである. また, この最大値となっ ている電流を Winner という. SW-WTA では, 各コンバー タが State 1 から State 2 へ切り替わる順番 (Winner とな る順番) は初期値によって決まる. SW-WTA は N-SYN を 実現することができる.

簡単のため $RC \gg T$ のとき,負荷を定電圧源 V_o に置き 換える [10]. また, $r_{in} \rightarrow 0$ とする. ここで以下の無次元化 変数とパラメータを導入する:

$$\tau = \frac{t}{T}, \ x_j = \frac{i_j}{J}, \ x_o = x_1 + \dots + x_N,$$

$$\alpha_j = \frac{Tr_{Lj}}{L_j}, \ a_j = \frac{T(V_{in} - V_o)}{L_j J}, \ b_j = \frac{TV_o}{L_j J}, \ X_- = \frac{J_-}{J}$$
(1)

ただし, $J_{-} > 0$ は下しきい値, J > 0 はダイナミックレンジ を決める基準電流, x_o は無次元化出力電流である. 回路の動 作は以下の無次元化方程式で記述される:

$$\frac{dx_j}{d\tau} = \begin{cases}
-\alpha_j x_j + a_j & \text{for State 1} \\
-\alpha_j x_j - b_j & \text{for State 2}
\end{cases}$$
SW-CLK:
State 1 \rightarrow State 2 at $\tau = j + nN$
State 2 \rightarrow State 1 if $x_j = X_-$
SW-WTA:

State 1 \rightarrow State 2 if x_j is the maximum at $\tau = n$ State 2 \rightarrow State 1 if $x_j = X_-$.

ただし, $j = 1 \sim N, n$ は正の整数である.

ここで簡単のため, $\alpha_j = \alpha$, $a_j = a$, $b_j = b$ とする. 図 3 に N-SYN の波形の典型例を示す. SW-CLK ではスイッ チングの順番は共通のクロックによって決まり, 固定される. 一方, SW-WTA ではスイッチングの順番は初期値によって 決まるため, 様々な順番の N-SYN を実現することができる.



図 3 N-SYN の典型例 (N = 3, $\alpha = 0.2$, a = 0.3, b = 0.3, $X_{-} = 0.05$, $\gamma_R \approx 0.1$). SW-CLK ではスイッ チングの順番が固定されているため, (a) の波形のみを 実現できる. SW-WTA ではスイッチングの順番は初 期値によって決まるため, (a) と (b) の波形のどちらも 実現できる.

3. 多相同期

定義 1: 無次元化電流ベクトルを $x = (x_1, \dots, x_N)$ とす る. $\{1, \dots, N\}$ を並べ替えたものを $\{\rho(1), \dots, \rho(N)\}$ とす る. $x(\tau)$ が周期 N で, $x_j(\tau)$ が1 周期の間に 1 度だけ State 1 から State 2 へ切り替わり, $x_{\rho(j+1)}$ と $x_{\rho(j)}$ の位相差が 1 のとき, $x(\tau)$ は N-SYN であるという:

 $\begin{aligned} \boldsymbol{x}(\tau+N) &= \boldsymbol{x}(\tau), \ \boldsymbol{x}_{\rho(j+1)}(\tau) = \boldsymbol{x}_{\rho(j)}(\tau+1) \\ \boldsymbol{j} &= N \to j+1 = 1, \ \boldsymbol{j} = 1 \sim N, \\ \boldsymbol{x}_{\rho(j)} \text{ switches from State 1 to State 2 at } \boldsymbol{\tau} = \boldsymbol{j} + nN \end{aligned}$ (3)

 $\alpha_j = \alpha, \ a_j = a, \ b_j = b$ のとき, N-SYN における x_o は以下の条件を満たす:

$$\begin{aligned} x_o(\tau+1) &= x_o(\tau), \\ x_{omin} &\equiv x_o(\tau_s) \le x_o(\tau) \le x_o(0) \equiv x_{omax} \end{aligned}$$
(4)

ただし, x_j が下しきい値 X_- に達し, State 2 から State 1 へ切り替わった瞬間を τ_s とする.

定義 2: N-SYN となる各コンバータの状態の集合を $x_p = (x_{1p}, \dots, x_{Np})$ とする. $x(\tau)$ が、微小な摂動 $\epsilon(0)$ を含 む初期値に対して、時間が経過すると $x(\tau)$ に収束するとき、 N-SYN は初期値に対して安定であるという:

 $\boldsymbol{x}(\tau) \rightarrow \boldsymbol{x}_p(0)$ for $\boldsymbol{x}(0) = \boldsymbol{x}_p(0) + \boldsymbol{\epsilon}(0)$

定義 3: N-SYN における x_o のリップルを次のように定 義する.

$$\gamma_R = \max_{\tau} (x_o(\tau)) - \min_{\tau} (x_o(\tau)) \quad \text{for } 0 \le \tau < N.$$
 (5)

図 4 に安定な N-SYN における b に対する γ_R の特性を示す. 図 4 から $b \approx 0.42$ のときに最小のリップル ($\gamma_R = 0$) となることがわかる.



図 4 安定な N-SYN におけるリップル特性 (N = 3, $\alpha = 0.2, a = 0.3, X_{-} = 0.05$).



図 5 SW-CLK におけるリターンマップ. (a) リター ンマップの定義. (b) 安定な不動点 (N = 3, $\alpha = 0.2$, a = 0.3, b = 0.3, $X_{-} = 0.05$). (c) 不安定な不動点 (N = 3, $\alpha = 0.2$, a = 0.3, b = 0.05, $X_{-} = 0.05$).

ここで SW-CLK における N-SYN の安定性を考える. SW-CLK では各コンバータが共通のクロックで制御されて おり、スイッチングの順番は固定される. ここで N-SYN の 安定性を解析するために、リターンマップを導入する. 図 5 (a) に示すように $x_n \in L_D$, $L_D \equiv \{(x_j, \tau) | \text{State 2}, X_- \leq x_j, \tau = n\}, x_{n+N} \equiv x(n+N)$ とする. x_{n+N} は x_n によっ て決定されるのでリターンマップ $x_{n+N} = f(x_n)$ を定義で きる. 式 (2) の区分的厳密解を用いるとリターンマップは次 のように表せる:

$$f(x_n) = \begin{cases} e^{-\alpha N} (x_n + p_2) - p_2 & \text{for } X_D < x_n \\ \frac{X_- - p_1}{X_- + p_2} e^{-\alpha N} (x_n + p_2) + p_1 & \text{for } x_n \le X_D \end{cases}$$
(6)

ただし、 $p_1 \equiv a/\alpha > 0$ 、 $p_2 \equiv b/\alpha > 0$ 、 $0 < X_- < p_1$ である. リターンマップが図 5 のように不動点を持つとき、その不動点は図 3 のような N-SYN に対応している.よって、不動点が安定なときには N-SYN も安定となる.この N-SYN に対応する不動点は以下の条件を満たすときに安定となる:

$$\left|\frac{X_{-} - p_1}{X_{-} + p_2} e^{-\alpha N}\right| < 1 \tag{7}$$

パラメータを変化させると、不動点は図 5 (c) のように不安 定となり、N-SYN も不安定となる.

SW-WTA では N 個の降圧コンバータは WTA システムによって結合され、Winner となる順番は初期値によって決まる.よって、SW-WTA は様々な順番の N-SYN を実現することができる.Winner となる順番が定まった場合には、(7)の条件を満たすときに N-SYN は局所的に安定となる.大域的な N-SYN の安定性を明らかにするためには、より詳細な解析が必要となる.

4. 回路実験

動作を確認するために回路実験を行った.図6(a)に並列 化降圧コンバータの実験回路を示す.まず、抵抗 rd が各コン バータのインダクタ電流 i_i を検知する. この電流は, 電流電 圧変換回路 (IVC) を通して電圧 v_{di} に変換される. この電圧 を SW-CLK 回路と SW-WTA 回路に入力する. SW-CLK 回路 (図 6 (b)) では、各コンバータの IVC の電圧 v_{di} としき い値電圧 V- をコンパレータでそれぞれ比較する. この出力 を SR フリップフロップのセット側に接続する. 周期 3T で 位相差が T の各クロック信号を各コンバータの SR フリップ フロップのリセット側にそれぞれ接続する. そして、各 SR フリップフロップの出力を各コンバータのスイッチの制御に 入力する. SW-WTA 回路 (図 6 (c)) では, SR フリップフ ロップのセット側には SW-CLK 回路と同様の回路を接続す る. 各コンバータの IVC の電圧をコンパレータで比較して、 AND 回路で周期 T のクロック信号と演算する. この出力を SR フリップフロップのリセット側に接続する. そして, 各 SR フリップフロップの出力を各コンバータのスイッチの制 御に入力する.

図 7 (a) に SW-CLK での N-SYN の典型例を示す. パ ラメータを変化させると, N-SYN は不安定となり, カオスを 呈する. 図 7 (b) に SW-WTA でのカオスの波形の典型例を 示す.

5. むすび

SW-CLK か SW-WTA のどちらかを用いた並列化降圧 コンバータについて考察した.スイッチングの順番は SW-CLK では共通のクロックによって決まり,SW-WTA では初 期値によって決まることを示した.SW-CLK を用いた系に おいて,N-SYN が安定となる条件を区分線形モデルとリター ンマップを用いて明らかにした.また,この条件は SW-WTA を用いた系での N-SYN の局所的な安定性も示している.そ して,N-SYN におけるリップル特性についても考察した.ま た,回路実験により現象を確認した.今後の課題としては,大 域的な N-SYN の安定性の解析,詳細な分岐の解析,他の並 列化パワーコンバータへの応用などがあげられる.



図 6 実験回路 (N = 3). (a) 並列化降圧コンバータ. (b) SW-CLK 回路. (c) SW-WTA 回路.

参考文献

- R. Giral and L. Murtinez-Salamero, Interleaved converters operation based on CMC, IEEE Trans. Power Electron., 14, 4, pp. 643-652, 1999.
- X. Zhou, P. Xu and F. C. Lee, A novel current-sharing control technique for low-voltage high-current voltage regulator module applications, IEEE Trans. Power Electron., 15, 6, pp. 1153-1162, 2000.
- S. K. Mazumder, M. Tahir and S. L. Kamisetty, Wireless PWM control of a parallel DC/DC buck converter, IEEE Trans. Power Electron., 20, 6, pp. 1280-1286, 2005.
- 4) S. K. Mazumder, M. Tahir and K. Acharya, Masterslave current-sharing control of a parallel DC-DC converter system over an RF communication interface, IEEE Trans. Industrial Electronics, 55, 59-66, 2008.
- S. Banerjee and G. C. Verghese, eds., Nonlinear phenomena in power electronics: attractors, bifurcations, chaos, and nonlinear control, IEEE Press, 2001.
- C. K. Tse and M. di Bernardo, Complex behavior in switching power converters, Proc. IEEE, 90, pp. 768-781, 2002.
- 7) T. Kabe, S. Parui, H. Torikai, S. Banerjee and T.



図 7 観測波形 ($L \approx 100$ [mH], $r_L \approx 110$ [Ω], $r_d \approx 51$ [Ω], $R_{d1} \approx 1$ [$k\Omega$], $R_{d2} \approx 20$ [$k\Omega$], $J_- \approx 0.5$ [mA], $T \approx 125$ [μ s], Horizontal: 100[μ s/div], Vertical: 1[mA/div]). (a) SW-CLK で観測された N-SYN ($V_{in} \approx 4.8$ [V], $V_o \approx 2.0$ [V]). (b) SW-WTA で観測さ れたカオス ($V_{in} \approx 2.9$ [V], $V_o \approx 0.4$ [V]).

Saito, Analysis of Current Mode Controlled DC-DC Converters through Piecewise Linear Models, IEICE Trans. Fundamentals, E90-A, 2, pp. 448-456, 2007.

- S. Kapat, A. Patra and S. Banerjee, Achieving monotonic variation of spectral composition in DC-DC converters using pulse skipping modulation, IEEE Trans. Circuits Syst. I, 58, pp. 1958-1966, 2011.
- 9) D. Giaouris, S. Banerjee, O. Imrayed, K. Mandal, B. Zahawi and V. Pickert, Complex interaction between tori and onset of three-frequency quasi-periodicity in a current mode controlled boost Converter, IEEE Trans. Circuits Syst. I, 59, pp. 207-214, 2012.
- 10) T. Saito, S. Tasaki and H. Torikai, Interleaved buck converters based on winner-take-all switching, IEEE Trans. Circuits Syst. I, 52, 8, pp. 1666-1672, 2005.
- 11) Y. Ishikawa and T. Saito, Synchronization and chaos in multiple-input parallel DC-DC converters with WTA Switching, IEICE Trans. Fundamentals, E90-A, 6, pp. 1162-1169, 2007.
- 12) Y. Ishikawa, D. Kimura, Y. Ishige and T. Saito, Analysis of Simple Switched Dynamical Systems Based on Single/Parallel DC-DC Converters, IEICE Trans. Fundamentals, E91-A, 8, pp. 2076-2083, 2008.
- 13) T. Ohata and T. Saito, Stability of Multi-phase Synchronization in Parallel DC-DC Boost Converters with WTA Switching, Proc. IEEE/IECON, pp. 8389-8394, 2013.