

# モリブデンゲートGaN-MISFETを用いたE/Dインバータ回路に関する研究

伊藤, 駿一 / IT0, Shunichi

---

(出版者 / Publisher)

法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要. 理工学・工学研究科編

(巻 / Volume)

56

(開始ページ / Start Page)

1

(終了ページ / End Page)

4

(発行年 / Year)

2015-03-24

(URL)

<https://doi.org/10.15002/00011084>

# モリブデン ゲート GaN MISFET を用いた E/D インバーター回路に関する研究

Study about Circuit of E/D Inverter using Molybdenum gate GaN MISFET

伊藤 駿一

Shunichi ITO

指導教員 中村 徹

法政大学大学院理工学研究科電気電子工学専攻博士後期課程

The Mg density of the substrate is  $2 \times 10^{18} \text{ cm}^{-3}$ , and the biggest drain current is 0.025mA/mm and 1.5mA/mm at gate voltage 6V and drain voltage 5V respectively from the drain current of the Enhancement type MISFET and the depression type MISFET- drain voltage special quality, and a device was the result which isn't moving. Gate disconnected the MISFET because it is not observed modulation, it was found that the gate voltage is not added, for preventing the disconnection of the gate electrode from this, it was studied the MESA creation process. The results of the study, when depositing a metal mask by E-GUN vacuum deposition apparatus, rate deposited while increasing the rate of 0.1nm / sec to 0.8nm / sec gradually, The ICP dry etching apparatus in etching conditions 0.7Pa by forming the MESA structure is used, it was possible to prevent breakage.

**Key Words :** MISFET, Circuit of Inverter

## 1. 序論

### (1) GaN について

窒化ガリウム(GaN)はワイドバンドギャップ半導体と称される次世代半導体の一つである。表 1 に GaN と主な半導体材料の物理定数を示す。GaN はワイドバンドギャップ半導体と呼ばれ、シリコン(Si)半導体材料に比べてエネルギーバンドギャップが広いため、Si では実現できない領域での動作が可能とされている次世代半導体材料の一つである。GaN のバンドギャップは 3.4eV と大きく、Si ではおよそ 200℃とされるデバイスの動作上限温度を約 600℃にまで上昇させることが可能である。また、GaN の絶縁破壊電界強度は  $3.3 \times 10^6 \text{ V/cm}$ 、電子の飽和速度は  $2.7 \times 10^7 \text{ cm/sec}$  であり、それぞれ Si と比べて約 10 倍、約 3 倍大きい値である。絶縁破壊強度が高いため、より高電圧下での動作が可能となることから、デバイスの高出力化につながり、また飽和電子速度が高いことは、真性領域における電子の移動がより高速になることから、デバイスの高周波化が可能となる。

表 1 主な半導体材料の物性値

|                                      | Si                | GaAs              | GaN               | 4H-SiC            |
|--------------------------------------|-------------------|-------------------|-------------------|-------------------|
| バンドギャップ(eV)                          | 1.12              | 1.43              | 3.39              | 3.26              |
| 電子移動度( $\text{cm}^2/\text{Vs}$ )     | 1400              | 8500              | 900               | 1000              |
| 正孔移動度( $\text{cm}^2/\text{Vs}$ )     | 600               | 400               | 400               | 120               |
| 絶縁破壊電界強度( $\text{V/cm}$ )            | $3.0 \times 10^5$ | $4 \times 10^5$   | $3.3 \times 10^6$ | $2.2 \times 10^6$ |
| 熱伝導率( $\text{W/cm} \cdot \text{K}$ ) | 1.5               | 0.5               | 2.0               | 4.9               |
| 飽和ドリフト速度( $\text{cm/s}$ )            | $1.0 \times 10^7$ | $2.0 \times 10^7$ | $2.7 \times 10^7$ | $2.2 \times 10^7$ |

## (2) E/D インバーターについて

負荷トランジスタとしてデプレッション型 MOSFET を用いたインバーターを図 1 に示す。この回路は nMOS E/D インバーターと呼ばれる。

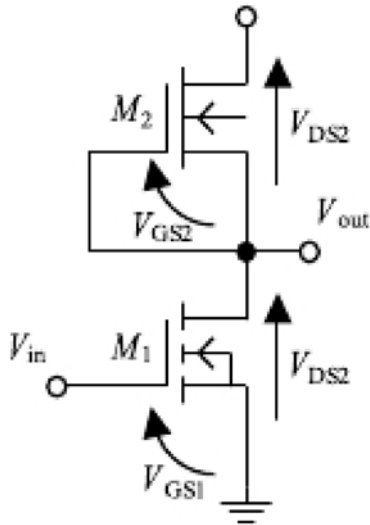


図 1 nMOS E/D インバーター

図 1 の回路中の MOSFET M1 と M2 のゲート・ソース間電圧とドレイン・ソース間電圧を入力電圧  $V_{in}$ 、出力電圧  $V_{out}$  および電源電圧  $V_{DD}$  で表す

$$V_{GS1} = V_{in}, \quad V_{DS1} = V_{out} \quad (2.1)$$

$$V_{GS2} = 0, \quad V_{GS2} = V_{DD} - V_{out} \quad (2.2)$$

となる。

## 2. 研究目的

GaN 系半導体トランジスタにおいて、イオン注入によって p 型半導体を形成することが困難であるため、CMOS 回路を形成することが困難である。したがって、インバーター回路の基本ユニットとしてはエンハンスメント/デプレッション (E/D 型) インバーター回路を用いる必要がある。例えば、AlGaIn/GaN のヘテロ構造を用いたエンハンスメント型の高電子移動度トランジスタ (HEMT) と、デプレッション型の HEMT とを用いた E/D 型インバーター回路がある。HEMT はゲート電圧を印加していない状態でもチャネルに 2-DEG が存在するため、デプレッション型である。ゲート電極の直下の AlGaIn 層をリセスエッチングすることによってエンハンスメント型の HEMT を実現している。しかしながら、AlGaIn 層をリセスエッチングすることによって AlGaIn 層の厚さが薄くなるので、2 次元電子ガスの特性が低下するという問題がある。また、この HEMT の閾値電圧はリセスエッチングのエッチング深さに依存して変化するが、AlGaIn 層は結晶が硬質であり、かつ厚さが薄い。そのため、エッチング深さの制御が困難であり、所望の閾値電圧を実現するのが困難であるという問題がある。

そこで本研究では、p-GaN 基板を用いてエンハンスメント型の MISFET を形成すると同時に p-GaN 層を削り、

メサ構造の凹部の undoped-GaN 層にデプレッション型の MISFET の形成を目指し、より良好な n+層を得るためにゲート電極に融点の高いモリブデンを使用した。また、p-GaN を用いたエンハンスメント型の MISFET とデプレッション型の MISFET を用いた E/D 型インバーター回路の作製を目指した。

## 3. モリブデン ゲート GaN MISFET のデバイス作成プロセス

図 2 にデバイス作成のプロセスを示す。本研究では、サファイア基板上に成長させた  $1.5 \mu\text{m}$  の undoped-GaN 上に、さらに Mg をドーピングした  $0.2 \mu\text{m}$  の GaN を成長させた基板を用いた。Mg 濃度は  $2 \times 10^{18}/\text{cm}^3$  である。まず、デプレッション型 MISFET の作製のために ICP ドライエッチング装置にて  $300\text{nm}$  のメサ構造を形成し p-GaN 層を削る。その上に、ゲート直下の絶縁膜および保護膜として、マグネトロンスパッタリング装置にて  $\text{SiNx}$  を  $30\text{nm}$  の厚さで堆積した。その後厚さ  $300\text{nm}$  のモリブデン (Mo) を、E-GUN 真空蒸着装置によって堆積し、リフトオフによってゲートパターンを形成した。このゲートパターンをチャネル領域部分のイオン注入マスクとして用い、中電流イオン注入装置にてイオン注入を行った。イオン注入は、 $^{28}\text{Si}$  イオンを  $80\text{keV}$  の加速エネルギーにてドーズ量  $1 \times 10^{15}/\text{cm}^2$  を室温で注入した。

活性化熱処理は、窒素雰囲気中において  $1100^\circ\text{C}$  で 3 分間行った。保護膜にはマグネトロンスパッタリング装置にて堆積した  $50\text{nm}$  の厚さの  $\text{SiO}_2$  膜を用い、活性化熱処理後に BHF (バッファードフッ酸) によってウェットエッチングを行い除去した。 $\text{SiO}_2$  膜を除去した後、ソース・ドレインのコンタクト穴を BHF により開口し、E-GUN 真空蒸着装置にて  $\text{Ti}/\text{Al}$  を  $30\text{nm}/200\text{nm}$  の厚さで堆積した。最後に窒素雰囲気中にて  $550^\circ\text{C}$  で 1 分間熱処理を行い、デバイスの完成である。(図 2)

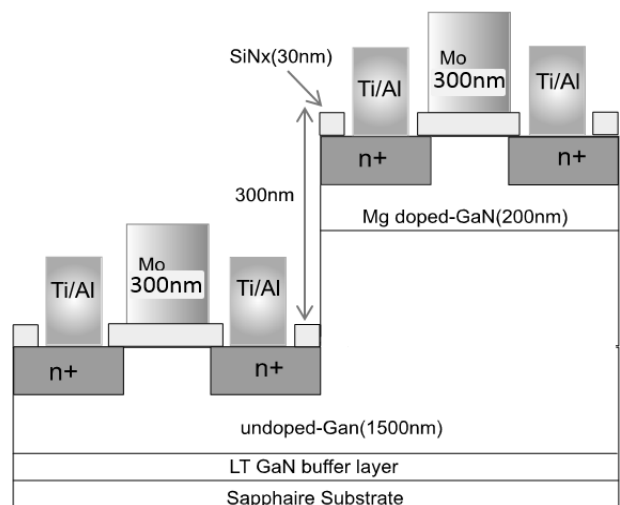
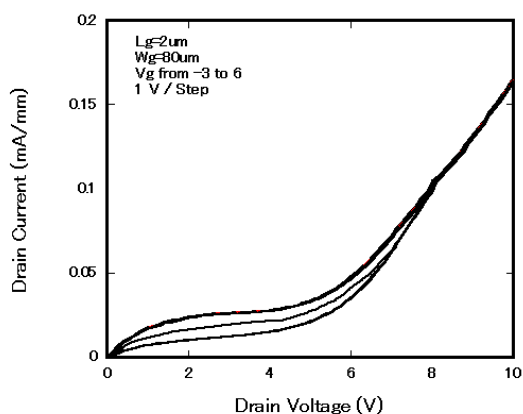


図 2 デバイス完成図

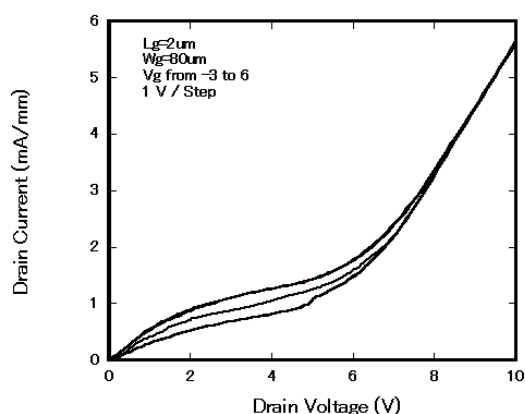
#### 4. 電気特性評価

基板の Mg 濃度は  $2 \times 10^{18} \text{ cm}^{-3}$  であり、Si イオン注入の加速エネルギーが 80keV の条件で作成したエンハンスメント型 MISFET のデプレッション型 MISFET ドレイン電流-ドレイン電圧特性を図 3 (a) に示す。次に p-GaN 層を ICP ドライエッチング装置にて 300nm のメサ構造を形成し凹部に形成したデプレッション型 MISFET ドレイン電流-ドレイン電圧特性を図 3 (b) にそれぞれ示す。

図 3 (a) (b) からゲート電圧 6V、ドレイン電圧 5V のとき、最大ドレイン電流が、それぞれ 0.025mA/mm、1.5mA/mm となりデバイスが動作していない結果となった。さらにゲート電圧-1V 以上から変調が見られないことから MISFET にゲートが断線し、ゲート電圧が付加されていないことがわかる。このことから次章からゲート電極の断線を防ぐため、MESA 作成プロセスについて、研究を行った。



(a) エンハンスメント型



(b) デプレッション型

図 3 ドレイン電流-ドレイン電圧特性

#### 5. MESA 作成プロセスの検討

従来の条件では 0.4Pa の処理条件で ICP ドライエッチング装置にて MESA 構造を形成し p-GaN 層を削るプロセスだった。しかしこの条件では、エッチングガスの平行移動距離があり、異方性エッチングにより垂直にエッチングされ、断線の要因となっていた。そこでエッチングガスの平行移動距離を短くし等方性エッチングによせるためには 0.7Pa の条件が最適であることがわかった。

さらに金属マスクを E-GUN 真空蒸着装置にて蒸着する際、レート を 0.1nm/sec から 0.8nm/sec へレートを除々に上げながら蒸着し、エッチングされる際に側面が傾斜になるようにした。

このプロセスでゲート電極を形成した際の光学写真を図 4 で示す。左側がエンハンスメント型、右がデプレッション型である。ゲートパッドから MISFET のゲートへの電流-電圧特性を図 5 に示す。図 4 にあるとおり、左側のデプレッション型のゲートは断線せずに残った。図 5 より電氣的に断線していないことが確認できる。



図 4 光学写真

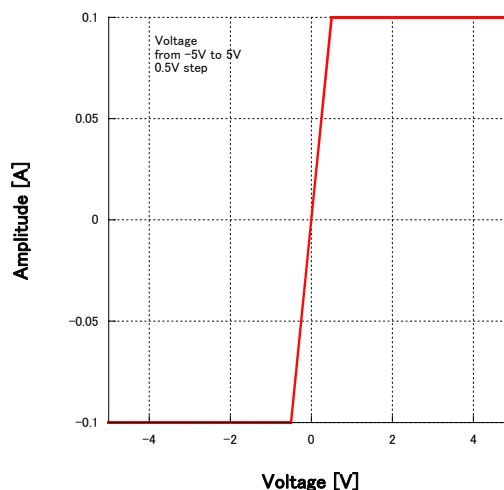


図 5 電流-電圧特性

## 6. 結論

基板の Mg 濃度は  $2 \times 10^{18} \text{ cm}^{-3}$  であり、エンハンスメント型 MISFET とデプレッション型 MISFET のドレイン電流-ドレイン電圧特性からゲート電圧 6V、ドレイン電圧 5V のとき、最大ドレイン電流が、それぞれ 0.025mA/mm、1.5mA/mm となりデバイスが動作していない結果となった。変調が見られないことから MISFET にゲートが断線し、ゲート電圧が付加されていないことがわかり、このことからゲート電極の断線を防ぐため、MESA 作成プロセスについて研究を行った。研究の結果、金属マスクを E-GUN 真空蒸着装置にて蒸着する際、レートを 0.1nm/sec から 0.8nm/sec へレートを除々に上げながら蒸着し、エッチング条件 0.7Pa で ICP ドライエッチング装置にて MESA 構造を形成することで、断線を防ぐことができた。

このプロセスを取り入れることで、安定した電気特性が得られることが見込まれる。

謝辞：本研究を進めるにあたってご指導頂きました中村徹教授に心から感謝致します。またご協力頂いた日立電線の三島友義氏、ケミトロニクスの葛西武氏にお礼申し上げます。そして日頃から様々な助言を頂きました、法政大学 OB の小川弘貴氏、そして研究室の皆様に深く感謝致します。

- 1) 中村徹・三島友義 共著、『超高速エレクトロニクス』, コロナ社
- 2) S・M・ジュー 著 『半導体デバイス（第2版）』, 産業図書
- 3) Kazuki Nomoto et al., “Integrated GaN/AlGaIn/GaN HEMTs with Precisely Controlled Resistance on Silicon Substrate Fabricated by Ion Implantation“, *Material Research Society Proceedings*, vol.1068, C03-06, 2008.
- 4) K. Nomoto, T. Tajima, T. Mishima, M. Satoh, and T. Nakamura, *IEEE Electron Device Lett*, vol. 28, no. 11, Nov. 2007.
- 5) H. Kambayashi et al., “Normally Off n-Channel GaN MOSFETs on Si Substrates Using an SAG Technique and Ion Implantation“, *Electron Device Lett.*, vol.28, no. 12, pp. 1077 – 1079, 2007.
- 6) U. Singiseti, et al., “Enhancement-Mode N-Polar GaN MISFETs With Self-Aligned Source/Drain Regrowth“, *IEEE ELECTRON DEVICE LETTERS*, VOL. 32, NO. 2, FEBRUARY 2011
- 7) Yong Cai, Zhiqun Cheng, Wilson Chak Wah Tang, Kei May Lau, and Kevin J. Chen, “Monolithically Integrated Enhancement/Depletion-Mode AlGaIn/GaN HEMT Inverters and Ring Oscillators Using CF<sub>4</sub> Plasma Treatment“, *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 53, NO. 9, SEPTEMBER 2006.