# 法政大学学術機関リポジトリ

### HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-07-31

## イオン注入GaN MISFETの高性能化に関する研 究

小川, 弘貴 / OGAWA, Hiroki

(出版者 / Publisher) 法政大学大学院理工学・工学研究科

(雑誌名 / Journal or Publication Title)

法政大学大学院紀要.理工学・工学研究科編 / 法政大学大学院紀要.理工学・工 学研究科編

(巻 / Volume)
55
(開始ページ / Start Page)
1
(終了ページ / End Page)
4
(発行年 / Year)
2014-03-24
(URL)
https://doi.org/10.15002/00010401

### Si イオン注入 GaN MISFET の高性能化 に関する研究

#### THE CHARACTERISTICS IMPROVEMENT OF SI ION-IMPLANTED GAN MISFETS

#### 小川弘貴

Hiroki OGAWA 指導教員 中村徹 教授

#### 法政大学大学院工学研究科電気工学専攻修士課程

This paper describes characteristics of Mo gate ion-implanted GaN MISFETs with normally-off operation. Normally-off GaN MISFETs were made by utilizing self-alignment process using ion implantation technologies. The self-aligned structures enable us to reduce source and drain parasitic resistance, which improves the device characteristics. Maximum drain current and maximum transconductance for the self-aligned Mo gate GaN MISFETs on sapphire substrate were 22 mA/mm and 3.5 mS/mm, respectively. And threshold voltage of +0.4 V were obtained for the devices.

The Mo gate GaN MISFETs were also fabricated on free-standing GaN substrates with high crystalline quality. Cut-off frequency of 1.1 GHz was obtained for the MISFETs. The metal gate with low resistivity enables us to elevate annealing temperature up to 1200 °C, which improves the DC and RF characteristics considerably. The positive threshold voltage and high drain current show the potentials and advantages of GaN MISFETs for high voltage, current applications.

Key Words : GaN, MISFET, Self-Aligned, Normally-Off

#### 1. 序論

ワイドバンドギャップ半導体でと呼ばれるGaN(窒化ガ リウム)はSiでは実現できない領域での動作が可能とされ ている。GaNのバンドギャップはSiと比べて約3倍の3.4eV であり、シリコンでは200℃程度とされる電子デバイスの 動作上限温度をGaN系材料では、600°C程度に上昇させる ことが可能である[1]。また、GaNの絶縁破壊電界強度は 3.3×10<sup>6</sup>V/cm、飽和電子速度は2.7×10<sup>7</sup>cm/sと高い値であ ることから、高出力・高周波用電子デバイス用材料[2]と して期待されている。

GaNを用いたトランジスタの多くは、AlGaN/GaNのヘ テロ構造を有したHEMTであるが、ゲート電圧を印加しな い状態でもチャネルに2-DEGが存在するため、ノーマリ ーオン型デバイスである。しかしながら、回路設計の簡素 化や消費電力などの問題から、ノーマリーオフ型デバイ スが求められる。そこで本研究では、p-GaN基板を用いて デバイスのノーマリーオフ化を実現するとともに低抵抗 な金属ゲートを有することで高周波特性の向上を目指し た。また、作製の際には自己整合法を導入し、デバイスの 高性能化を図った。さらに、高品質な自立GaN基板上に GaN MISFETを作製することで、より高性能・高速デバイ スの実現を目指した。

## サファイア基板上 Mo gate GaN MISFET 2.1 実験条件

図1に、作製した MISFET の断面図を示す。基板には、 サファイア基板上に LT(Low Temperature)-GaN Buffer、 undoped-GaN 3 µm、p-GaN 1 µm が成長された GaN エピタ キシャル基板を用いた。p-GaN の Mg 濃度は 5×10<sup>17</sup> /cm<sup>3</sup> である。その上に、ゲート絶縁膜およびイオン注入保護膜 として、マグネトロンスパッタリング装置にて SiNx を 30 nm の厚さで堆積した。その後厚さ 200 nm の Mo を、E-GUN 真空蒸着装置によって堆積し、リフトオフによって ゲートパターンを形成した。このゲートパターンをチャ ネル領域部分のイオン注入マスクとして用い、中電流イ オン注入装置にてイオン注入を行った。イオン注入は、 <sup>28</sup>Si イオンを 50 keV の加速エネルギーにてドーズ量 1×10<sup>15</sup>/cm<sup>2</sup>を室温で注入し、低抵抗 n+領域を形成した[3-5]。活性化熱処理は、窒素雰囲気中において 1100 ℃で 2 分間行った。保護膜にはマグネトロンスパッタリング装 置にて堆積した 50 nm の厚さの SiO2 膜を用いた。



図1 MISFET の断面図



図2 MISFET の断面図

活性化熱処理後に BHF によって SiO2 のウェットエッ チングを行い、除去した。その後、中電流イオン注入装置 にてイオン注入を行い、デバイス間の素子分離領域を形 成した。イオン注入は、N イオンを 150 keV の加速エネル ギーにてドーズ量 1×10<sup>15</sup>/cm<sup>2</sup> を室温で注入した。最後に ソース・ドレイン電極形成を行った。E-GUN 真空蒸着装 置に低抵抗 Ti/AI[6]を 30/200 nm の厚さで堆積し、窒素雰 囲気中にて 550 ℃で 1 分間熱処理を行い、ソース,ドレイ ン電極を形成した。完成したデバイスの光学写真を図 2 に 示す。

#### 2.2. 実験結果と考察

作製したデバイスのドレイン電流-ドレイン電圧特性を 図3に、ドレイン電流-ゲート電圧および相互コンダクタ ンス-ゲート電圧の伝達特性を図4に示す。これらの特性 はいずれもゲート長が2µm、ゲート幅が50µmのもので ある。これらのグラフから、作製したデバイスは良好なト ランジスタの動作をしていることがわかる。ゲート電圧7 V、ドレイン電圧10Vのとき、最大ドレイン電流22 mA/mmが得られ、ゲート電圧6.5V、ドレイン電圧5Vの とき、最大相互コンダクタンス3.5 mS/mmが得られた。 同デバイスにおけるしきい値電圧は、ドレイン電圧が5V のとき+0.4Vであり、目標であるノーマリーオフ型のデ バイス[7.8]を作製することができた。



図5にはサファイア基板上 Mo ゲート MISFET の RF 特性[9]を示した。ゲート電圧 6V、ドレイン電圧 10V のとき、遮断周波数は 262 MHz、電力利得遮断周波数は 477 MHz が得られたが、共に周波数の値は小さい。ゲート長の微細化を可能にすることにより、高周波化が可能であると考えられる。



図5 サファイア基板上 Mo MISFET の RF 特性

3. 自立 GaN 基板上 Mo gate GaN MISFET

3.1 実験条件

ここでは、高抵抗の C ドープバッファ層を有した自立 GaN 基板上に作製した Mo ゲート MISFET のプロセスに ついて記述する。自立 GaN 基板上に C-doped GaN Buffer 6 um、p-GaN 0.2 µm が成長された GaN エピタキシャル基 板を用いた。C ドープバッファ層の C 濃度は 7.2x10<sup>17</sup>/cm<sup>2</sup> である。p-GaNの Mg 濃度は 5×10<sup>17</sup>/cm<sup>3</sup>である。その上 に、ゲート絶縁膜およびイオン注入保護膜として、マグネ トロンスパッタリング装置にて SiNx を 30 nm の厚さで堆 積した。その後厚さ 200 nm の Mo を、E-GUN 真空蒸着装 置によって堆積し、リフトオフによってゲートパターン を形成した。このゲートパターンをチャネル領域部分の イオン注入マスクとして用い、中電流イオン注入装置に てイオン注入を行った。イオン注入は、28Si イオンを 50 keV の加速エネルギーにてドーズ量 1×10<sup>15</sup>/cm<sup>2</sup> を室温で 注入し、低抵抗 n+領域を形成した。活性化熱処理は、窒 素雰囲気中において1100℃で2分間行った。保護膜には マグネトロンスパッタリング装置にて堆積した 50 nm の 厚さの SiO2 膜を用いた。活性化熱処理後に BHF によって SiO2のウェットエッチングを行い、除去した。その後、中 電流イオン注入装置にてイオン注入を行い、デバイス間 の素子分離領域を形成した。イオン注入は、N イオンを 150 keV の加速エネルギーにてドーズ量 1×10<sup>15</sup> /cm<sup>2</sup> を室 温で注入した。最後にソース・ドレイン電極形成を行った。 E-GUN 真空蒸着装置に低抵抗 Ti/Al を 30/200 nm の厚さ で堆積し、窒素雰囲気中にて 550 ℃で1分間熱処理を行 い、ソース,ドレイン電極を形成し、デバイスの完成であ る。サファイア基板上 GaN エピタキシャル基板では結晶 欠陥密度が10<sup>8</sup>/cm<sup>2</sup>以上含まれてしまっているのに対し、 今回使用した自立 GaN 基板上エピタキシャル基板では、 結晶欠陥密度が 10<sup>6</sup> /cm<sup>2</sup> 程度と少ないため、高品質な結 晶性を有している。そのため、デバイス特性の向上が期待 できる。

3.2. 実験結果と考察

作製したデバイスのドレイン電流-ドレイン電圧特性を 図6に、ドレイン電流-ゲート電圧および相互コンダクタ ンス-ゲート電圧の伝達特性を図8に示す。



図6 ドレイン電流-ドレイン電圧特性



図8 自立 GaN 基板上 Mo MISFET の RF 特性

これらの特性はいずれもゲート長が 2  $\mu$ m、ゲート幅が 50  $\mu$ m のものである。サファイア基板上 Mo gate MISFET 同様に自立 GaN 基板上 Mo gate MISFET も良好なトラン ジスタ特性を示している。

ゲート電圧 7 V、ドレイン電圧 10 V のとき、最大ドレイ ン電流 47 mA/mm というサファイア基板上の値よりも 2 倍以上の高い結果が得られた。また、ゲート電圧 7 V、ド レイン電圧 5V のとき、最大相互コンダクタンス 8.5 mS/mm が得られた。しきい値電圧はドレイン電圧が 5 V のとき+1.0 V となり、ノーマリーオフ型となった。

図8には自立GaN基板上MoゲートMISFETのRF特性を示した。ゲート電圧6V、ドレイン電圧10Vのとき、 遮断周波数は1.15GHz、電力利得遮断周波数は1.82GHz という高い値が得られた。この理由として、自立GaN基 板上エピタキシャル層では高品質であり高い移動度有す るからであると考えられる。サファイア基板上GaN MISFETと自立GaN基板上GaNMISFETのチャネル移動 度を算出し比較したところ、サファイア基板の場合35 cm<sup>2</sup>/Vsであったのに対し、自立GaN基板では95cm<sup>2</sup>/Vs と高い値が得られた。本研究では自己整合プロセスによ りGaNMISFETの作製を行ったため、ゲートのオーバー ラップ容量を限りなく低減することが出来、寄生容量を 減らすことができるので高周波特性の向上につながる。 高周波特性の向上のためには自己整合プロセスは有効で あると言える。次に、今回用いた自立 GaN 基板には C ド ープバッファ層を有しており、その有効性を知るために、 デバイス間リーク電流を測定し、サファイア基板上 MISFET の場合とで比較した。その結果を図9に示す。



図9 デバイス間リーク電流

図9に示すように、Cドープによる高抵抗バッファ層が 有効でありデバイス間リークを阻止していると考えられ る。一方、サファイア基板では、バッファ層を介したリ ークパスが残っているため、高いリーク電流であったの だと考えられる。Cドーピングによるバッファ層が有効 であることがわかったため、今後はデバイス特性の更な る高性能化とパワーデバイスへの応用が期待できる。

#### 4. 結論

Mg doped-GaN 基板を用いることで自己整合 MISFET の ノーマリーオフ化が可能となった。低抵抗な Mo をゲー ト電極に用いることと、ゲート長の微細化により高周波 特性の向上が見込まれる。

また、高品質な結晶性を有する自立 GaN 基板を用いる ことで、デバイス特性が大幅に向上した。

謝辞:研究を進めるにあたってご指導頂きました法政大 学理工学研究科 中村徹教授、日立金属株式会社 三島 友義氏に心から感謝致します。また共同研究者である Department of Electrical Engineering, National Central Universityのprof. Hsin、法政大学理工学研究科 山本康博 教授、岡崎拓也氏に深く感謝致します。また研究において 的確なご指導、ご助言並びに基板の提供をして頂いた日 立金属株式会社 金田直樹氏、日立製作所中央研究所 土屋朋信氏、寺野昭久氏、に深く感謝いたします。本研究 を遂行するにあたり、ご支援いただいたケミトロニクス 葛西武氏、日立金属株式会社 堀切文正氏、法政大学イオ ンビーム工学研究所 西村智朗准教授、ノートルダム大 学 野本一貴氏、そして日頃から様々な助言を頂きまし た、豊田合成株式会社 長谷川一也氏、株式会社東芝 田 口真也氏、片寄秀雄氏、法政大学 福田俊氏、山内一樹氏、 青柳拓也氏、杉町徹氏、葛西駿氏、伊藤駿一氏、中村徹研 究室の皆様に感謝致します。簡単ではありますが、これ

を謝辞とさせていただきます。

#### 参考文献

- 中村徹・三島友義 共著,『超高速エレクトロニクス』, コロナ社
- S・M・ジィー 著 『半導体デバイス(第2版)』, 産業図書
- Kazuki Nomoto et al., "Remarkable Reducation of On-Resistance by Ion Implantation in GaN/AlGaN/GaN HEMTs With Low Gate Leakage Current", *IEEE Electron Device* vol.28, no.11, pp.939-941, 2007
- 4) Kazuki "Integrated Nomoto  $\mathbf{et}$ al., GaN/AlGaN/GaN HEMTs with Preciously Controlled Resistance on Silicon Substrate Fabricated by Ion Implantation", Material Research Society Proceedings, vol.1068, C03-06, 2008.
- K. Nomoto, T. Tajima, T. Mishima, M. Satoh, and T. Nakamura, *IEEE Electron Device Lett*, vol. 28, no. 11, Nov. 2007.
- Haijiang Yu, et al., "Ion Implanted AlGaN-GaN HEMTs With Nonalloyed Ohmic Contacts", *IEEE Electron Device Lett.*, vol.26, no.5, May 2005 pp.283-285.
- H. Kambayashi et al., "Normally Off n-Channel GaN MOSFETs on Si Substrates Using an SAG Technique and Ion Implantation", *Electron Device Lett.*, vol.28, no. 12, pp. 1077 – 1079, 2007.
- U. Singisetti, et al., "Enhancement-Mode N-Polar GaN MISFETs With Self-Aligned Source/Drain Regrowth", *IEEE ELECTRON DEVICE LETTERS*, VOL. 32, NO. 2, FEBRUARY 2011
- J. W. Chung, W. E. Hoke, E. M. Chumbes, and T. Palacios, "AlGaN/GaN HEMT with 300-GHz fmax," *IEEE Electron Device Lett.*, vol. 31, no. 3, pp. 195–197, Mar. 2010.