

### ΔΣ変調技術を用いた素子バラツキにロバストなアナログ／デジタル混載回路に関する研究

安田, 彰 / YASUDA, Akira

---

(開始ページ / Start Page)

1

(終了ページ / End Page)

84

(発行年 / Year)

2000-03-24

(学位授与番号 / Degree Number)

32675乙第127号

(学位授与年月日 / Date of Granted)

2000-03-24

(学位名 / Degree Name)

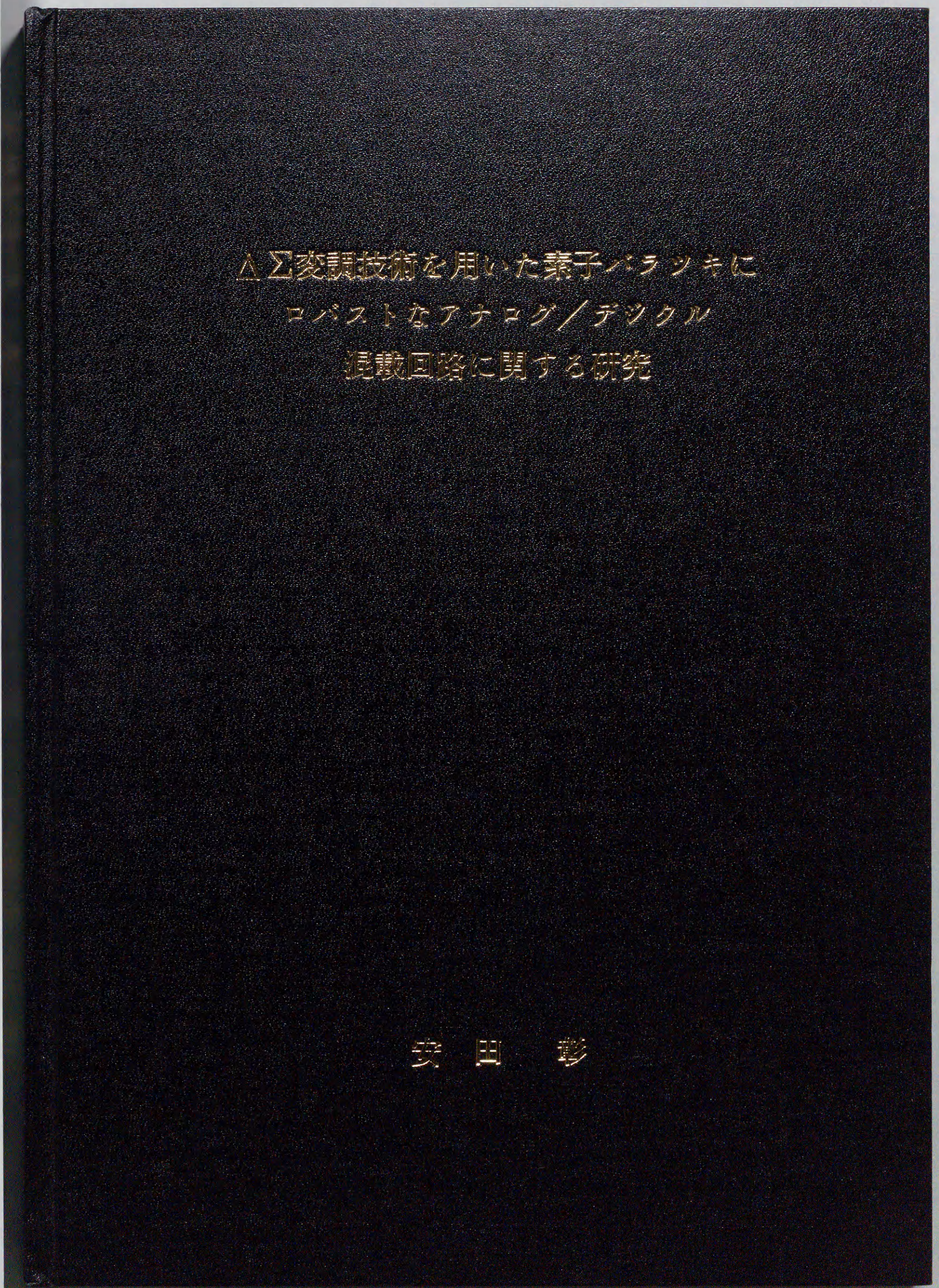
博士(工学)

(学位授与機関 / Degree Grantor)

法政大学 (Hosei University)

(URL)

<https://doi.org/10.11501/3175586>



①

$\Delta \Sigma$ 変調技術を用いた素子バラツキに  
ロバストなアナログ/デジタル  
混載回路に関する研究

2000年1月

安 田 彰

## 概要

本論文は、筆者が東芝 研究開発センターで行った研究において、 $\Delta$ - $\Sigma$  変調器の拡張および  $\Delta$ - $\Sigma$  変調器の応用に関してまとめたものである。

アナログ LSI では、アナログの素子値がプロセスのゆらぎなどにより変動するため、回路の特性がその影響を受け劣化する。この素子値ばらつきには、絶対値ばらつきと、相対値ばらつきがある。連続時間フィルタでは、素子値の絶対値を用いてカットオフ周波数等を設定しており絶対値ばらつきが問題となる。ADC や DAC では、素子値の相対精度を利用して変換を行うため相対値ばらつきが問題となる。本論文では、フィルタにおいては、 $\Delta$ - $\Sigma$  変調器を応用することで、これらの絶対精度ばらつきの影響を低減する方法、ADC, DAC に対しては相対精度の影響を大幅に低減するノイズシェーピング・ダイナミック・エレメントマッチング法 (NSDEM) について述べる。また、 $\Delta$ - $\Sigma$  変調器および NSDEM を応用した周波数変換機能を持った  $\Delta$ - $\Sigma$  変調器についても述べる。

## Abstract

This thesis describes the theories of  $\Delta$ - $\Sigma$  modulators to realize a robust system against random mismatch variation between circuit elements due to a semiconductor process variation. A circuit performance is affected by the element variation in an analog LSI. The element variation can be categorized to an absolute-value variation and a relative value variation. The absolute-value variation is an important problem, since a cutoff frequency of a continuation-time filter is determined by the absolute value of elements. In an analog-to-digital converter (ADC) or a digital-to-analog converter (DAC), relative-value variation is an important problem, since a resolution in an ADC and a DAC is realized by using a device matching in LSI. In this thesis, the theories to reduce the effects of absolute-value variation in a filter and to reduce the effects of relative-value variation in the ADC and the DAC are presented. The effects of absolute-value variation are overcome by applying  $\Delta$ - $\Sigma$  modulator. A noise shaping dynamic element matching method (NSDEM) proposed in this thesis can greatly reduce the effects of relative-value variation. The  $\Delta$ - $\Sigma$  modulator with frequency converters in a feedback loop is also presented.

## Abstrakt

Diese These beschreibt die Theorien von Delta-Sigma Modulatoren, um widerstandsfähiges System gegen Ungewisheit von dem Schaltung zu realisieren. Die Veränderung des Halbleiter Prozesses verändert das Wert von Elementen eines Schaltungs. Eine Schaltung

Leistung wird von der Veränderung des Elementes in einem ANALOGLSI beeinflusst. Die Variation des Elementes kann absolut und relativ sein. Es geht um die Variation dem absoluten Wert, wenn eine cutoff Frequenz bei Filter einer Fortsetzung-Zeit durch das absolut Wert von Elementen bestimmt ist. Es geht um die Variation dem relativen Wert, wenn Analog-Digital Konverter (ADC) oder Digital-Analog Konverter (DAC) durch die relative Präzision von Elementen Wert geleichtert wird. In dieser These, die Theorien, die Wirkungen von Variationen der absoluten Präzision in einem Filter verringern, und, die Wirkungen von Variationen der relativen Präzision im ADC und im DAC, sind beschreibt. Die Wirkungen von den Variationen der absoluten Wert sind durch Verwenden von Delta-Sigma Modulator überwinden. Das Methode, Geräusch das dynamisches Element gestaltet(NSDEM), die Wirkung von Variationen der relativen Wert verringert, sind beschreibt. Der Delta-Sigma Modulator mit Frequenz Konvertern in einer Rückkopplung Schleife sind geklärt.

## 目次

第1章 序論	3
1.1 研究の背景	3
1.2 研究の目的	6
1.3 概要	6
第2章 $\Delta$ - $\Sigma$ 変調器の基礎理論	9
2.1 はじめに	9
2.2 アナログデジタル変換	9
2.3 1次 $\Delta$ - $\Sigma$ 変調器	11
2.4 2次 $\Delta$ - $\Sigma$ 変調器	15
2.5 高次 $\Delta$ - $\Sigma$ 変調器	18
2.6 高次 $\Delta$ - $\Sigma$ 変調器の安定化	21
2.7 デシメーションフィルタ	26
2.8 まとめ	30
第3章 $\Delta$ - $\Sigma$ 変調器を用いた $\pi/4$ シフト QPSK 信号発生器	31
3.1 はじめに	31
3.2 QPSK 信号発生器	32
3.3 デジタル加算器を用いない構成法	33
3.4 QPSK 信号発生器における LPF 特性の影響	36
3.5 アナログ FIR フィルタを用いた信号発生器の構成	40
3.6 変調精度の改善	45

3.7	DAC および FIR フィルタの構成法 . . . . .	49
3.8	本 QPSK 信号発生器の特性評価 . . . . .	52
3.9	まとめ . . . . .	59
第 4 章	ノイズシェーピング・ダイナミック・エレメント・マッチング法	61
4.1	はじめに . . . . .	61
4.2	DAC におけるバラツキの影響 . . . . .	62
4.3	高精度変換技術 . . . . .	63
4.4	ノイズシェーピング・ダイナミック・エレメント・マッチング法 . . . . .	66
4.5	NSDEM の実現方法 . . . . .	75
4.6	木構造ノイズシェーピング・ダイナミック・エレメントマッチング法	75
4.7	シミュレーション結果 . . . . .	78
4.8	まとめ . . . . .	87
第 5 章	NSDEM を用いた高精度・広帯域・低消費電力 $\Delta$ - $\Sigma$ ADC の提案	89
5.1	はじめに . . . . .	89
5.2	多-bit 内部 DAC の非線形性の影響 . . . . .	91
5.3	$\Delta$ - $\Sigma$ ADC の設計 . . . . .	93
5.4	回路設計 . . . . .	101
5.5	本 ADC, DAC の特性評価 . . . . .	105
5.6	まとめ . . . . .	111
第 6 章	周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器	113
6.1	はじめに . . . . .	113
6.2	従来の受信システム . . . . .	114
6.3	周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器 . . . . .	115
6.4	周波数変換機能を持った多-bit $\Delta$ - $\Sigma$ 変調器 . . . . .	126
6.5	まとめ . . . . .	138
第 7 章	結論	141

## 第 1 章

### 序論

#### 1.1 研究の背景

半導体プロセス, 特に Si CMOS プロセスの微細化にともなって, デジタル回路の演算スピードは益々高速化し, デジタル信号処理スピードも高速化している. このため従来では難しかった高速信号処理なども行えるようになってきた. このようなデジタル信号処理スピードの高速化にともなって, 外界とのインターフェイスへも高速化が求められている. 外界の信号はアナログ信号であり, マイクロフォンや CCD イメージセンサなどのセンサを用いてアナログ信号に変換される. これをデジタル信号処理するためには, 連続時間信号を離散時間信号に変換する際に生じる折り返し雑音を低減するための連続時間フィルタと, 信号を離散化するアナログ-デジタル変換器の使用が必須となる. この逆に, デジタル信号をアナログ信号に変換する際には, デジタル-アナログ変換器およびアナログ連続時間フィルタが必要になる. このフィルタとアナログ-デジタル変換器の高速高精度化が, 今後のデジタル信号処理能力を発揮させるために極めて重要になる.

アナログ回路の特性は, 回路設計時の回路構成および用いた素子値によって決まる. しかしながらこれらの素子値は, LSI として実現した場合, 半導体プロセスの揺らぎによって, 設計値から変動してしまう. このため, 回路の特性は, 設計時のものから変動し特性が変化する. フィルタであれば, 周波数特性が変化し

たり、アナログ-デジタル変換器やデジタル-アナログ変換器であれば雑音や歪み特性が劣化する。

半導体プロセスの進歩は目覚しく、微細加工技術の進展とともに MOS トランジスタをはじめとするアクティブデバイスの動作スピードは向上しており、今後も進展すると予測されている。一方、MOS トランジスタ閾値電圧の変動や抵抗やキャパシタの素子値バラツキなどは、微細加工技術が進んだ半導体プロセスではむしろ劣化する傾向にある。

したがって、今後の半導体プロセスの進歩によるデジタル信号処理能力を発揮するためには、閾値や素子値のバラツキが増大した場合にも、性能劣化のないアナログフィルタおよびアナログ-デジタル変換器、デジタル-アナログ変換器を実現する技術が重要になる。

アナログ信号における素子値などのバラツキの影響を考える場合、絶対値バラツキと相対値バラツキの二つの問題について考察する必要がある。絶対値バラツキは、素子値の値そのものの変動を問題とする場合であり、相対値バラツキは、素子値そのものは問題とせず複数の素子の素子値の比の変動を問題とする。連続時間フィルタの場合は、素子値そのものによって決まる時定数を利用して周波数選択特性を実現するものであり、絶対値バラツキが問題となる。一方、アナログ-デジタル変換器、デジタル-アナログ変換器では、アナログからデジタル、デジタルからアナログへの変換基準を実現する際に素子値の比を利用するため、相対値バラツキが問題となる。

素子の精度の影響を評価する尺度として、システム全体の評価値をこの素子値の変動成分で微分した値を用いることが行なわれている。これは、素子感度と呼ばれている。また、バラツキがどの程度まで許容されるかを知る別の方法としては、最悪の状態を用いる頂点解析、最悪でない場合の解析方法である、モーメント法、標本化法の統計的探索法としてモンテカルロ法が知られている。この中で、計算コストが比較的低いことからモンテカルロ法がいろいろな分野で用いられている。

さて、性能を劣化を低減させるアプローチとしては、部品そのものの精度を向上

させるという立場と、部品の精度が悪い場合、その影響を小さくするという立場に大きく分けられる。前者の方法としては、LSI を製造後個別に調整するレーザートリミング技術が用いられているが、製造コストが上昇する欠点がある。絶対バラツキ、相対バラツキの影響を低減する方法として最も一般的に行われている方法は、安全率なる経験的な係数をマージンとして加え設計する方法である。しかし、この方法では必要以上の性能を設計時に要求することになり、消費電流や回路規模の増大をまねきコストの上昇要因になるばかりか、場合によっては、仕様の実現すら難しくなる。

バラツキの影響を低減する従来の別な方法として、トレランス設計法がある。これは、ある特定のバラツキの分布を仮定した上で、モンテカルロ法を用いてバラツキに対する性能劣化特性を求め、もっとも多くの良品が得られるように設計値を修正するものである。しかし、この方法は、バラツキの影響そのものを小さくするものではなく、バラツキによる性能劣化を大幅に低減することは期待できない。

一方相対バラツキに関しては、LSI 上の素子では素子値の絶対値が最悪 30%程度ばらつくのに対し、複数の素子の素子値の相対精度は高く 1%~0.1%程度となっており、これを利用した回路が用いられてきた。しかし、相対精度を利用した方法では 12bit 精度程度が限界となる。これ以上の性能を得る方法として、前述したレーザートリミング技術が用いられているが、製造コストが上昇する。

しかしながら、近年ではデジタル信号処理の高速化などもあって、広ダイナミックレンジの信号を扱うことへの要求が高まっている。このため、アナログ回路、特に AD、DA 変換器には従来の枠を越えた精度向上方法が求められるようになってきている。

現在、相対高精度を超えるアナログ-デジタル、デジタル-アナログ変換手法として  $\Delta-\Sigma$  変換器 [1] が用いられている。この方法では、相対精度も使わず 1-bit すなわち 1 素子で表現できる 2 値のみを使い、これにノイズシェーピングをかけることにより高精度変換を実現している。しかし、この方法は高いオーバーサンプリング比が必要となり、低周波の変換にしか適用されていない。



## 1.2 研究の目的

そこで本論文では、 $\Delta$ - $\Sigma$  変調技術およびデジタル信号処理や、アナログ信号処理を効果的に組み合わせることにより、素子バラツキの影響を低減した構成法を実現し、これを LSI 回路に応用することでアナログ/デジタル混載回路の高性能化を図ることを目的とする。

素子値バラツキの絶対精度が重要となる連続時間フィルタに関して、そのバラツキを許容できるシステムおよび回路構成に関して論じ、その解決を図る。また、素子値バラツキの相対精度が問題となるデジタル-アナログ変換器およびアナログ-デジタル変換器に関して、バラツキの影響を論じ、その課題の解決を図る。

## 1.3 概要

本論文は次の順序で記述を進める。第2章では、 $\Delta$ - $\Sigma$  変調器の原理および特性について概説する。本論文の目的は、 $\Delta$ - $\Sigma$  変調器を拡張し、応用することにより、従来のアナログ回路では実現できなかった、高精度変換特性や低消費電力特性などを実現することにある。本章では  $\Delta$ - $\Sigma$  変調器で用いているオーバーサンプリング技術およびノイズシェーピング技術について解説し、 $\Delta$ - $\Sigma$  変調器の次数、オーバーサンプリング比および安定性の関係を考察する。 $\Delta$ - $\Sigma$  変調器では、これらを適正に設計することで高精度変換が実現される。これらの原理を十分に理解することは、 $\Delta$ - $\Sigma$  変調器を応用する上で重要である。

$\Delta$ - $\Sigma$  変調器では、 $\Delta$ - $\Sigma$  変調器を構成する素子値に変動の影響が小さいことも大きな特徴であり、本論文ではこれらの特徴を積極的に利用することで、アナログ回路の特性を改善する。

第3章では、 $\Delta$ - $\Sigma$  変調器を用いてルートロールオフフィルタのインパルス応答を1ビットに符号することによって小型化した、 $\Delta$ - $\Sigma$  変調器を用いた  $\pi/4$  シフト QPSK 信号発生器を提案し、その試作結果について記述する。この方法では、 $\Delta$ - $\Sigma$  の高精度変換特性を利用し、高精度信号発生器を実現できる。この際にデー

タ端の処理が問題となることを明らかにし、ロールオフフィルタの波形に合わせて振幅を制御することによってこれを解決できることを示す。また、アナログ 1-bitFIR フィルタを用いることで、信号発生器に後置されるローパスフィルタへの特性を緩和させる方法を提案する。また、 $\Delta$ - $\Sigma$  変調器のインパルス応答およびアナログ 1-bitFIR フィルタのインパルス応答が、変調精度の劣化の原因となる。本章では、これを解決する方法として、 $\Delta$ - $\Sigma$  変調器およびアナログ 1-bitFIR フィルタのインパルス応答の劣化を、あらかじめデータに補正を加えることで緩和する方法を提案し、この方法がアナログ素子のばらつきの影響を受けにくいことも示す。

第4章では、多ビット  $\Delta$ - $\Sigma$  変調器を構成する際に問題となる DAC の不完全性の影響を低減する方法を提案する。多-bit  $\Delta$ - $\Sigma$  変調器は、高次  $\Delta$ - $\Sigma$  変調器の安定性が容易に図れ、これにより変換精度の向上、オーバーサンプリング比の低減そして高速動作が可能になるなど数々のメリットがある。しかし、多-bit  $\Delta$ - $\Sigma$  変調器では、内部 DAC で発生する雑音および歪が変換出力にそのまま現れる欠点があり、内部 DAC には最終的な変換精度と同程度の精度が要求される。これでは  $\Delta$ - $\Sigma$  変調器の素子値ばらつきの影響が小さい特徴が生かせなくなる。本章では、まず、DAC を構成する素子値の誤差情報がある場合での素子値ばらつきによる雑音にノイズシェーピングをかける方法を提案し、次にこれを誤差情報がない場合への拡張を行い、ノイズシェーピング・ダイナミック・エレメント・マッチング法 (NSDEM) を提案する。

提案方法では、DAC を構成する抵抗などの素子の使用の有無を複数回積分しその値の少ないものから選択を行う。この方法では、DA 変換器の bit 数を増やした場合、ハードウェア規模が  $n(\log_2 N)^2$  に比例して大きくなる問題がある。この問題を解決する方法として、木構造ノイズシェーピング・ダイナミック・エレメント・マッチング法 (TNSDEM) の提案を行う。

第5章では、ノイズシェーピング・ダイナミック・エレメント・マッチングを用いた  $\Delta$ - $\Sigma$  ADC, DAC の設計技術について述べる。TNSDEM を用いた多-bit  $\Delta$ - $\Sigma$  変調器を構成する場合における  $\Delta$ - $\Sigma$  変調器の構成法を述べる。また、TNSDEM

を用いた場合に、低消費電力化する方法について考察を行う。さらに、CMOSプロセス技術が微細化した場合に TNSDEM を利用した方法がさらに有効になることも示す。TNSDEM を用いた ADC および DAC を試作しその評価結果を示す。

第6章では、周波数変換機能を有する  $\Delta$ - $\Sigma$  変調器の提案を行う。この方法は、無線通信での信号のような搬送波の周波数は高いが、信号帯域は狭い信号を直接 AD 変換することを可能とする。この方法では、 $\Delta$ - $\Sigma$  変調器の内部にミキサを配置し、これによって  $\Delta$ - $\Sigma$  変調器内部で周波数変換を実現する。従来のスーパーヘテロダインのような無線機では、ミキサの特性が受信機としての特性を決定する大きな要因であったが、提案する方法は、ミキサが  $\Delta$ - $\Sigma$  ループの中にあるため、ミキサで発生するの歪みにもノイズシェーピングがかかり、その影響が抑圧される。これによって、高精度な AD 変換および周波数変換を実現することが可能なる。本章では、周波数変換機能を持った  $\Delta$ - $\Sigma$  変調器における内部ミキサの歪みの影響について述べ、NSDEM を用いることでさらに性能を向上させる方法を提案する。

## 第2章

### $\Delta$ - $\Sigma$ 変調器の基礎理論

#### 2.1 はじめに

本章では、変調器の原理および特性について概説する。本論文の目的は、 $\Delta$ - $\Sigma$  変調器を拡張し、応用することにより、従来のアナログ回路では実現できなかった、高精度変換特性や低消費電力特性などを実現することにある。本章では  $\Delta$ - $\Sigma$  変調器で用いてるオーバーサンプリング技術およびノイズシェーピング技術について解説する。このために、 $\Delta$ - $\Sigma$  変調器の次数、オーバーサンプリング比および安定性の関係をよく考察する。 $\Delta$ - $\Sigma$  変調器では、これらを適正に設計することで高精度変換が実現される。これらの原理を十分に理解することは、 $\Delta$ - $\Sigma$  変調器を応用する上で重要である。

$\Delta$ - $\Sigma$  変調器では、 $\Delta$ - $\Sigma$  変調器を構成する素子値に変動の影響が小さいことも大きな特徴であり、本論文ではこれらの特徴を積極的に利用することで、アナログ回路の特性を改善する。本章では、これらの点についても解説する。

#### 2.2 アナログデジタル変換

アナログデジタル変換器 (ADC) [2] は、アナログ信号をデジタル信号に変換する機能ブロックである。アナログ信号をデジタル信号に変換する際には、連続

時間信号であるアナログ信号をサンプリングクロックに基づいて離散時間信号に変換するサンプリングと、アナログ信号（電圧）を規定された階調で数値化する量子化を行う。 $f_b$  の帯域を持つ信号をサンプリングし元の信号を再現するためには、サンプリング周波数  $f_s$  は、ナイキストのサンプリング定理から  $2f_b$  以上とする必要がある。

$n$ -bit の線形 ADC は、 $2^n$  の量子化ステップを持ち、入力信号振幅が  $\pm 1$  であることを仮定すると、最小 bit 幅 (LSB) は、 $\Delta = 2/2^n$  となる。 $n$  がある程度大きく  $\Delta$  が小さい場合には、入力アナログ信号と、出力デジタル信号との量子化誤差  $e$  は、 $[-\Delta/2, \Delta/2]$  に均等に分布する入力信号とは無相関なランダム信号と考えることができる。このような仮定のもとでは、誤差信号  $e$  のパワー  $\sigma_e$  (量子化雑音) は、

$$\sigma_e = \Delta^2/12 \quad (2.1)$$

となる。一方、フルスケールすなわち振幅 1 のサイン波をこの ADC に入力した場合の、信号パワー  $P_s$  は、

$$P_s = \frac{(2^{n-1}\Delta)^2}{2} \quad (2.2)$$

となり、このとき得られる  $SNR_{max}$  は、

$$SNR_{max} = \frac{\frac{(2^{n-1}\Delta)^2}{2}}{\Delta^2/12} = \frac{3}{2}2^{2n} \quad (2.3)$$

となる。

このナイキストレート ADC の実現方法としては、並列型、パイプライン型、逐次比較型、積分型などがある。このうち積分型を除くと、いずれの方法も入力信号を量子化する際の精度は、変換する際の基準信号発生させる回路や比較器を構成する回路素子の素子精度によって決定される。通常の LSI で実現できる素子精度（相対精度）は 0.1% 程度のため、変換精度は 12bit が限界となる。積分型は、電圧振幅方向の精度ではなく、積分器によって電圧信号を時間信号に変換し、時間領域でアナログデジタル変換を行う方法で、高精度な変換が可能である。しかし、変換 bit 数を  $n$  とした場合、 $2^n$  倍のサンプリングクロックが必要となり、計測用などの低速変換以外に用いることは困難である。

### 2.2.1 オーバーサンプリング

従来のナイキスト定理で要求されるサンプリング周波数  $2f_b$  よりも高い周波数でサンプリングを行うことを、オーバーサンプリングと言う。量子化雑音は、DC から  $f_s/2$  に分布する。このため、 $f_s$  を高くし、 $f_b$  以上の周波数成分をデジタルフィルタで減衰させた場合には、DC から  $f_b$  の範囲に分布する雑音のパワーは、ナイキストサンプリングの場合よりも小さくなる。

信号帯域幅を  $f_b$ 、サンプリング周波数を  $f_s$  としたとき、オーバーサンプリング比は  $O_r$  を次のように定義すると、

$$O_r = \frac{f_s}{2f_b} \quad (2.4)$$

$SNR_{max}$  は、

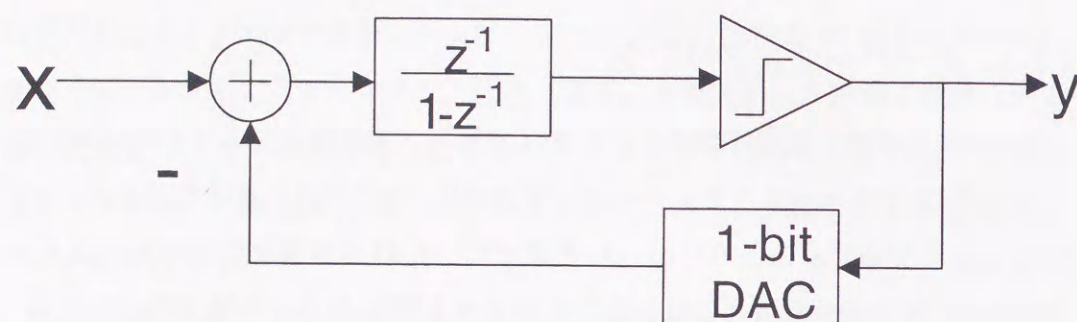
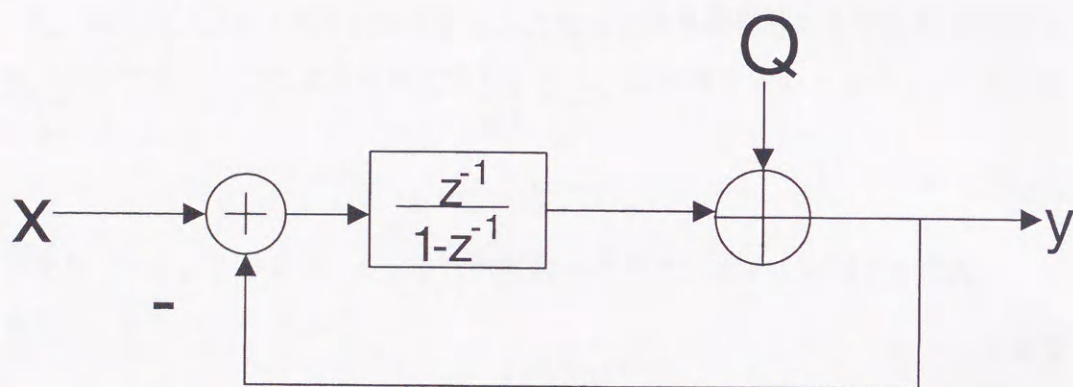
$$SNR_{max} = \frac{3}{2}2^{2n}O_r \quad (2.5)$$

となる。

## 2.3 1次 $\Delta$ - $\Sigma$ 変調器

1次  $\Delta$ - $\Sigma$  変調器のブロック図を図 2.1 に示す。 $\Delta$ - $\Sigma$  変調器の呼び方に関しては、 $\Sigma$ - $\Delta$  変調器と表記されている場合もあるが、本論文では最初の文献[1]にない  $\Delta$ - $\Sigma$  変調器を用いる。1次  $\Delta$ - $\Sigma$  変調器は、積分器、コンパレータ、1-bit DAC および減算器により構成される。コンパレータで 2 値 (1-bit) に量子化された出力信号  $y$  は、入力にフィードバックされ、これによって DC 入力に対しては  $x$  と  $y$  が一致するように動作する。 $x - y$  すなわち変換による誤差が積分器の入力となり、ループはこの誤差の積分値が 0 となるように制御される。 $\Delta$ - $\Sigma$  変調器の 1-bit 出力は、デジタルフィルタに接続され、このフィルタによって不要な高周波成分を除去することにより高精度な変換出力が得られる。

図 2.2 に 1次  $\Delta$ - $\Sigma$  変調器の等価回路を示す。この図において、 $Q$  は 1-bit 量子化器 (コンパレータ) における量子化雑音[3]を示す。この等価回路の  $z$  領域に

図 2.1: 1次  $\Delta$ - $\Sigma$  変調器図 2.2: 1次  $\Delta$ - $\Sigma$  変調器の等価回路

おける伝達関数は,

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})Q(z) \quad (2.6)$$

と表される. ここで,  $Y(z)$  は, 離散時間 1-bit 出力信号,  $X(z)$  は, 離散時間アナログ入力信号,  $Q(z)$  は量子化雑音である. 式 (2.6) より, 量子化雑音には  $(1 - z^{-1})$  の伝達関数が掛り, DC 付近の雑音が低減されることが分かる. これをノイズシェーピングと呼んでいる. ここで, 量子化雑音  $Q(z)$  が白色とすると, 信号帯域内雑音は,

$$N^2 = |Q(\omega)|^2 \frac{1}{2\pi} \int_{-2\pi f_b/f_s}^{2\pi f_b/f_s} |H(\omega)|^2 d\omega = |Q(\omega)|^2 \frac{1}{2\pi} \int_{-\pi/O_r}^{\pi/O_r} |H(\omega)|^2 d\omega \quad (2.7)$$

と表される. ここで,  $H(\omega)$  に  $1 - e^{-j\omega}$ ,  $z^{-1}$  に  $e^{-j\omega}$  を代入すると,

$$N^2 = |Q(\omega)|^2 \frac{1}{2\pi} \int_{-\pi/O_r}^{\pi/O_r} 4 \sin^2\left(\frac{\omega}{2}\right) d\omega = |Q(\omega)|^2 \frac{2}{\pi} \left\{ \left(\frac{\pi}{O_r}\right) - \sin\left(\frac{\pi}{O_r}\right) \right\} \quad (2.8)$$

となる. 式 (2.8) で,  $\pi/O_r$  が小さい場合, すなわちオーバーサンプリング比が大きい場合は, 式 (2.8) は次のように変形できる.

$$N^2 \approx |Q(\omega)|^2 \frac{1}{3\pi} \left(\frac{\pi}{O_r}\right)^3 \quad (2.9)$$

ここで,  $|Q(\omega)|^2 = \frac{\Delta^2}{12}$ , コンパレータの出力を  $[-1, 1]$  とし,  $\Delta = 2$ , とすると,

$$N^2 = \frac{1}{9\pi} \left(\frac{\pi}{O_r}\right)^3 \quad (2.10)$$

となる.

コンパレータの出力が  $[-1, 1]$  であるので, 入力信号の最大振幅  $A_{max} = \Delta/2 = 1$  である. これより, 入力信号の 2 乗平均値は  $\Delta^2/2$  である. したがって最大の信号対雑音比 ( $SNR_{max}^2$ ) は,

$$SNR_{max}^2 = \frac{9\pi}{2} \left(\frac{\pi}{O_r}\right)^{-3} \quad (2.11)$$

となる. 1次  $\Delta$ - $\Sigma$  変調器では, オーバーサンプリング比の 3 乗で  $SNR^2$  が改善し, オーバーサンプリング比を 2 倍にすることにより  $SNR^2$  が 9dB 改善される. オーバーサンプリング比が 128 の場合の SNR は, 59.8dB となる.

このように  $\Delta$ - $\Sigma$  変調器は, オーバーサンプリング比を上げることによりいくらかでも SNR を向上させることが可能である. つまり, アナログ素子精度の改善によらずクロック周波数を上げることにより性能向上を図ることができる. 特に, ここで示したように 2 値の内部 ADC および DAC を用いた場合, 2 点を結ぶ線は直線になることから, 一般に ADC, DAC の線形性は保証される. このため, 通常の ADC, DAC では高い素子精度が要求されるが, 2 値の内部 ADC および DAC を用いた場合には素子精度の影響は, オフセットおよびゲインエラーのみとなる. これらの影響は, 最終変換結果のオフセット誤差およびゲインエラーになり, 歪特性を劣化させるものではない.

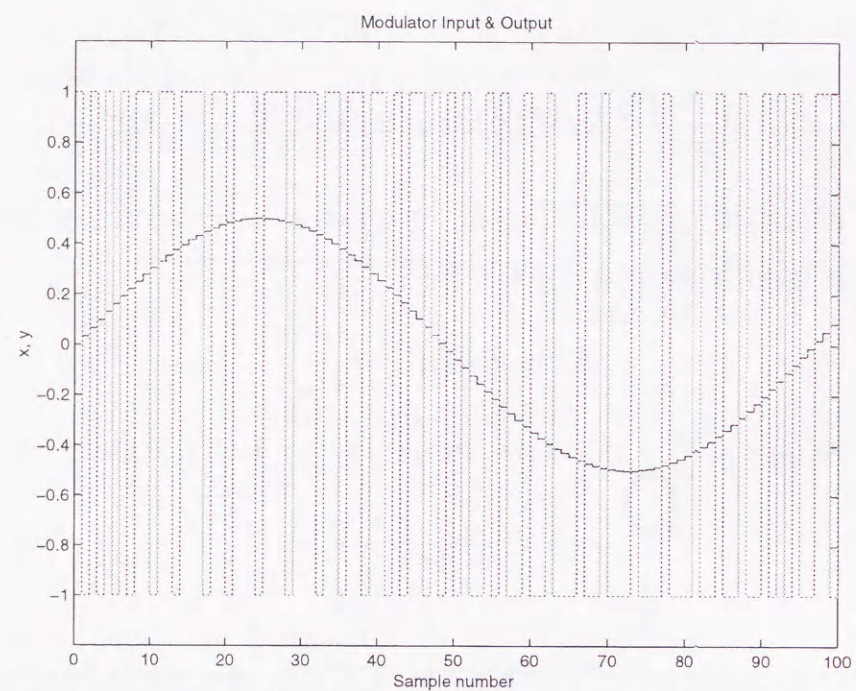
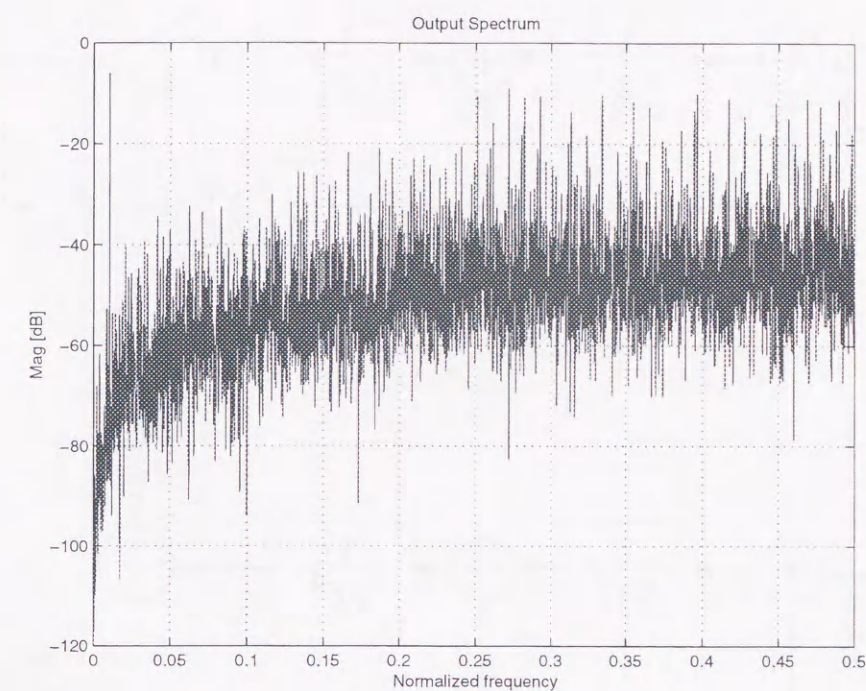
図 2.3: 1次  $\Delta$ - $\Sigma$  変調器の入出力波形

図 2.3 に 1 次  $\Delta$ - $\Sigma$  変調器の入出力波形のシミュレーション結果を、また、図 2.4 に出力を FFT して求めたパワースペクトルを示す。

1 次  $\Delta$ - $\Sigma$  変調器では、高 SNR を得るためには高オーバーサンプリング比が必要となる。高オーバーサンプリング比を実現するためには、アナログ回路を高速動作させる必要があり、これは実際の回路を実現する際に問題となる。

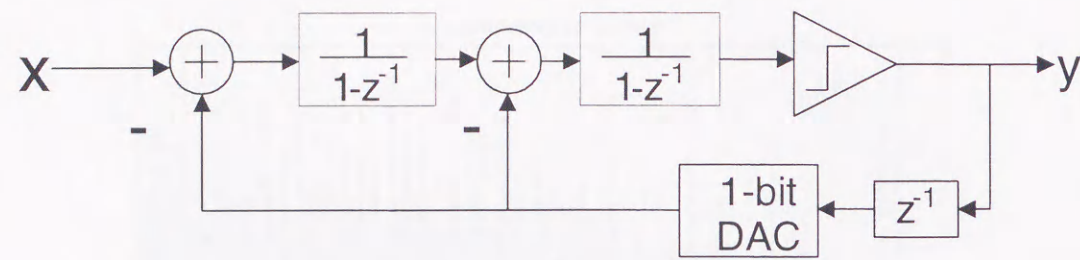
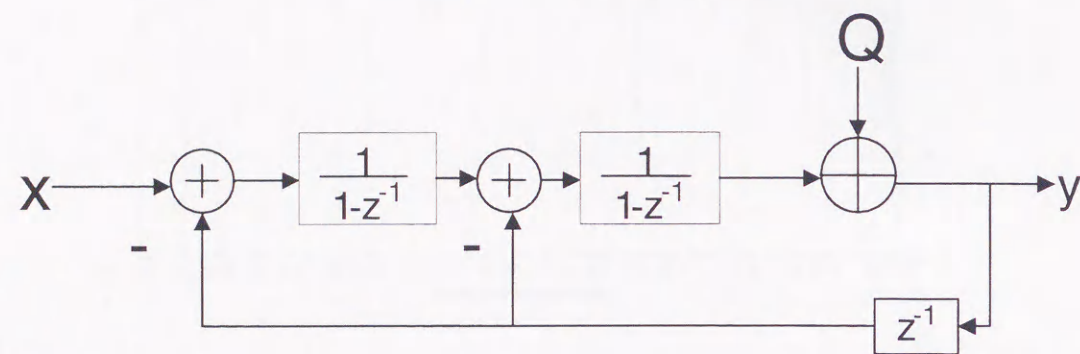
1 次  $\Delta$ - $\Sigma$  変調器の問題点として、DC 入力時に出力スペクトルに大きな線スペクトル（トーン）が現れることがある [4], [5]。2 次以上の  $\Delta$ - $\Sigma$  変調器では、トーンのレベルは大幅に低下する。これは、1 次  $\Delta$ - $\Sigma$  変調器の出力信号に周期的波形が存在するためである。これを改善するためには、ディザを入力信号に印加するか、内部 ADC および DAC に多ビットのものを用いれば良い。それ以外に、カオス変調を用いる方法が提案されている [6]。ディザを用いることにより、内部 ADC における量子化雑音の白色化が行われ、これによりトーンの発生が押さえられる。通常のナイキストレートの ADC および DAC では、出力信号からディザ

図 2.4: 1次  $\Delta$ - $\Sigma$  変調器の出力スペクトル

信号を引き算することにより最終出力を得る必要がある。しかし、 $\Delta$ - $\Sigma$  変調器ではオーバーサンプリングを行っているので、信号帯域外にディザの周波数を選ばばデシメーションフィルタによってディザ信号は取り除かれるため、ディザ信号を引き算する回路は特に必要はない。ディザを用いた場合、その分内部信号振幅が大きくなるため SNR を劣化させる要因となる。多ビットの内部 ADC および DAC を用いる方法は有効な方法であるが、内部 DAC で発生する誤差信号は直接出力に現れるため、内部 DAC には、高精度なものが必要となる。このため、高精度アナログ回路素子を必要としない  $\Delta$ - $\Sigma$  変調器の特徴が活かされない。

## 2.4 2次 $\Delta$ - $\Sigma$ 変調器

2 次  $\Delta$ - $\Sigma$  変調器のブロック図を図 2.5 に示す。2 次  $\Delta$ - $\Sigma$  変調器では、ループ内に積分器を 2 つ設けている点が 1 次  $\Delta$ - $\Sigma$  変調器と異なる。

図 2.5: 2次  $\Delta$ - $\Sigma$  変調器図 2.6: 2次  $\Delta$ - $\Sigma$  変調器の等価回路

2次  $\Delta$ - $\Sigma$  変調器の等価回路を図 2.6 に示す. 1次  $\Delta$ - $\Sigma$  変調器の場合と同様に伝達関数  $Y(z)$  を求めると,

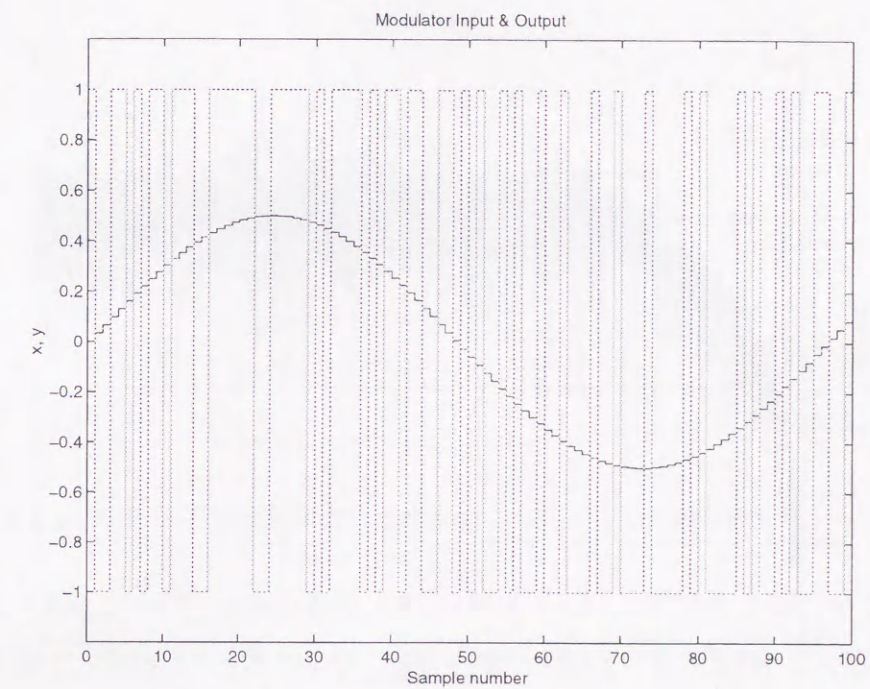
$$Y(z) = X(z) + (1 - z^{-1})^2 Q(z) \quad (2.12)$$

となる. 式 (2.7) で,  $H(w) = (1 - e^{-jw})^2$  とすると,

$$\begin{aligned} N^2 &= |Q(w)|^2 \frac{1}{2\pi} \int_{-\frac{\pi}{O_r}}^{\frac{\pi}{O_r}} 16 \sin^4\left(\frac{w}{2}\right) dw = |Q(w)|^2 \frac{1}{\pi} \left\{ 6\frac{\pi}{O_r} - 8 \sin\left(\frac{\pi}{O_r}\right) + \sin\left(2\frac{\pi}{O_r}\right) \right\} \\ &\approx |Q(w)|^2 \frac{1}{5\pi} \left\{ \frac{\pi}{O_r} \right\}^5 \end{aligned} \quad (2.13)$$

となる. ここで,  $|Q(w)|^2 = \frac{\Delta^2}{12}$ , コンパレータの出力を  $[-1, 1]$  とし,  $\Delta = 2$ , とすると,

$$N^2 = \frac{1}{15\pi} \left\{ \frac{\pi}{O_r} \right\}^5 \quad (2.14)$$

図 2.7: 2次  $\Delta$ - $\Sigma$  変調器の入出力波形

となる.

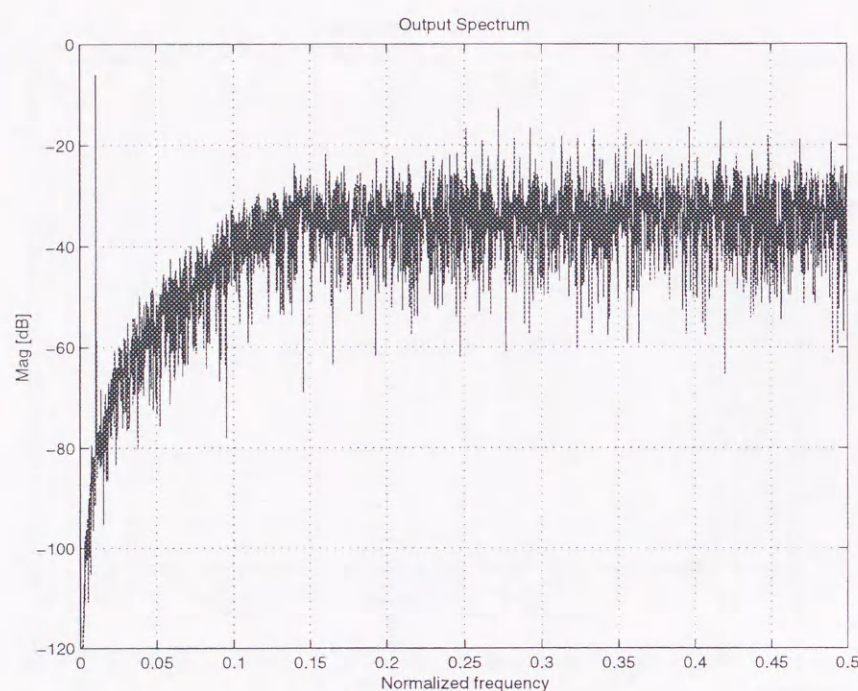
このときの  $SNR_{max}^2$  は, コンパレータの出力が  $[-1, 1]$ , 入力信号の最大振幅  $A_{max} = \Delta$  とすると,

$$SNR_{max}^2 = \frac{15\pi}{2} \left( \frac{\pi}{O_r} \right)^{-5} \quad (2.15)$$

となる.

したがって, 2次  $\Delta$ - $\Sigma$  変調器における SNR は, オーバーサンプリング比の 5 乗に反比例して改善され, オーバーサンプリング比を 2 倍にすることによって 15dB 改善される.

図 2.7 に 2次  $\Delta$ - $\Sigma$  変調器の入出力波形のシミュレーション結果を, また, 図 2.8 に出力を FFT して求めたパワースペクトルを示す.

図 2.8: 2次  $\Delta$ - $\Sigma$  変調器の出力スペクトル

## 2.5 高次 $\Delta$ - $\Sigma$ 変調器

ループ内の積分段数を3以上とした3次以上の  $\Delta$ - $\Sigma$  変調器を構成することが可能である。 $n$  次  $\Delta$ - $\Sigma$  変調器の雑音は、

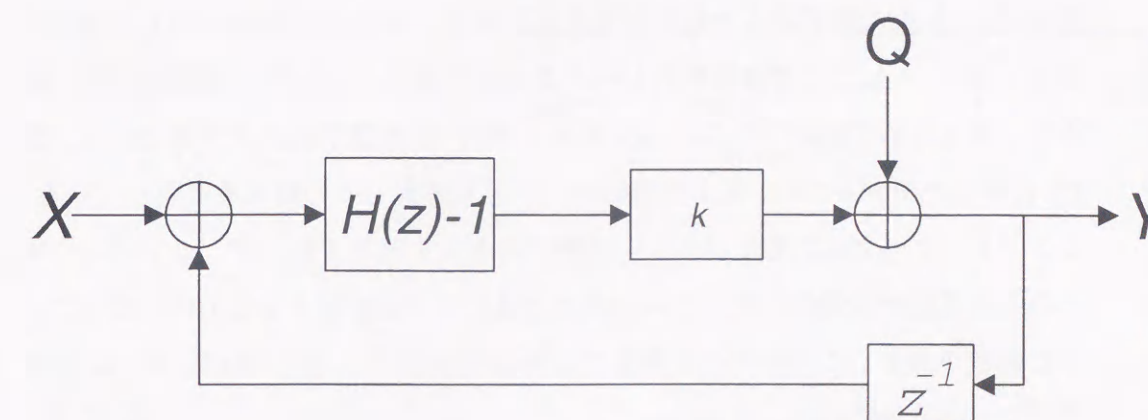
$$N^2 = |Q(w)|^2 \frac{1}{2\pi} \int_{-\frac{\pi}{O_r}}^{\frac{\pi}{O_r}} \left\{ 2 \sin\left(\frac{\omega}{2}\right) \right\}^{2n} d\omega \quad (2.16)$$

となる。オーバーサンプリング比  $O_r$  が大きい場合は、

$$N^2 \approx |Q(w)|^2 \frac{1}{(2n+1)\pi} \left\{ \frac{\pi}{O_r} \right\}^{2n+1} \quad (2.17)$$

と近似できる[7]。このときの  $SNR_{max}^2$  は、コンパレータの出力が  $[-1, 1]$ ，入力信号の最大振幅  $A_{max} = \Delta$  とすると、

$$SNR_{max}^2 = \frac{3(2n+1)\pi}{2} \left( \frac{\pi}{O_r} \right)^{-(2n+1)} \quad (2.18)$$

図 2.9: 高次  $\Delta$ - $\Sigma$  変調器における内部コンパレータの非線型性を示すモデル

となる。したがって、 $n$  次の場合、オーバーサンプリング比を2倍にする際 SNR の改善率は、 $3(2n+1)$  dB となり、次数を増やすことにより SNR を大幅に改善することが可能となる。しかし、次数を上げた場合は、ノイズシェーピング特性が急峻となるため、帯域外の雑音を減衰させるためのフィルタへの要求が厳しくなる。

また、図 2.2, 2.6 に示したような線形モデルを用いた表現では、次数によらず  $\Delta$ - $\Sigma$  変調器のループは安定となる。しかし、実際には、内部 ADC の出力は階段状の不連続特性となるため、高次の  $\Delta$ - $\Sigma$  変調器は必ずしも安定とならない。一般に、内部 ADC を 1-bit とした場合には、3 次以上の  $\Delta$ - $\Sigma$  変調器は不安定となる [8][9][10]。一般には、1987 年に W. L. Lee らの論文 [11] によって、高次  $\Delta$ - $\Sigma$  変調器の安定化の方法が示されるまで、3 次以上の 1bit  $\Delta$ - $\Sigma$  変調器は、不安定で実現できないものと考えられていた。

さて、ここでは、図 2.9 に示したモデルを用いて高次の  $\Delta$ - $\Sigma$  変調器が不安定になる原因を説明する。図において、 $H(z)-1$  はループフィルタの伝達関数を表わしている。 $\Delta$ - $\Sigma$  変調器では、このループフィルタの出力をコンパレータで 1-bit 信号に変換する。図 2.2, 2.6 に示した 1 次および 2 次  $\Delta$ - $\Sigma$  変調器の等価回路では、量子化器（コンパレータ）は、入力信号に白色の量子化誤差を加算するモデルを用いている。量子化雑音を考える場合には、このモデルで多くの場合良いモデルとなっている。しかし、安定性を議論する場合には、これでは不十分である。

これは、 $\Delta$ - $\Sigma$  変調器の入力信号が大きくなると、コンパレータへの入力信号が大きくなり、 $\Delta$ - $\Sigma$  の帰還信号のレベルを超えた場合、 $\pm\Delta/2$  の範囲を大きく超えてしまうためである。ここで、 $\Delta$  はコンパレータの量子化ステップである。図 2.9 に示したモデルでは、量子化器のゲイン  $k$  を導入しこの効果を表現している。コンパレータへの入力電圧が小さい状態では  $k=1$  として良いが、コンパレータへの入力電圧が帰還信号のレベルを超えた場合は、 $k$  が 1 よりも小さくなっていると解釈される。このモデルは簡単ではあるが高次の  $\Delta$ - $\Sigma$  変調器に対して適用することが可能である。

まず、1 次  $\Delta$ - $\Sigma$  変調器の安定性を調べるために、このモデルを 1 次  $\Delta$ - $\Sigma$  変調器に適用し、 $k$  が 1 から 0 まで変化した場合の、 $\Delta$ - $\Sigma$  変調器の極を計算した結果を図 2.10 に示す。1 次  $\Delta$ - $\Sigma$  変調器では、極は原点に設定していたが、コンパレータへの入力電圧が大きくなり  $k$  が減少するにしたがって極は 1 に近づいていく。しかし、 $k=0$  のとき極は 1 になるが、それでも単位円の外側に出ることはない。したがって、1 次  $\Delta$ - $\Sigma$  変調器は、入力信号振幅によらず安定となり、絶対安定となっていることが分かる。しかしながら、 $k=0$  に近づいた場合は、極は単位円に近づいてくる。これが、1 次や 2 次  $\Delta$ - $\Sigma$  変調器においても、入力信号がフィードバック信号振幅に近づいた場合に、SNR が劣化する原因となっている。

次に 2 次  $\Delta$ - $\Sigma$  変調器についても同様に、 $k$  が 1 から 0 まで変化した場合の  $\Delta$ - $\Sigma$  変調器の極を計算し、この結果を図 2.11 に示す。2 次  $\Delta$ - $\Sigma$  変調器の極の軌跡は複素極とはなるものの、 $k$  が 1 から 0 の範囲でやはり単位円の中にあり絶対安定となっている。

3 次の場合の極の軌跡を図 2.12 に示す。3 次  $\Delta$ - $\Sigma$  は、 $k < 0.5$  の場合には極が単位円の外側に位置するようになり、入力信号が大きい場合や、初期状態によっては不安定となる。これは直感的には、コンパレータへの入力信号が大きくなった場合、必要となるフィードバック信号が大きくなったことを意味するが、フィードバック信号にリミッタがかかった状態となっているため、フィードバック量が足りず制御不能となっているためである。このとき、一度  $\Delta$ - $\Sigma$  変調器が不安定になった場合、 $k$  がもとに戻ることはない。

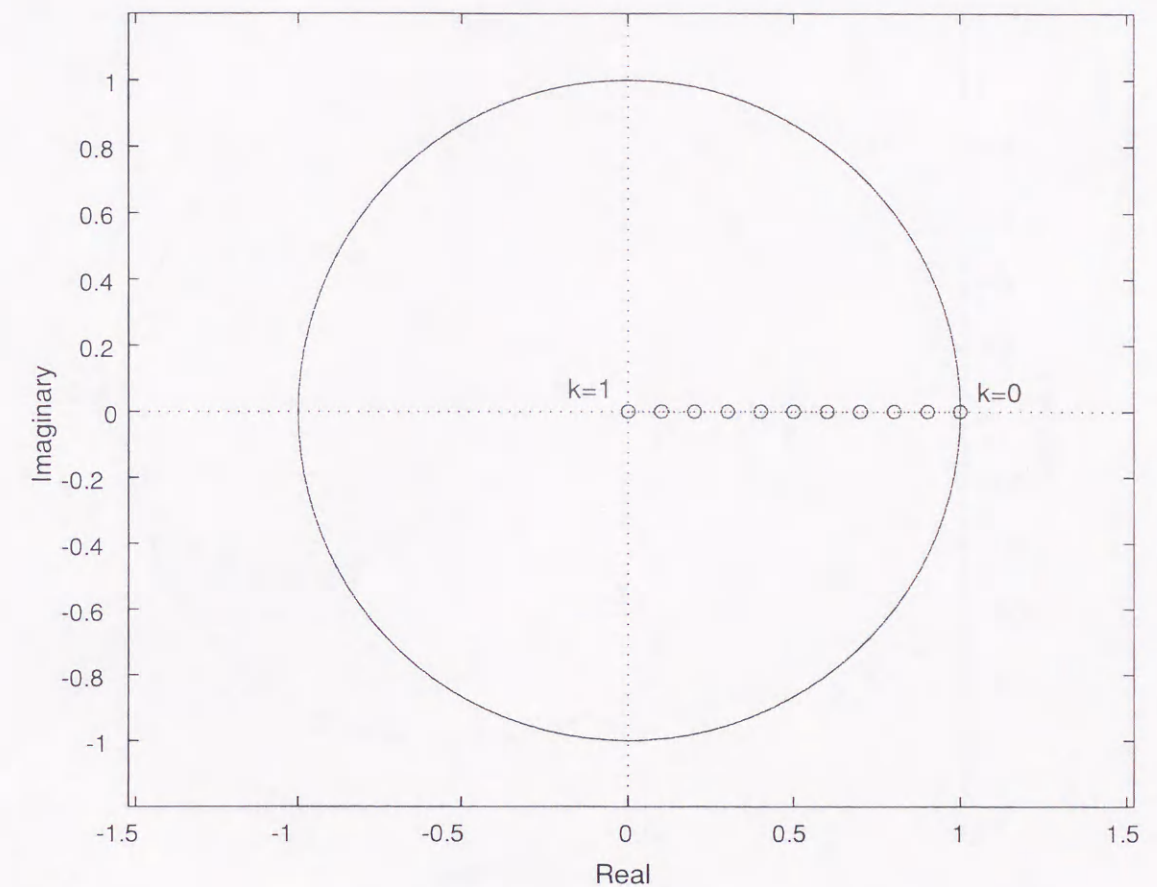
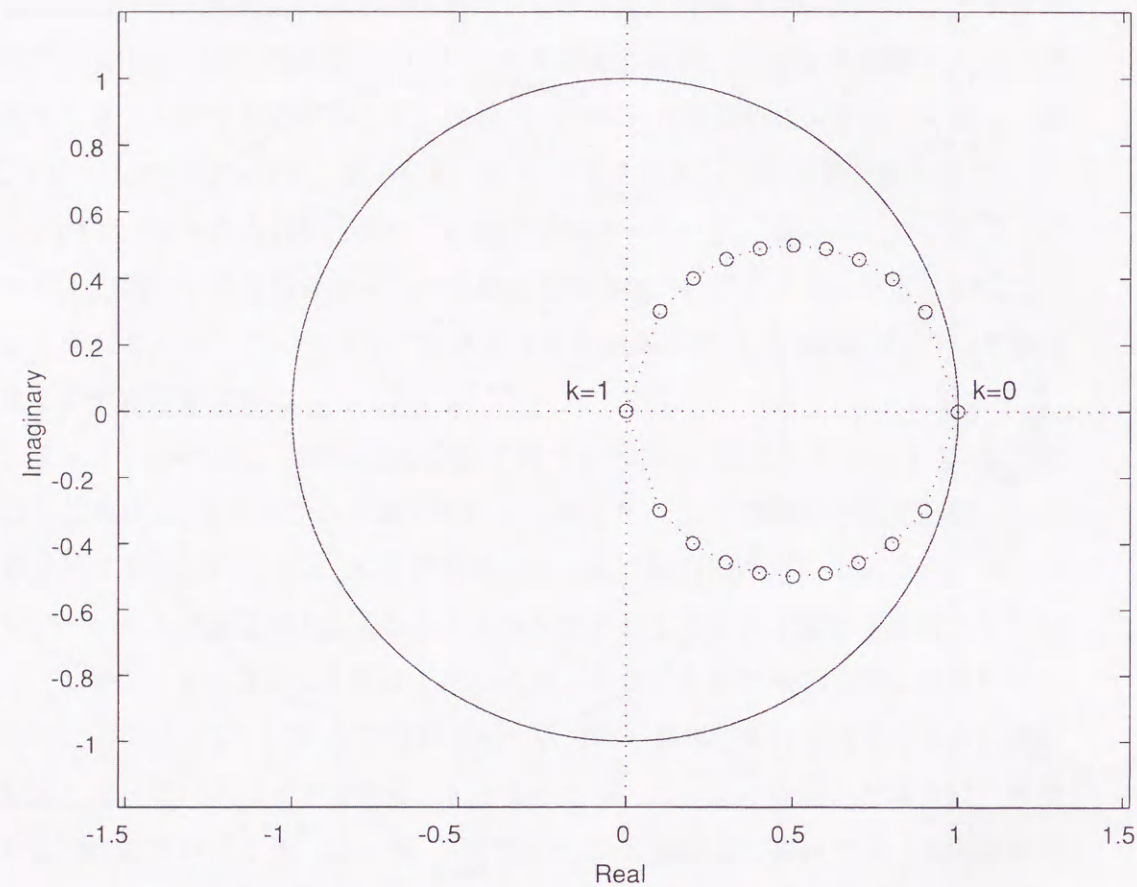


図 2.10: 1 次  $\Delta$ - $\Sigma$  変調器の極の軌跡

## 2.6 高次 $\Delta$ - $\Sigma$ 変調器の安定化

高次  $\Delta$ - $\Sigma$  変調器を安定化させる方法として、 $\Delta$ - $\Sigma$  変調器の極を  $z$  平面上の原点以外の単位円内に配置する方法が提案されている。線形システムにおいて、極をすべて  $z$  平面上の原点に配置した場合もっとも収束が速くなるが、これを実現するために状態変数の振幅が大きくなる。1-bit  $\Delta$ - $\Sigma$  変調器では、フィードバック量をコンパレータで量子化しているため、フィードバック量が制限され、これによって不安定になっていると解釈できる。したがって、システムの極を原点から遠ざけることにより、安定化を図ろうというのが上記の方法の原理である。



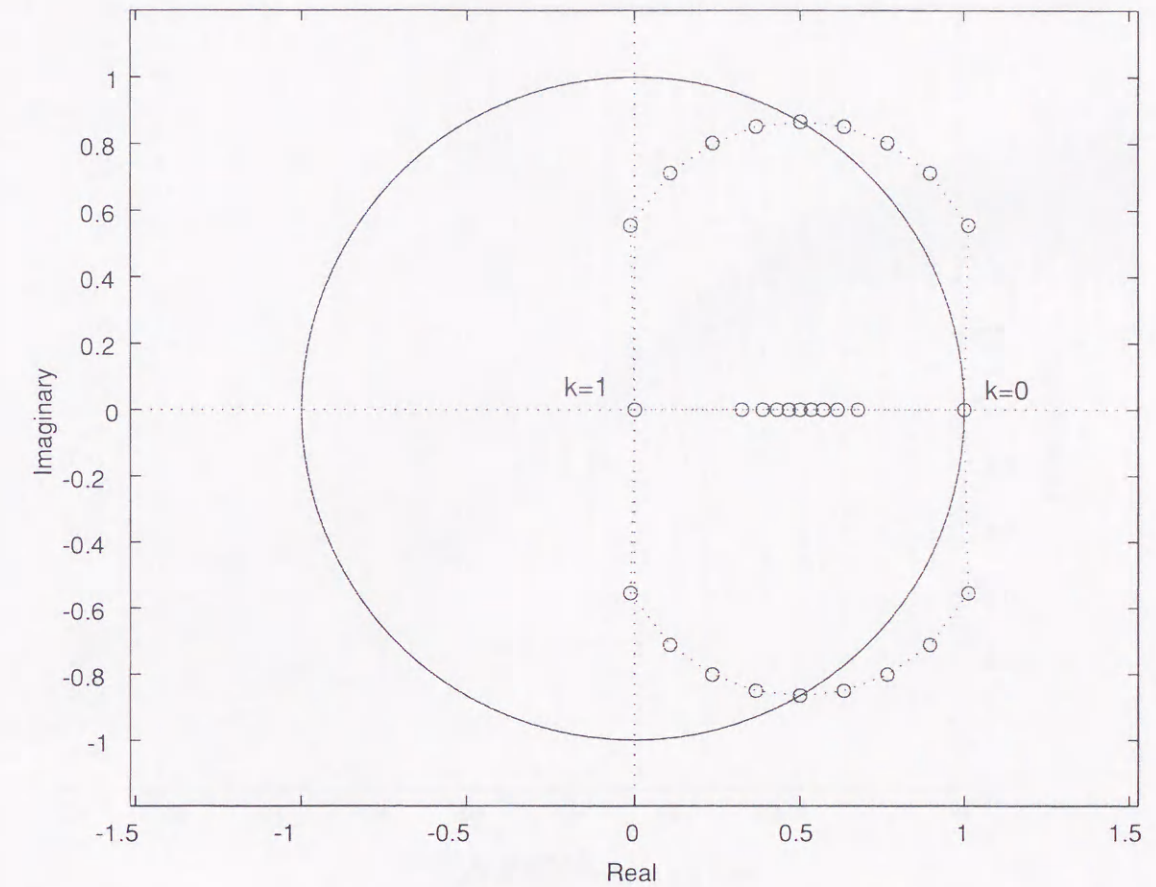
図 2.11: 2次  $\Delta$ - $\Sigma$  変調器の極の軌跡

どの程度極を移動させれば安定になるかについて、いくつかの報告がなされているが、高次の  $\Delta$ - $\Sigma$  変調器は、高次の非線型問題となるため現在のところ解析的にはこの問題は解かれていない。

ここでは、周波数領域において量子化雑音から出力への雑音伝達関数  $1/H$  の最大値を小さくする方法を用いて高次  $\Delta$ - $\Sigma$  変調器を安定化させる。極を原点に配置した従来の  $n$  次  $\Delta$ - $\Sigma$  変調器では、その雑音伝達関数の最大値  $\max(H(z))$  は、

$$\max(H(z)) = 2^n \quad (2.19)$$

となる。この  $\max(H(z))$  を 2 以下とすることにより高次の  $\Delta$ - $\Sigma$  変調器を安定化させられることが経験的に分かっている。そこで、3次  $\Delta$ - $\Sigma$  変調器をこの方法で

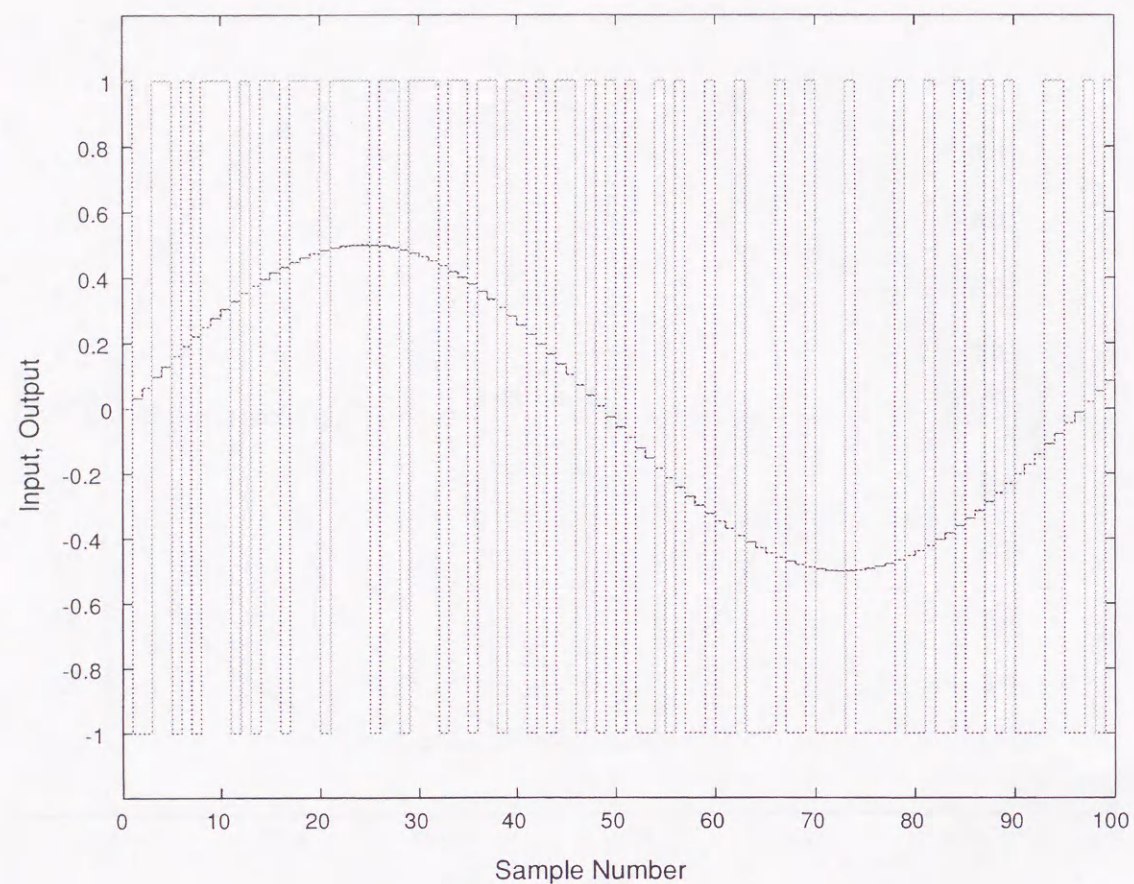
図 2.12: 3次  $\Delta$ - $\Sigma$  変調器の極の軌跡

安定化すると、雑音伝達関数  $H_{3stb}(z)$  は、

$$H_{3stb}(z) = \frac{(1 - z^{-1})^3}{(1 - 0.6694z^{-1})(1 - 1.531z^{-1} + 0.6639z^{-2})} \quad (2.20)$$

となる。このときの、入出力波形および出力スペクトルのシミュレーション結果を図 2.13, 2.14 に示す。入力信号が正負の大きな値になった場合でも 3 次  $\Delta$ - $\Sigma$  は安定化されていることが、入出力波形から分かる。また、出力スペクトルは、量子化雑音が 1 オクターブあたり 18dB の傾きでノイズシェーピングされていることを示している。

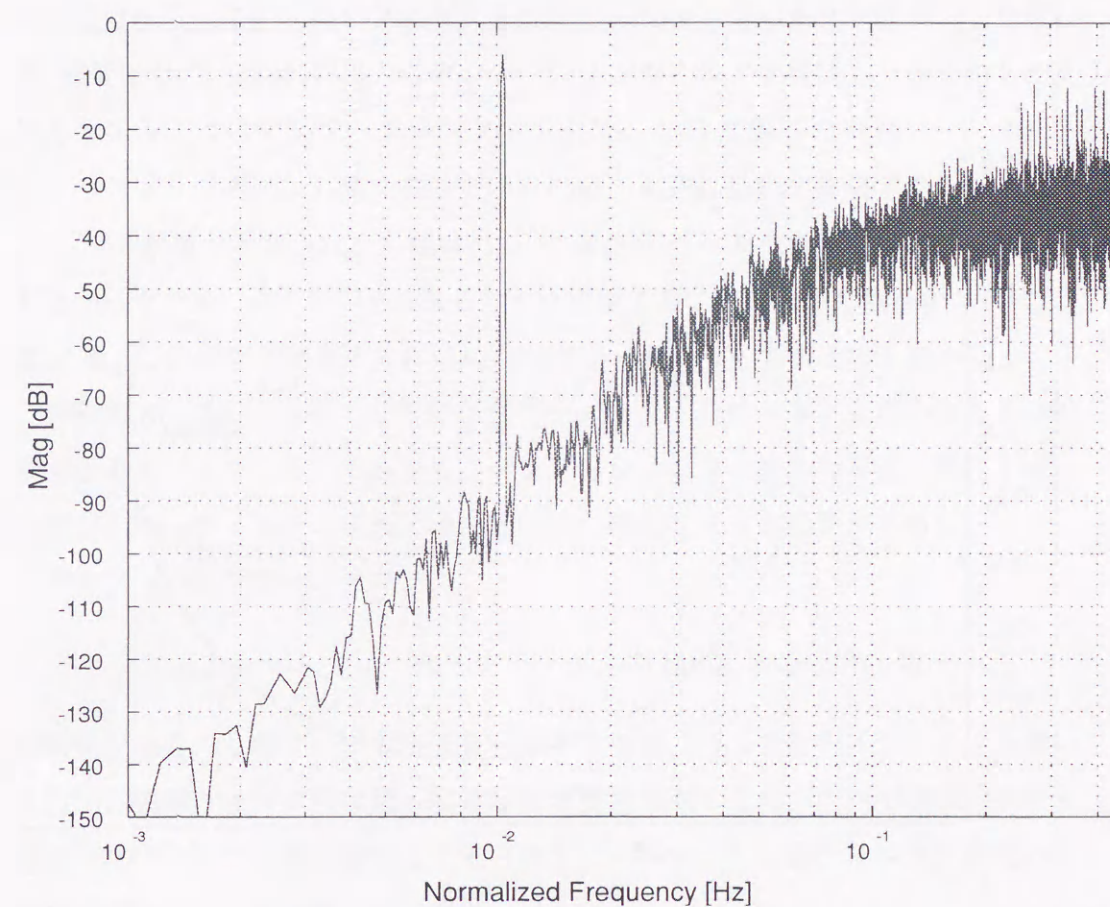
次に、この 3 次  $\Delta$ - $\Sigma$  変調器の極の軌跡を図 2.15 に示す。  $k=1$  のときの極を  $z$  平面上の原点から離して配置した場合、単位円の外側に極が出る  $k$  の値が減少し

図 2.13: 安定化した 3 次  $\Delta$ - $\Sigma$  変調器の入出力波形

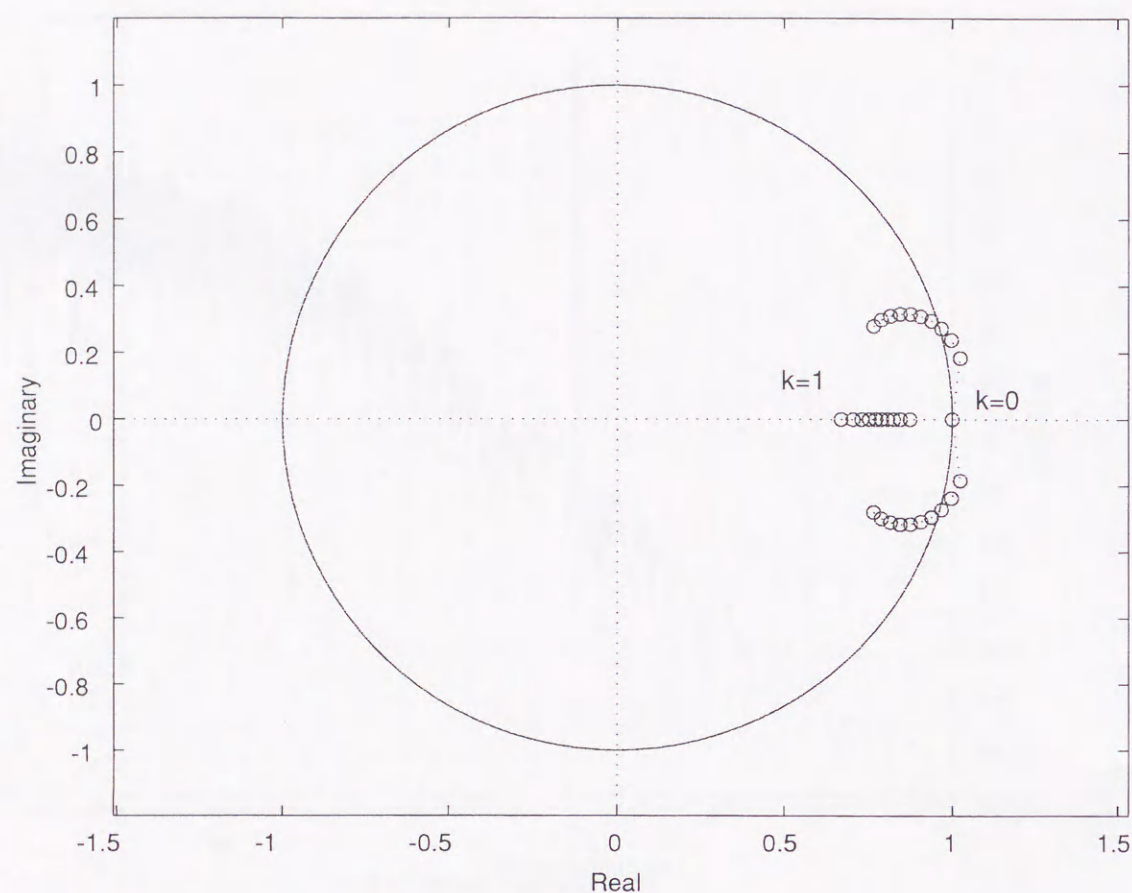
ている。この例の場合では、 $k$  が 0.2 以下では単位円の外側に出てしまう。この場合には、不安定となり入力小さくても安定な領域に戻ってこないため、不安定領域に入ったことを検出し、リセット等で内部状態を安定にする必要がある。

高次の  $\Delta$ - $\Sigma$  変調器を安定化させるには、上述した  $\Delta$ - $\Sigma$  変調器の極を  $z$  平面上の原点以外の単位円内に配置する方法の他に、各積分器の出力にリミッタを設ける方法がある。内部積分器にリミッタを設けることで、内部状態変数が不安定な領域に入らないように制御される。しかし、リミッタが動作した場合には、信号に対しても非線型な処理が行われるためその影響がでる。

また、別な方法として、内部 ADC の bit 数を増やすことによっても安定化させることができる。この場合には、内部 DAC も多 bit 化する必要が生じる。内部

図 2.14: 安定化した 3 次  $\Delta$ - $\Sigma$  変調器の出力スペクトル

DAC で生じる雑音はそのまま出力に現れるため、内部 DAC には最終的に  $\Delta$ - $\Sigma$  変調器に求められる程度の精度が要求され、これを LSI の中に実現することは難しい。このため、DAC を LSI の外付けとしたものが提案された[12]。この問題については、第 4 章および第 5 章で議論する。さらにこの影響を効果的に低減するノイズシェーピング・ダイナミック・エレメント法について、第 4 章および第 5 章で議論する。

図 2.15: 安定化した 3 次  $\Delta$ - $\Sigma$  変調器の極の軌跡

## 2.7 デシメーションフィルタ

$\Delta$ - $\Sigma$  変調器の出力は、最終的に必要なナイキストレートよりもオーバーサンプリング倍だけ高いサンプリングレートで出力される。このため、サンプリングレートを下げる（ダウンサンプリング）必要がある。オーバーサンプリングされたサンプリング周波数を  $f_s$ 、サンプリングレートを下げた出力のサンプリング周波数を  $f_{s_{down}}$  とすると、ダウンサンプリングにより  $f_{s_{down}}/2$  以上の成分は、 $f_{s_{down}}/2$  以下の周波数に折り返し、折り返し雑音となる。この影響を取り除くために、サンプリングレートを下げる前に、フィルタで  $f_{s_{down}}/2$  以上の成分を十分に減衰させ

る必要がある。このためのフィルタをデシメーションフィルタと呼ぶ。したがって、通常は  $\Delta$ - $\Sigma$  変調器の出力にデシメーションフィルタを接続し、最終的な変換出力を得る。このデシメーションフィルタは、 $\Delta$ - $\Sigma$  変調器の出力レートがオーバーサンプリングにより高くなっているため、高速に動作する必要がある。

$\Delta$ - $\Sigma$  変調器が考案された当時は [1]、半導体デバイスの集積度が低くスピードも遅かったため、このデジタルフィルタを実現することが困難であった。これが、 $\Delta$ - $\Sigma$  型 ADC が当時普及するにはいたらなかった一つの要因と考えられる。

近年の Si CMOS 技術の進歩によりデシメーションフィルタをローコストに実現できるようになった。それでも、デシメーションフィルタは高速に動作させる必要があり、フィルタの実現には、効率的な構成を考える必要がある。

デシメーションフィルタでは、

$$\text{入力レート} > \text{出力レート}, \text{入力 bit 数} < \text{出力 bit 数}$$

の関係がある。このデータの特徴を利用するため、マルチレートフィルタを用いる [13]。初段フィルタには最も高速動作が要求されるため、ハード構成の簡便な移動平均フィルタを多段接続した COMB フィルタ（くし型フィルタ）が用いられる。このフィルタの周波数特性は、

$$H_{comb}(z) = \frac{1}{R^n} \left( \frac{1 - z^{-R}}{1 - z^{-1}} \right)^n \quad (2.21)$$

となる。ここで、 $n, R$  は COMB フィルタの次数およびデシメーション比である。フィルタタップ長は、 $nR - n - 1$  である。 $n = 1$  の場合は、タップ係数がすべて 1 の FIR フィルタとなり、入力が 1bit の場合は、アップダウンカウンタで構成できる。この構成のデシメーションフィルタは、計測用の低速アプリケーションで用いられる。 $R = 32, n = 1, 2$  の場合の COMB フィルタの周波数特性を図 2.16 に示す。

伝達関数から分かるように  $\frac{1}{R}i$  ( $i = 1, 2, \dots, R - 1$ ) に零点のある特性となる。デシメーションフィルタの実現方法としては、

1. 図 2.17 に示した構成、

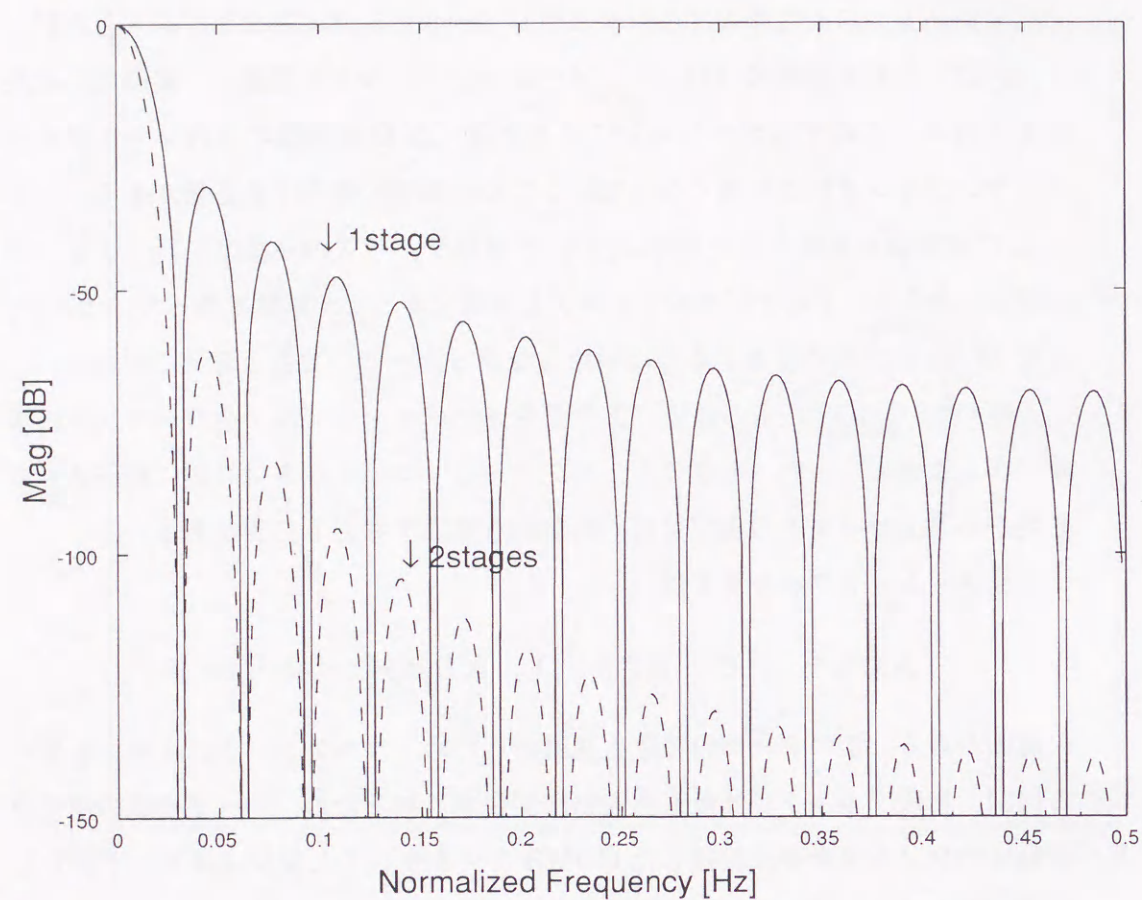


図 2.16: COMB フィルタの周波数特性

2. 式 (2.21) をそのままハードウェア化する構成,
3. 図 2.17 を展開し, 通常係数乗算のある FIR フィルタとした構成

がある。1の方法では, 高速で動作する部分は1段目となり, 信号の bit 数が増加した後段では, データレートが低速になっている。このため, 消費電力の大きい回路規模が小さくなり, 効率の良い実現方法となっている [13]。2の方法は, 式 (2.21) の分母を積分器を用いて構成することによりハード規模を抑えられるが, 初期値を設定する必要があることや, オーバーフロー対策を行う必要がある。3の方法では, FIR フィルタのタップ係数が1だけでなく乗算器が必要になり, ハードが複雑化する問題がある。しかし, 出力データレートは入力データ

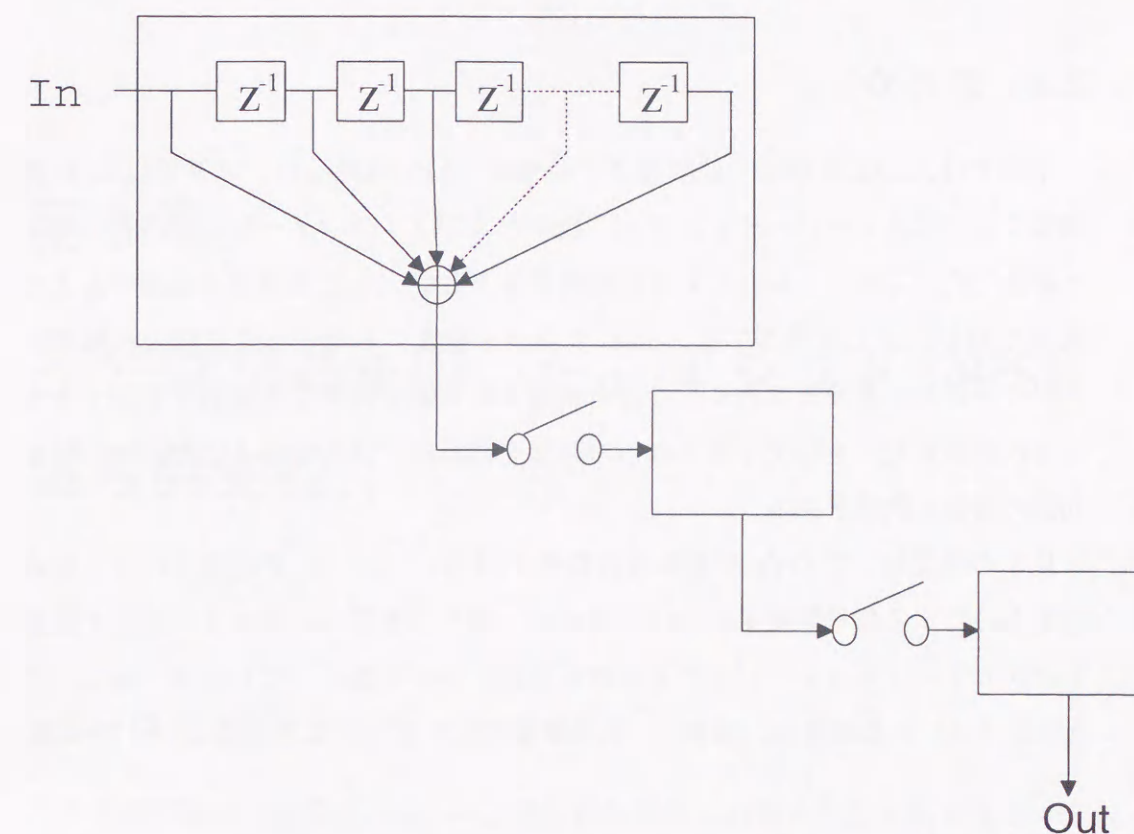


図 2.17: 3段構成のデシメーションフィルタ

レートに比較して遅いため, 処理を多重化して実現することにより, ハード規模を削減することが可能である。この方法は, 低速のアプリケーションにおいては, DSP 等を用いて処理を行うことも可能となり, ハードウェアの共用が行える。

デシメーションフィルタの2段目以降は, 初段のデシメーションフィルタによって, サンプル周波数が低く抑えられているので, 通常の FIR フィルタもしくは IIR フィルタで実現する。オーディオ用や通信用など位相特性への要求が厳しい場合は, FIR フィルタを, そうでない場合は, ハード規模の小さい IIR フィルタが用いられる。

## 2.8 まとめ

本章では、 $\Delta$ - $\Sigma$  変調器の原理および特性について概説した。本章では  $\Delta$ - $\Sigma$  変調器で用いているオーバーサンプリング技術およびノイズシェーピング技術について解説した。これらの原理を十分に理解することは、 $\Delta$ - $\Sigma$  変調器を応用する上で重要である。 $\Delta$ - $\Sigma$  変調器では、 $\Delta$ - $\Sigma$  変調器を構成する素子値に変動の影響が小さいことが大きな特徴であり、これを利用することで高精度な変換を実現できることが示された。本論文ではこれらの特徴を積極的に利用することで、アナログ回路の特性を改善を図る。

以下の章では、この  $\Delta$ - $\Sigma$  変調器の特性を利用し、フィルタの素子バラツキの影響を許容する信号発生器について述べる。また、素子のバラツキに起因する雑音に対してノイズシェーピングをかける方法について述べ、これを用いることで ADC, DAC の高精度化、高速化、低消費電力化を実現する方法について述べる。

## 第3章

### $\Delta$ - $\Sigma$ 変調器を用いた $\pi/4$ シフト QPSK 信号発生器

#### 3.1 はじめに

近年携帯端末の普及にともない、端末の小形化への要求はますます強まっている。小形化を実現するために LSI においてはチップサイズの縮小はもとより、携帯機器の電源となる電池の小形化を促進するために、低電圧で低消費電力かつローコストな回路技術が求められている。送信系ベースバンド LSI における QPSK 信号発生器も同様の要求を満たす必要がある。

さて、QPSK 信号発生器はロールオフフィルタおよびデジタルアナログ変換器、アンチエイリアスフィルタによって構成されるが、ロールオフフィルタの構成方法としては、IF もしくはベースバンドのアナログフィルタを用いる方法[14]とデジタルフィルタを用いる方法がある[15][16]。しかしながらアナログフィルタを用いる方法は、精度や消費電力、チップサイズなど問題点が多い。そこで、再現性がよく変調精度へ与える影響が少ないデジタルフィルタが主に用いられてきた。従来デジタルフィルタの回路規模を削減するために、ROM を用いた構成法が用いられているが、この方法でもデジタル加算器および DAC の回路規模が大きかった。この加算器の占有面積を小さくするために、あらかじめ部分的に加算

したデータを計算しておき、これを ROM に入れておく方法[15]が提案されているが、ROM サイズが大きくなる。従来の構成法ではチップサイズおよび消費電力の低減を同時に行なうことが難しく、これを解決することが信号発生器において求められていた。加算器および ROM ともに小さな信号発生器を実現することが必要である。

また、従来の方法では、DA 変換器に後置される LPF のカットオフ周波数が製造ばらつきによりシフトした場合に、変調精度が劣化したり、隣接チャネル漏洩電力が増大する問題があった。これを解決するためには、LPF の自動チューニングを行ったり、製造後に調整を行う必要があるが、これらは回路規模や製造コストを増大させてしまう。

本章では、 $\Delta$ - $\Sigma$  変調器を用いデジタル加算器を用いない小形で低コスト、高精度な  $\pi/4$ -シフト QPSK 信号発生器の構成方法を提案する。また、IC 化の際問題となる D/A コンバータに後置されるフィルタについて検討し、上記の問題を解決する方法として、LPF を構成する受動素子への絶対精度要求を大幅に緩和するアナログ FIR フィルタ[17]、[18]を用いた QPSK 信号発生器[19] [20] [21] [22] [23] を提案する。

### 3.2 QPSK 信号発生器

従来の信号発生器は、シリアル-パラレル変換器、ロールオフフィルタのインパルスレスポンスを記憶させた ROM、デジタル加算器および DAC から構成されている。このブロック図を図 3.1 に示す。入力されたパラレル信号は I および Q 信号にシリアル-パラレル変換器により変換され、このデータは I, Q それぞれの信号に対応した ROM のアドレスデータとして入力される。ROM はこれにより、入力データに対応したロールオフフィルタのインパルス応答波形を出力する。これらの ROM の出力をそれぞれ加算したものがロールオフフィルタの出力となる。そして、このロールオフフィルタの出力を DAC によりアナログ信号に変換し出力する。この従来の構成法では、デジタル加算器および多ビット DAC

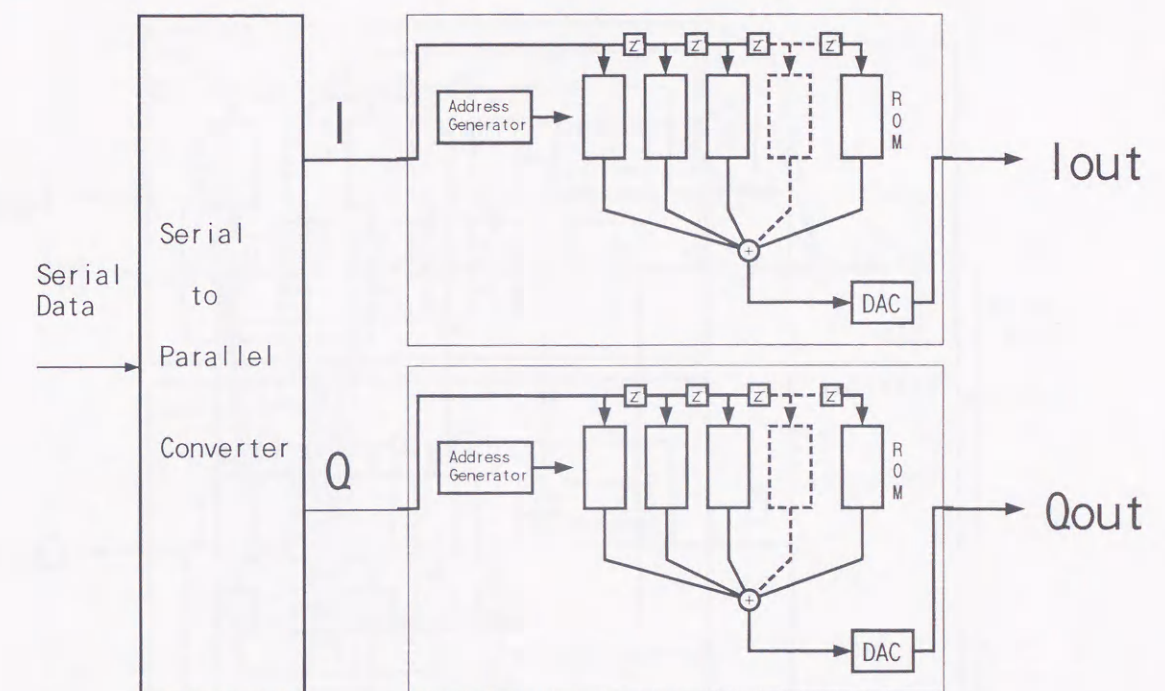


図 3.1: 従来の信号発生器のブロック図

がチップの大部分を占めていた。この加算器の占有面積を小さくするために、あらかじめ部分的に加算したデータを計算しておき、これを ROM に入れておく方法[15]が提案されている。しかし、この方法では加算器の回路規模は小さくなるものの ROM サイズが大きくなる。したがって、従来の構成法ではチップサイズおよび消費電力の低減を同時に行なうことが難しく、これを解決することが信号発生器において求められていた。

### 3.3 デジタル加算器を用いない構成法

提案する信号発生器のブロック図を図 3.2 に示す。この構成法の特徴は、

- (1) 加算器にアナログ電流モード加算器を用いた
- (2) オーバーサンプリングした 1 ビットデータを ROM に記憶させたところである。

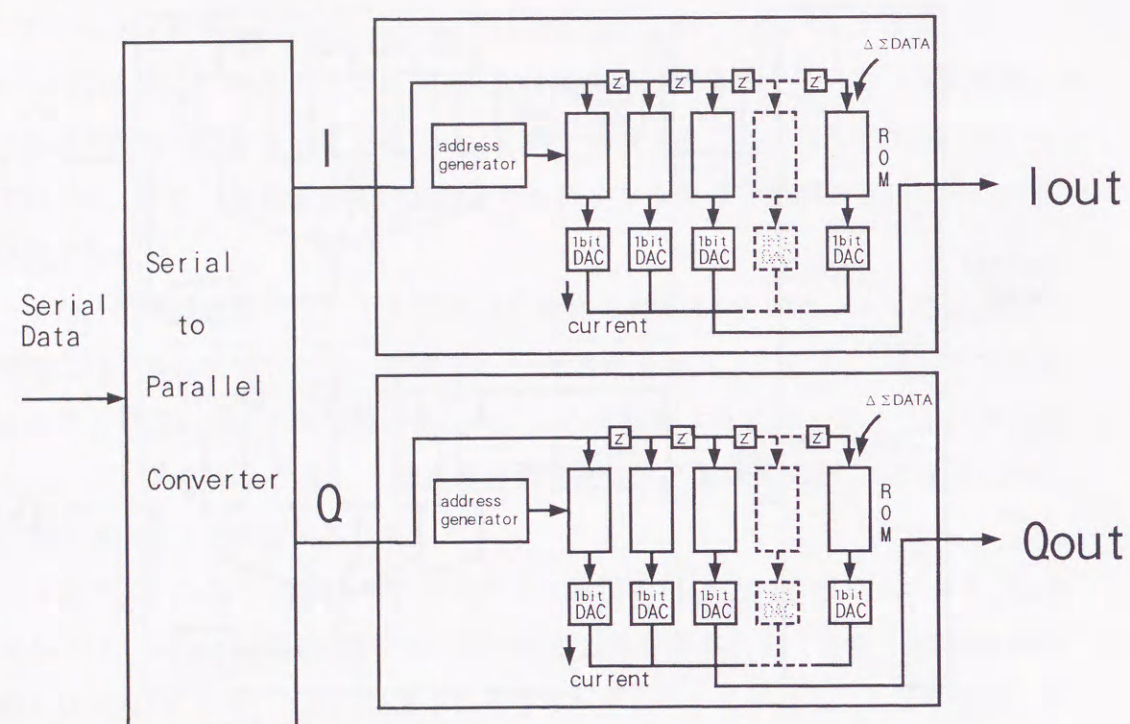
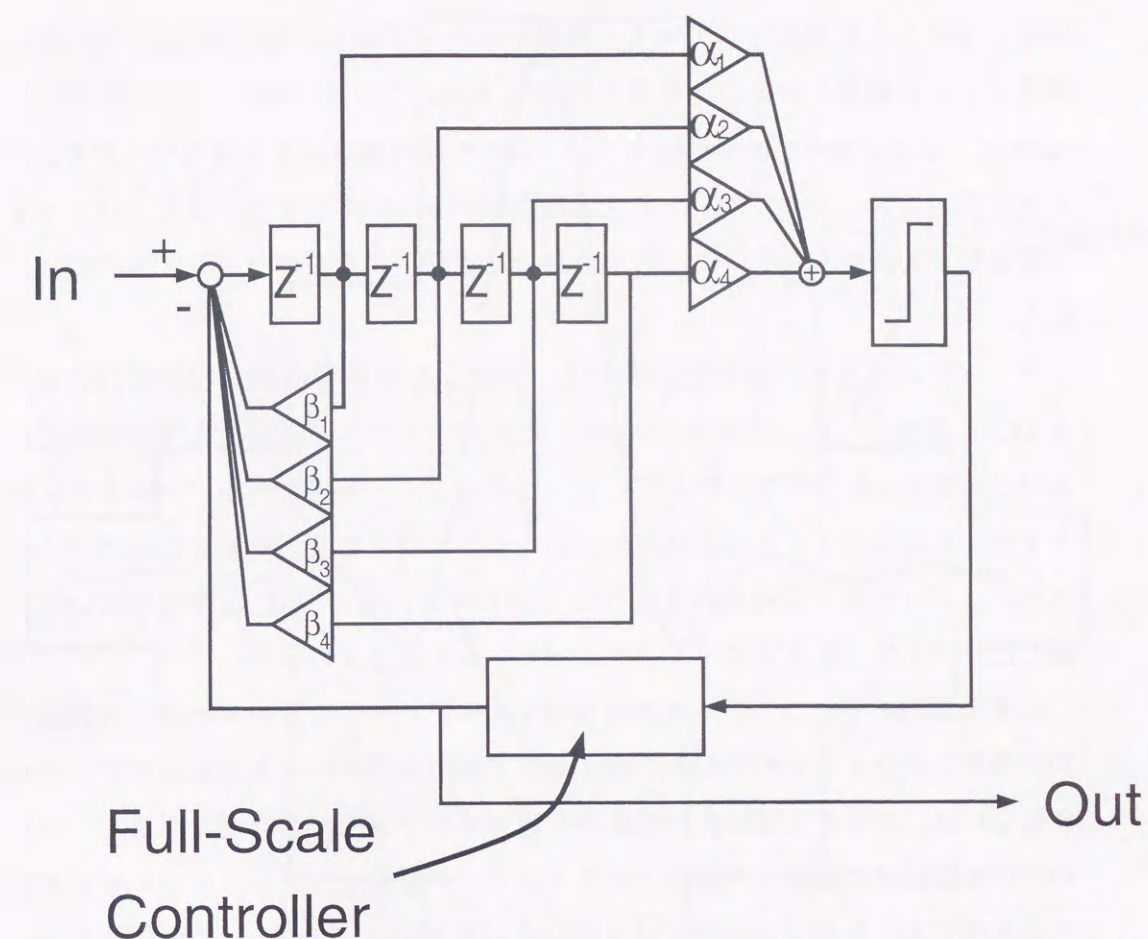


図 3.2: 提案する信号発生器のロールオフフィルタ部のブロック図

デジタル加算器に換えてアナログ電流モード加算器を用いることにより、加算器の回路規模は大幅に縮小することが可能となる。これに加え、本提案では1ビット DAC を用い DAC の回路規模も大幅に削減している。1ビット DAC を用いるために ROM には1ビット  $\Delta$ - $\Sigma$  変調したデータを記憶させている。ROM の出力は電流出力型1ビット DAC により電流信号に変換される。したがって、これらの DAC の出力をそれぞれ接続するだけで加算機能が実現される。これにより加算器サイズを配線のみ、すなわち無しとすることができる。

### 3.3.1 $\Delta$ - $\Sigma$ 変調器を用いた 1-bit ロールオフフィルタデータ

今回の信号発生器では計算機上に構成した4次の  $\Delta$ - $\Sigma$  変調器 (DSM) であらかじめルートロールオフフィルタのインパルスレスポンスを変調し、1ビットのデータとして ROM に書き込んである。このとき用いた4次  $\Delta$ - $\Sigma$  変調器のプロッ

図 3.3: 1-bit 化に用いた 4 次  $\Delta$ - $\Sigma$  変調器

ク図を図 3.3 に示す。

DSM の各パラメータは、8ビットのルートロールオフフィルタのデータサイズと変調後のデータサイズが同程度となるように設計した。ルートロールオフフィルタの係数は、シンボル点から離れるに従い小さくなるので、1ビット  $\Delta$ - $\Sigma$  変調器の出力振幅を振幅に合わせて可変し、信号振幅の減少による量子化雑音の増大を抑えトータルの SNR を改善している。また、この振幅の精度は変調精度に影響を与えるため、2進重み付けを用い素子ばらつきを少なくしている (図 3.4)。以下ではこれを振幅重み付け方式と呼ぶ。

通常の  $\Delta$ - $\Sigma$  変調器は、信号帯域外の雑音が増加するノイズシェーピング

特性になるように設計されている。無線システムの場合、信号帯域外の雑音は、隣接チャネル雑音となるため後置されるフィルタで十分に除去する必要がある。しかし、IC 上で製造可能な抵抗やコンデンサの絶対値は大きくばらつくため、これらを用いたフィルタのカットオフ周波数はばらついてしまう。また、カットオフ周波数を制御するためには、PLL 回路などが必要となりチップサイズの増大を招く。

そこで今回提案する信号発生器では、4 次  $\Delta$ - $\Sigma$  変調器の雑音伝達関数の零点を DC と隣接チャネル周波数 (600kHz) に配置することにより、信号帯域付近における帯域外雑音の増加を抑えている。これにより、後置されるフィルタの次数を下げ、そのカットオフ周波数をあげることが可能となり、無調整の 3 次バターワースフィルタで十分な性能を出すことができる。この  $\Delta$ - $\Sigma$  変調器を用いて変調したルートロールオフフィルタのスペクトルを図 3.5 に示す。

$\Delta$ - $\Sigma$  変調器のデータは、本来振幅情報をオーバーサンプリングにより時間軸方向の情報に変換するものであるため、 $\Delta$ - $\Sigma$  変調されたデータを有限長で切り取った場合には、データの端において量子化雑音がキャンセルされなくなる。このため、周波数領域で観測した場合ノイズフロアが上昇し、ノイズシェーピング特性が劣化する。振幅重み付け方式を用いない従来の 1 ビット  $\Delta$ - $\Sigma$  変調器を用いた場合で PN パターンを入力した場合の出力パワースペクトルを図 3.6 に示す。信号帯域付近の雑音が上昇していることがわかる。

振幅重み付け方式を用いることでこの影響を低減することが可能である。これは、振幅重み付け方式ではデータを切り取った部分の振幅が小さいためである。振幅重み付け方式を用いた場合のスペクトルを図 3.7 に示す。今回は、データ端の振幅を  $1/8$  としているため 18dB 程度の改善が図れている。

### 3.4 QPSK 信号発生器における LPF 特性の影響

図 3.8 に PHS 端末のダイレクトコンバージョン方式の送信部のブロック図を示す。音声信号は、CODEC によってデジタル信号に変換され、シリアルパラ

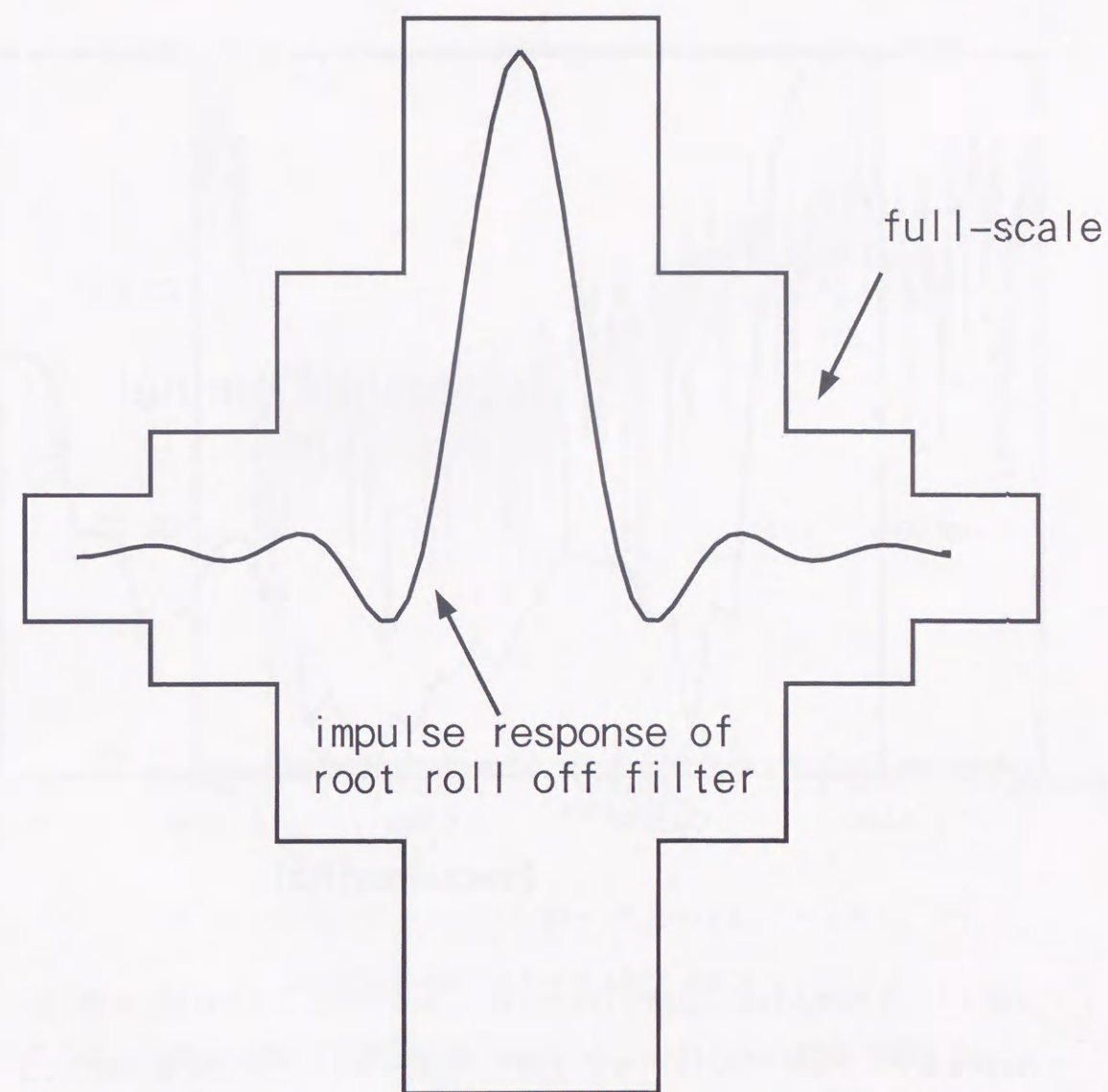


図 3.4:  $\Delta$ - $\Sigma$  変調器の出力振幅

レル変換器で I, Q 信号に変換される。I, Q 信号は、ルートロールオフフィルタで波形整形され、DAC にてアナログ信号に変換され、LPF に入力される。LPF [24] の出力は、QMOD で RF 信号に変換され、PA で電力増幅された後、アンテナに出力される。

LPF には、サンプリング周波数で繰り返す DAC の繰り返し成分を抑圧する、



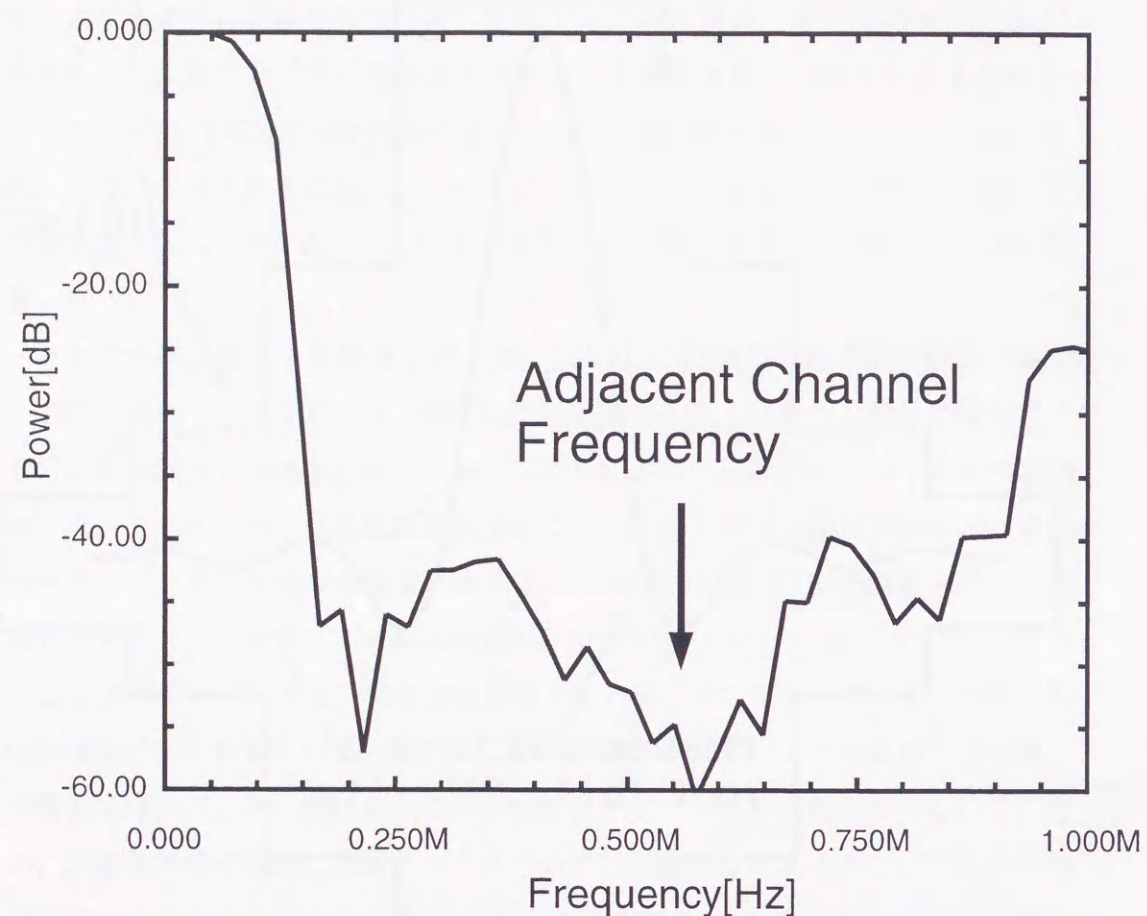


図 3.5: DSM データのパワースペクトル

いわゆるアンチエイリアスフィルタの機能と、隣接チャンネル信号周波数における漏洩電力を抑圧する機能が求められる。

また、LPF を LSI 上で実現する場合には、フィルタを構成する C, R の絶対値は数 10% 変動するため、これに応じてカットオフ周波数  $f_c$  も変動する。 $f_c$  が高い方向にずれた場合には、隣接チャンネル漏洩電力が増大する。逆に低い方に变化した場合には、QPSK 信号成分にも影響がでるため、変調精度が悪化してしまう。

DAC の繰り返し成分は、サンプリング周波数を  $f_s$  とすれば  $nf_s$  ( $n$  は整数) の周辺に分布するため、サンプリング周波数を上げることにより、フィルタ特性

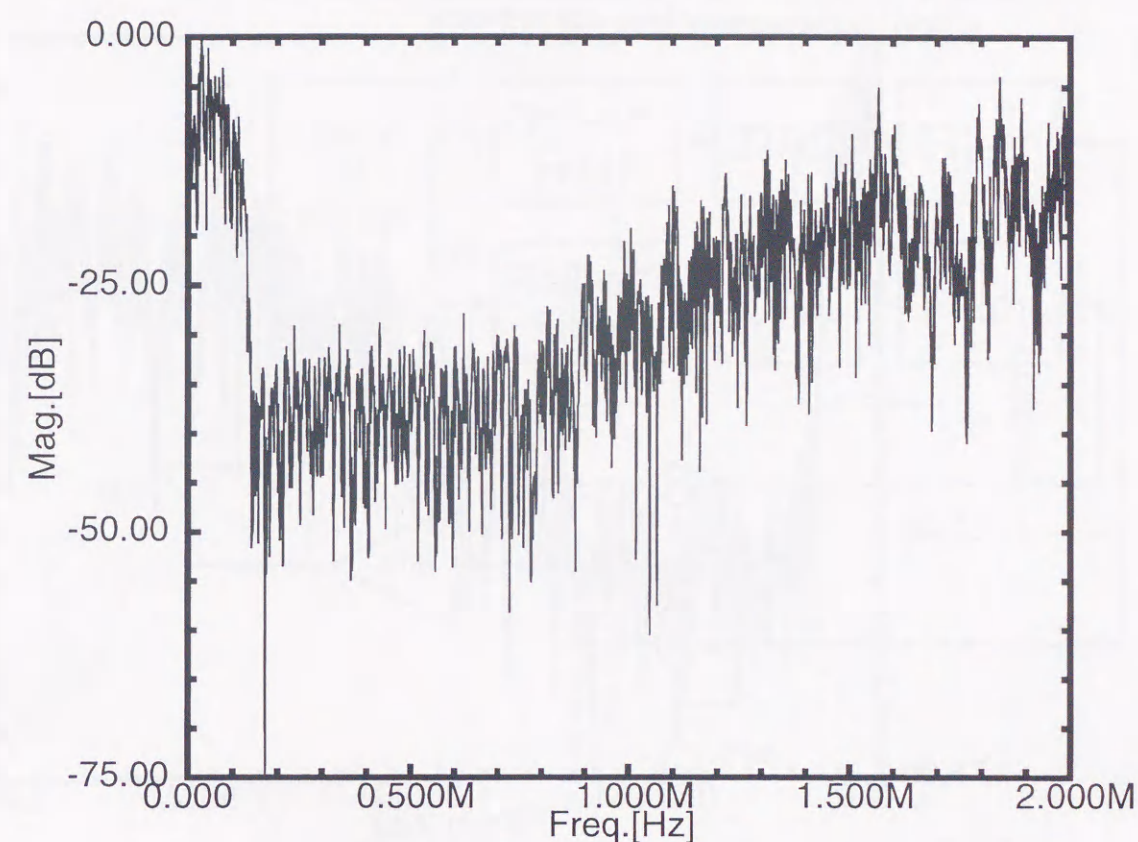


図 3.6: 従来の 1 ビット DSM を用いた場合のパワースペクトル

への要求を緩和することができる。PHS では送信出力における隣接チャンネル漏洩電力は、600kHz 離調周波数で  $-50\text{dBc}$  にする必要があり、LPF 出力では、ミキサや PA での歪み等を考慮すると  $-60\text{dBc}$  以下にする必要がある。しかし、隣接チャンネル漏洩電力は、 $f_s$  を 2 倍にしても DAC の量子化雑音は 3dB しか改善されないため、 $f_s$  を上げる方法は効率的でない。また、 $f_s$  を 2 倍にすると必要となる ROM サイズも 2 倍必要となりハード規模を増大させる。しかも、LPF のカットオフ周波数は、隣接チャンネル周波数で必要な減衰量によって決めるため、LPF のカットオフ低下による変調精度劣化の問題は残る。

一方、DAC の bit 数を増やせば量子化雑音を低減することができるが、この場合には DAC の回路規模が増大するだけでなく、ルートロールオフフィルタの

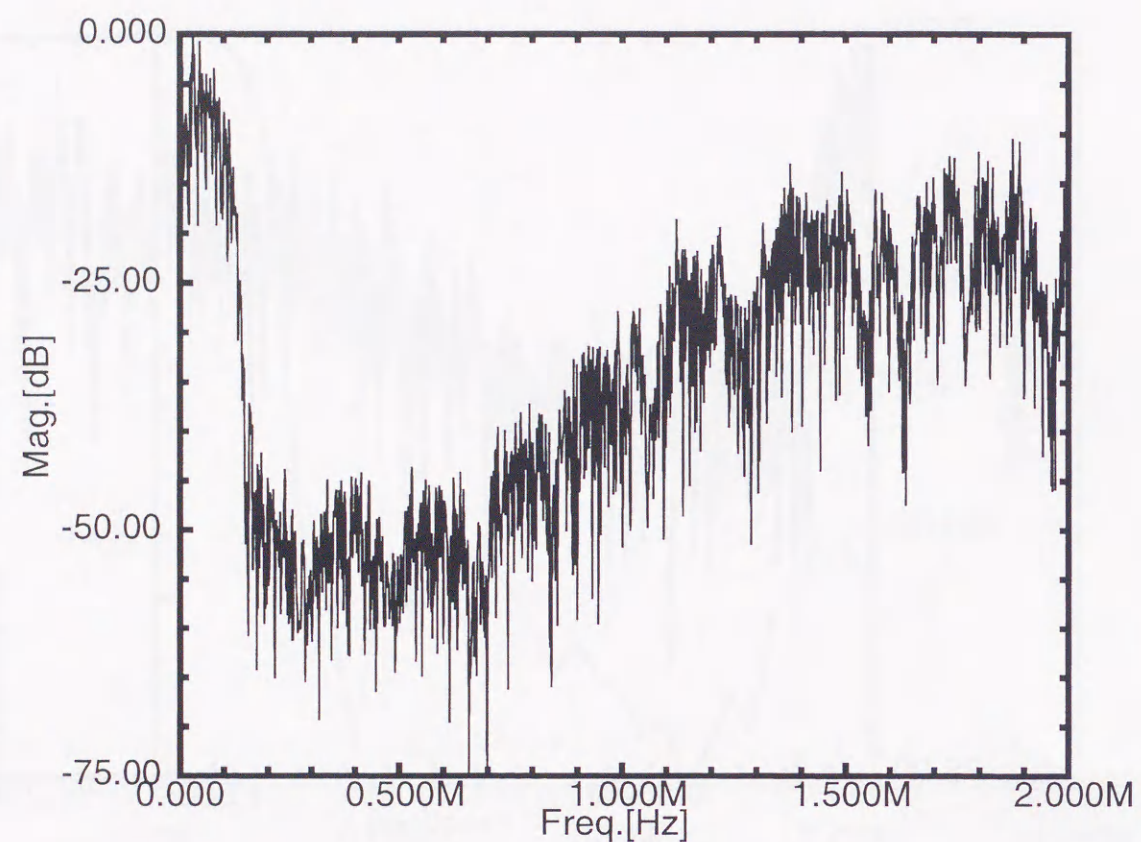


図 3.7: 振幅重み付け方式を用いた場合のパワースペクトル

データ bit 数も増やす必要が生じ、ROM や加算器の回路規模も増大させるため、回路規模や消費電力が増大する。

以下では、これらの問題を解決する方法として、アナログ FIR フィルタとアナログ連続時間系フィルタを組み合わせた QPSK 信号発生器について論じる。

### 3.5 アナログ FIR フィルタを用いた信号発生器の構成

図 3.9 に提案する QPSK 信号発生器のブロック図を示す。提案する QPSK 信号発生器では、I、Q 信号に応じて 1-bit  $\Delta$ - $\Sigma$  変調されたルートロールオフフィルタのインパルスレスポンスを ROM より出力することにより、ルートロールオ

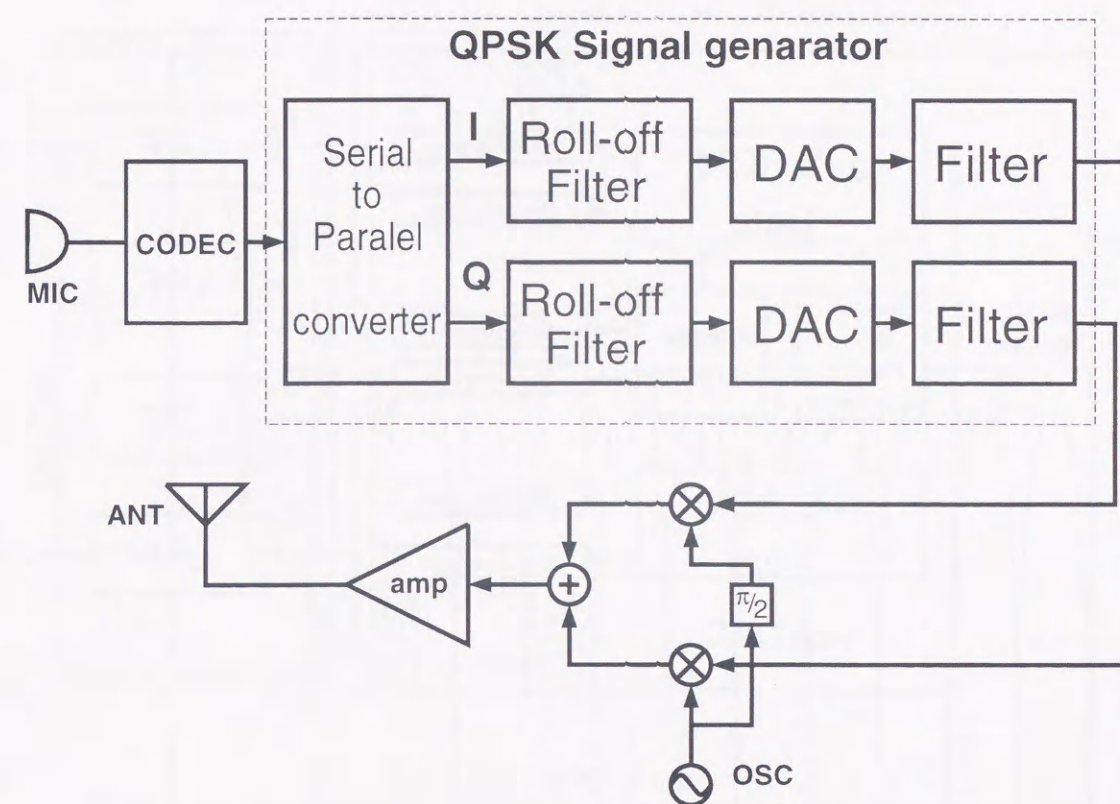


図 3.8: PHS 送信器のブロック図

フフィルタ機能を実現している。この 1-bit 信号列はシフトレジスタに入力され、シフトレジスタの各タップ出力は、重み付けされた DAC によってアナログ電流に変換され、各 DAC 出力を接続し加算することにより、FIR フィルタが実現されている。連続時間系アクティブ LPF で隣接チャネル周波数 600kHz を減衰させるには、前述したようにフィルタの次数を上げるか、周波数チューニング技術を用いる必要があり、回路規模、消費電力の観点から好ましくない。ここでは、FIR フィルタのノッチを隣接チャネル周波数付近に置くことにより、隣接チャネル漏洩電力を FIR フィルタで減衰させ、連続時間系 LPF への特性を緩和させている。出力が  $\Delta$ - $\Sigma$  変調により、1-bit 化されているため、FIR フィルタを 1-bit シフトレジスタと 1-bit アナログ DA 変換器のみで構成できハードウェア規模をあまり増大させない。LSI 上での相対素子バラツキは、通常 1% 以下であるので

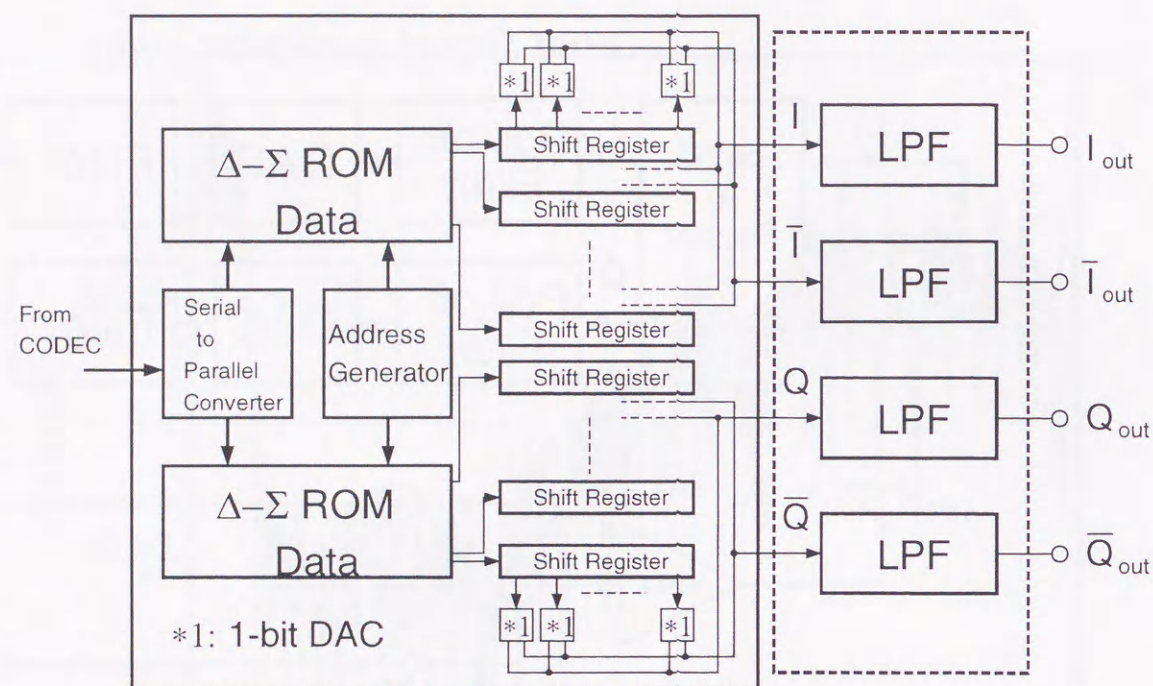


図 3.9: QPSK 信号発生器

その影響は無視できる範囲のものである。

また、FIR フィルタの周波数特性は、タップ係数およびサンプリング周波数によって決まるため、アナログ FIR フィルタのタップ係数に絶対的な変動があった場合でも相対的な誤差がなければノッチの位置は変動しない。

この FIR フィルタでは、 $\Delta$ - $\Sigma$  変調された 1-bit 信号は 19.2MHz のクロックレートで出力されるため、隣接チャンネル周波数 600kHz および 900kHz にノッチを付けるためには、多くのタップ数が必要になる。しかし、これは、回路規模を増大させるため、小型化の要求に反する。ここでは、タップ数が少なく回路構成が簡単で、アナログ回路で実現されるタップ係数のマッチングが取りやすいことを考慮に入れ、タップ係数をすべて等しくした 26 タップの移動平均型 FIR とした。これにより、ノッチ周波数が 738kHz に設定され、600kHz および 900kHz 双方の周波数バンドを効率的に減衰させることができる。

この FIR フィルタの特性を図 3.10 に示す。後置される連続時間系 LPF では、

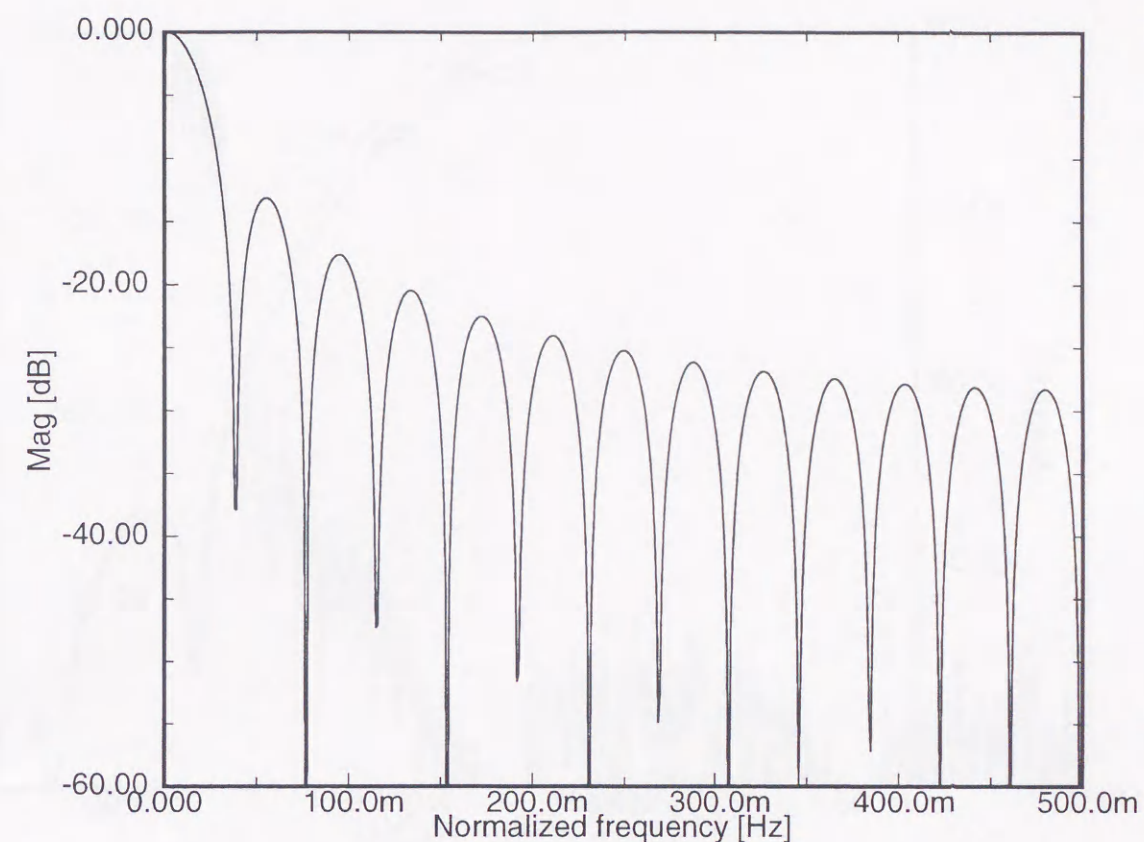


図 3.10: 26 タップ移動平均フィルタの周波数特性

隣接チャンネル周波数において 15dB 減衰させればよく、このためカットオフ周波数を 200kHz と従来に比べ高く設定した 3 次バターワースフィルタで要求仕様を満足させられる。また、ばらつきによってカットオフ周波数が下がった場合の変調精度の劣化も、カットオフ周波数が高いため避けることができる。 $f_c$  が 20% 下がった場合でも、シミュレーションによれば変調精度は 1.7% である。

図 3.11 に FIR フィルタおよび連続時間系 LPF の総合周波数特性および連続時間系 LPF のカットオフ周波数が変動した場合の特性を示す。グラフで、下側が 3 次バターワースフィルタのカットオフ周波数が 200kHz の場合、上側がカットオフ周波数が 240kHz の場合を示している。 $f_c$  が 20% 上がった場合も、FIR フィルタのノッチ周波数は変動しないため、600kHz および 900kHz において 40dB 以

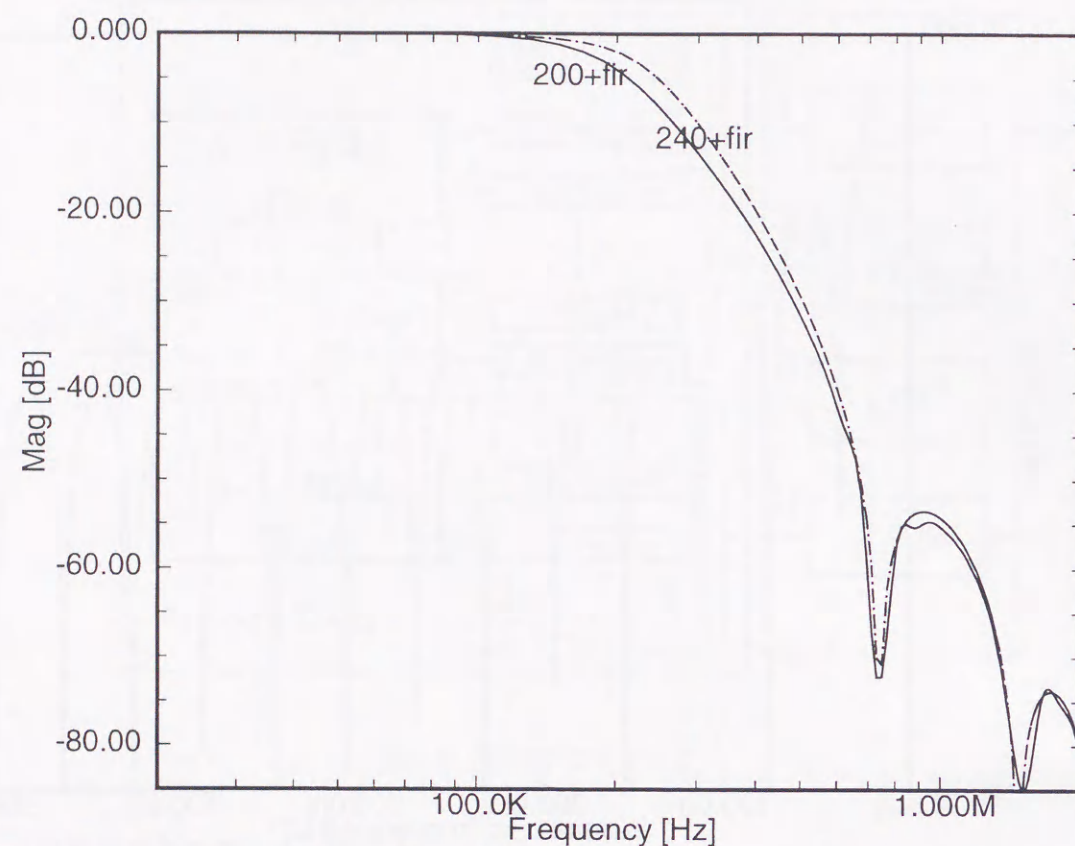


図 3.11: 3次バターワースフィルタ+26タップ移動平均フィルタの周波数特性

上の減衰量が確保され仕様を満足できる。また、 $\Delta$ - $\Sigma$  変調された信号は、ノイズシェーピングによって、周波数が高くなるに従い量子化雑音が増大する欠点があるが、アナログ FIR フィルタを用いることによって、高域のノイズの上昇を抑圧できるため、アクティブローパスフィルタを用いた場合の高域での減衰量低下の影響を緩和できる。図 3.12 にカットオフ周波数 200kHz の 3 次バターワースフィルタ通過後の QPSK 信号発生器出力スペクトルのシミュレーション結果を示す。隣接チャネル周波数 600kHz におけるノイズレベルは  $-80$ dB 以下に抑圧されていることが確認できる。

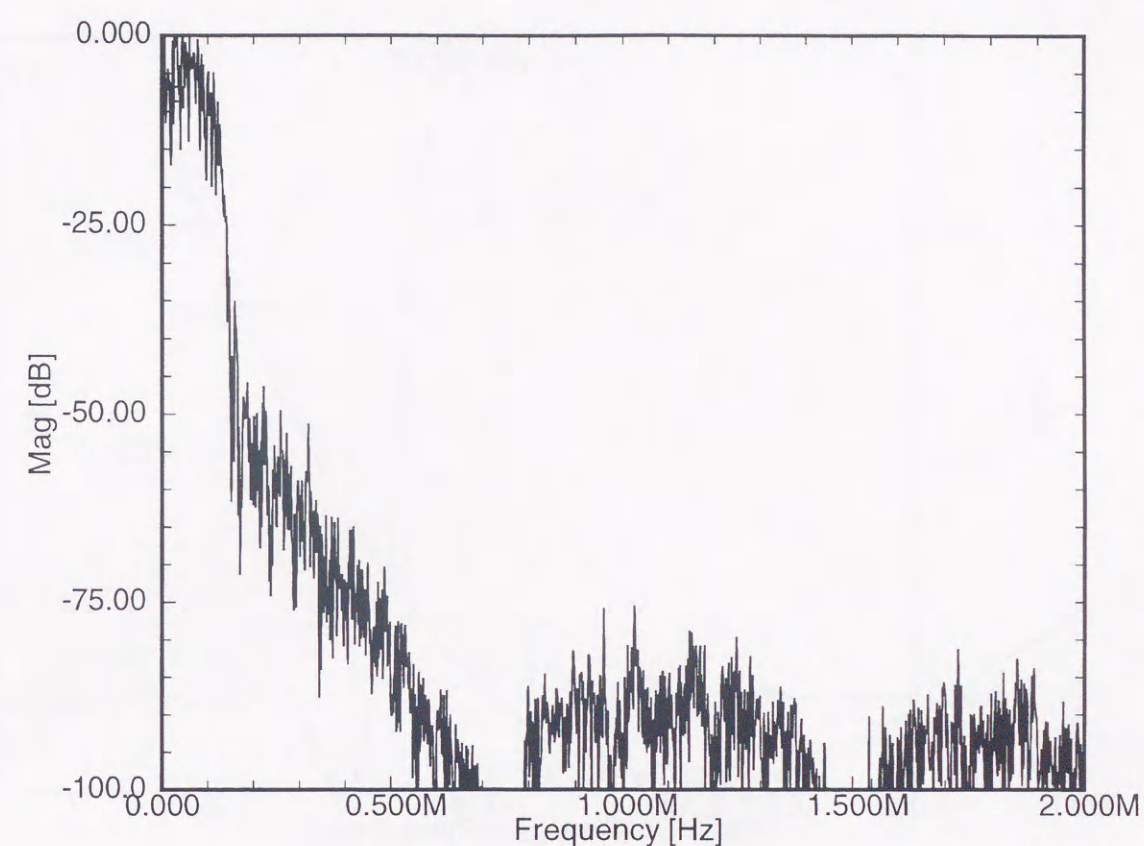


図 3.12: QPSK 信号発生器出力スペクトル (シミュレーション)

### 3.6 変調精度の改善

図 3.10 の FIR フィルタの特性から分かるように、この移動平均フィルタではタップ数が少ないこともあって、肩特性がなだらかとなり、QPSK 信号そのものも減衰させ、変調精度を劣化させてしまう。ルートロールオフフィルタのインパルスレスポンスを図 3.13 に、26 タップの移動平均フィルタを通過後のルートロールオフフィルタのインパルスレスポンスの一部を拡大したものを図 3.14 に示す。

図 3.14 において上側の線は、移動平均フィルタ通過後のインパルスレスポンスを表し、下側の線は、ルートロールオフフィルタのインパルスレスポンスを表している。グラフから分かるように、移動平均フィルタを通すことによりインパ

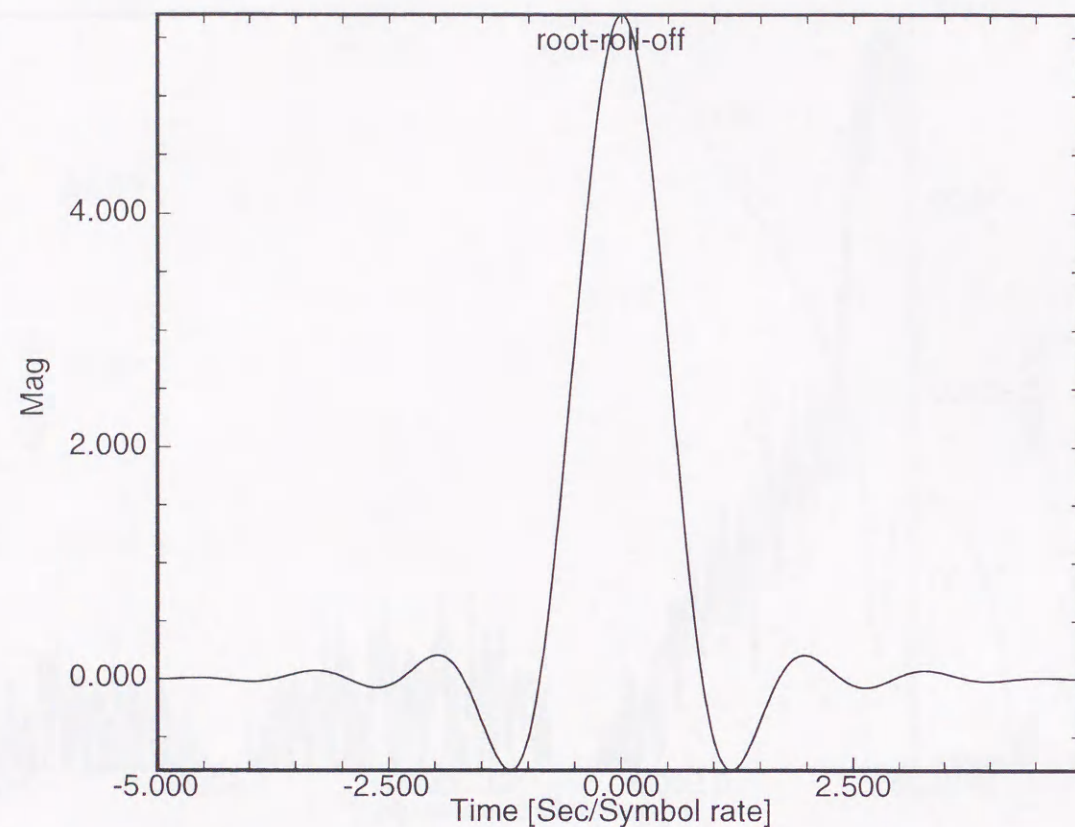


図 3.13: ルートロールオフフィルタのインパルスレスポンス

ルスレスポンスが変化し、このため変調精度は 1.1% に劣化してしまう。

これを改善するために、移動平均フィルタの逆特性を有するフィルタのインパルスレスポンスをあらかじめルートロールオフフィルタのインパルスレスポンスに畳み込み、これを補正しておく。これにより、移動平均フィルタ通過後の波形は図 3.14 に示したように、補正され変調精度を改善することができる。補正後のインパルスレスポンスはルートロールオフフィルタのインパルスレスポンスに完全に重なっている。

また、ルートロールオフフィルタのインパルスレスポンスは、図 3.3 に示した隣接チャネル周波数 600kHz に零点を設定した 4 次  $\Delta$ - $\Sigma$  変調器で 1-bit 信号に計算機を用いて変換している [25]。図 3.15 に  $\Delta$ - $\Sigma$  変調器の等価回路を示す。ここ

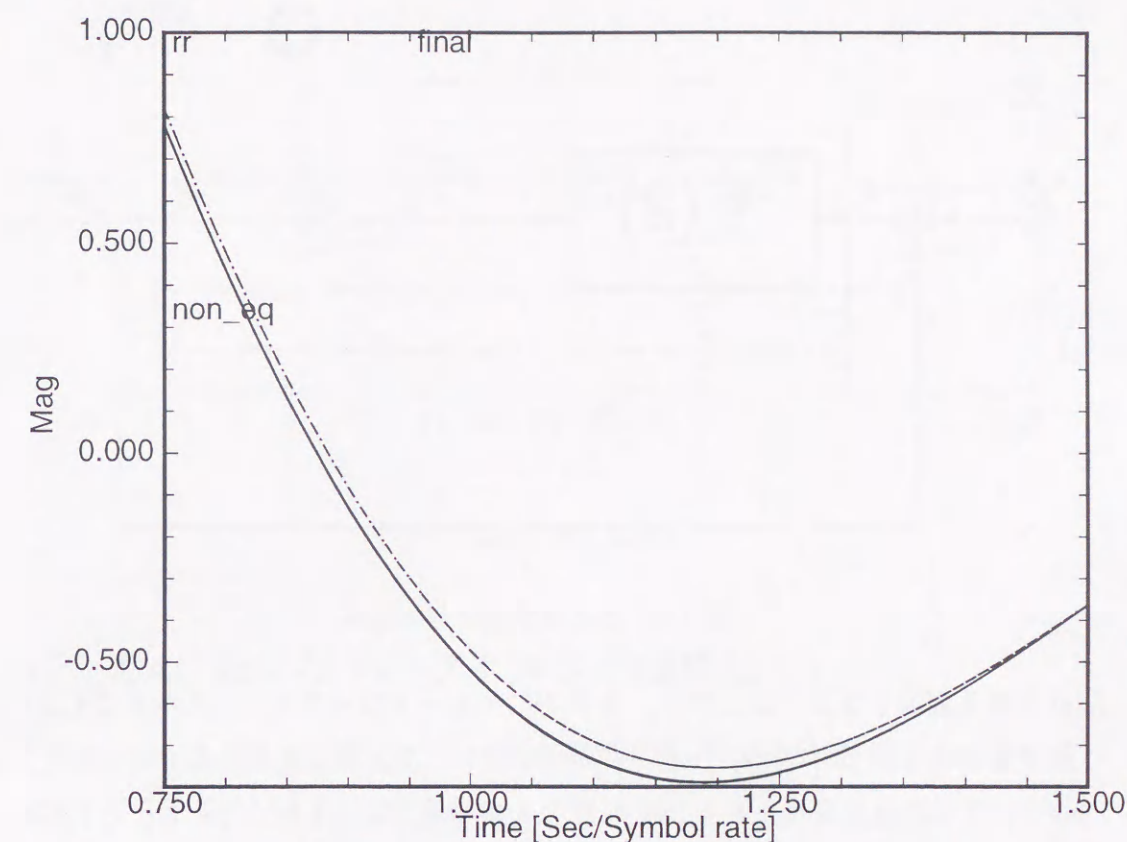


図 3.14: 26 タップ FIR フィルタ通過後のルートロールオフフィルタのインパルスレスポンス

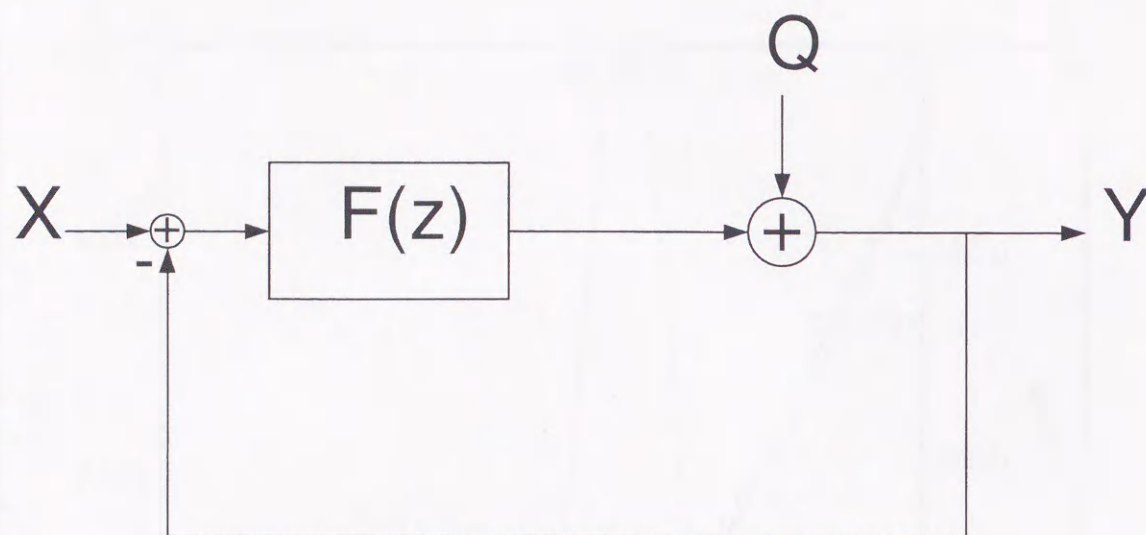
で、ループフィルタの伝達関数を  $F(z)$  は、

$$F(z) = \frac{\beta_1 z^{-1} + \beta_2 z^{-2} + \beta_3 z^{-3} + \beta_4 z^{-4}}{1 + \alpha_1 z^{-1} + \alpha_2 z^{-2} + \alpha_3 z^{-3} + \alpha_4 z^{-4}} \quad (3.1)$$

である。 $\Delta$ - $\Sigma$  変調器出力  $Y$  は入力  $X$  量子化器からの量子化雑音を  $Q$  として、

$$Y = \frac{F(z)}{1 + F(z)} X + \frac{1}{1 + F(z)} Q \quad (3.2)$$

と表される。ここで 4 次  $\Delta$ - $\Sigma$  変調器を安定化するために、第 2 章で示したように、 $\Delta$ - $\Sigma$  変調器の極、すなわち  $\frac{1}{1+F(z)}$  の極を  $z=0$  から  $z=0.32$  に移動させている。 $\frac{1}{1+F(z)}$  の極を  $z=0$  以外に移動させたため、 $\Delta$ - $\Sigma$  変調器の入力  $X$  から出力  $Y$  に対する伝達関数は周波数特性を持つようになる。これもまた、変調精度を劣

図 3.15:  $\Delta$ - $\Sigma$  変調器の等価回路

化させる要因となる。ここでは、あらかじめルートローloffフィルタのインパルスレスポンスに  $\left(\frac{F(z)}{1+F(z)}\right)^{-1}$  のインパルスレスポンスを畳み込んでおくことにより、この周波数特性をキャンセルし、変調精度の劣化を防いでいる。これらにより、FIR フィルタ出力での変調精度を 0.4% とすることが可能となっている。

さて、変調精度に影響を与えず、隣接チャネル付近にノッチを配置したフィルタ特性を設計することは可能であるが、移動平均フィルタに比べフィルタのタップ数を増やす必要が生じ、当然ハードウェア規模が増大する。一方、26 タップの移動平均フィルタとした場合には、上述したように変調精度が劣化する欠点がある。しかし、あらかじめデータを補正しておくことでこれをキャンセルすることができ、これには新たなハードウェアの追加の必要がない。したがって、提案した 26 タップ移動平均フィルタを用いる信号発生器は、小型高精度な信号発生器を構成するのに適した方法となっている。

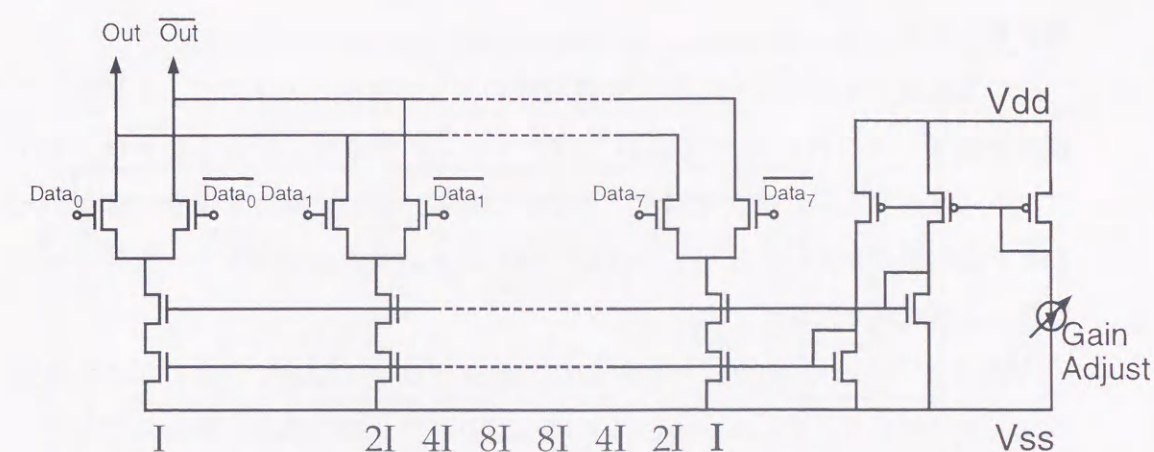


図 3.16: DAC 回路

### 3.7 DAC および FIR フィルタの構成法

本節では、3.3 節で提案したデジタル加算器を用いない QPSK 信号発生器を構成する DAC および 3.5 節で提案したアナログ FIR フィルタを用いた信号発生器を構成する DAC および FIR フィルタについて述べる。

#### 3.7.1 デジタル加算器を用いない QPSK 信号発生器を構成する DAC

ROM データは、オーバーサンプリング比 100 倍で  $\Delta$ - $\Sigma$  変調してあるため、DAC はサンプリング周波数 19.2MHz で動作させる。高速動作に適した差動ペアによる電流スイッチを基本要素として DAC を構成することによりこれを実現している。また、ダイナミックレンジやデジタル回路ブロックからの同相ノイズの影響を低減するために全差動回路を用いている。さらに、全差動回路自体はオフセット電流を発生させない特徴もある。DAC の回路図を図 3.16 に示す。各差動スイッチはルートローloffフィルタのインパルスレスポンスの各部分に対応している。この各差動スイッチの出力は並列接続され、これにより出力電流の加算が行なわれる。また、それぞれの差動スイッチに接続されている電流源の電流には重み付がされていて、これにより図 3.4 に示したフルスケールの重み付けが実

現されている。

この電流源の電流のばらつきは変調精度の劣化の原因となるので、8ビットの精度を実現するためには、0.5%以下のマッチングが必要になる。これは、レイアウトに注意することにより実現できる値である。また、精度を劣化させないために差動回路の出力インピーダンスは  $2M\Omega$  以上にする必要があり、カスコード接続した電流源を用いている。

DACのゲインを0dBから-3dBまで1dBステップで設定できるように図3.16のマスター電流を可変している。これは、出力パワーの微調整に用いることができる。

### 3.7.2 アナログ FIR フィルタを用いた信号発生器を構成する DAC および FIR フィルタ

図3.17にFIRフィルタ部およびDAC部の回路図を示す。提案する信号発生器では、1-bit  $\Delta$ - $\Sigma$  変調されたルートローパスフィルタのインパルスレスポンスを8シンボル分ROMに記憶させている。これらのデータは、1-bit 26段のシフトレジスタに入力され、その各タップ出力は差動ペアをドライブする。差動ペアの出力電流は、 $26(\text{タップ}) \times 8(\text{シンボル})$  組みあり、それらをそれぞれ接続することにより電流加算され出力される。電流の接続点はレギュレーテッドカスコード回路により低インピーダンス化され、加算点の電圧変動による差動ペアの出力抵抗の影響を低減している。各シンボルには、図3.3のFull-scale controllerにより、中心より対称に電流に8, 4, 2, 1の重みをつけ、 $\Delta$ - $\Sigma$  変調器したことによるデータ打ち切りの影響を低減させている[25]。以上の構成により、移動平均フィルタおよびDA変換機能が実現されている。

移動平均フィルタの加算機能は結線によって実現されているため、FIRフィルタを用いることによるハードウェアの増加はシフトレジスタのみである。

従来の方法で、連続時間系フィルタのカットオフ変動の影響を抑えるために、ROMデータを10倍オーバーサンプリング、10bit、8シンボルのものにした場合には、ROMサイズは本方式の1.4倍となり、さらに8シンボル分の波形を加算する

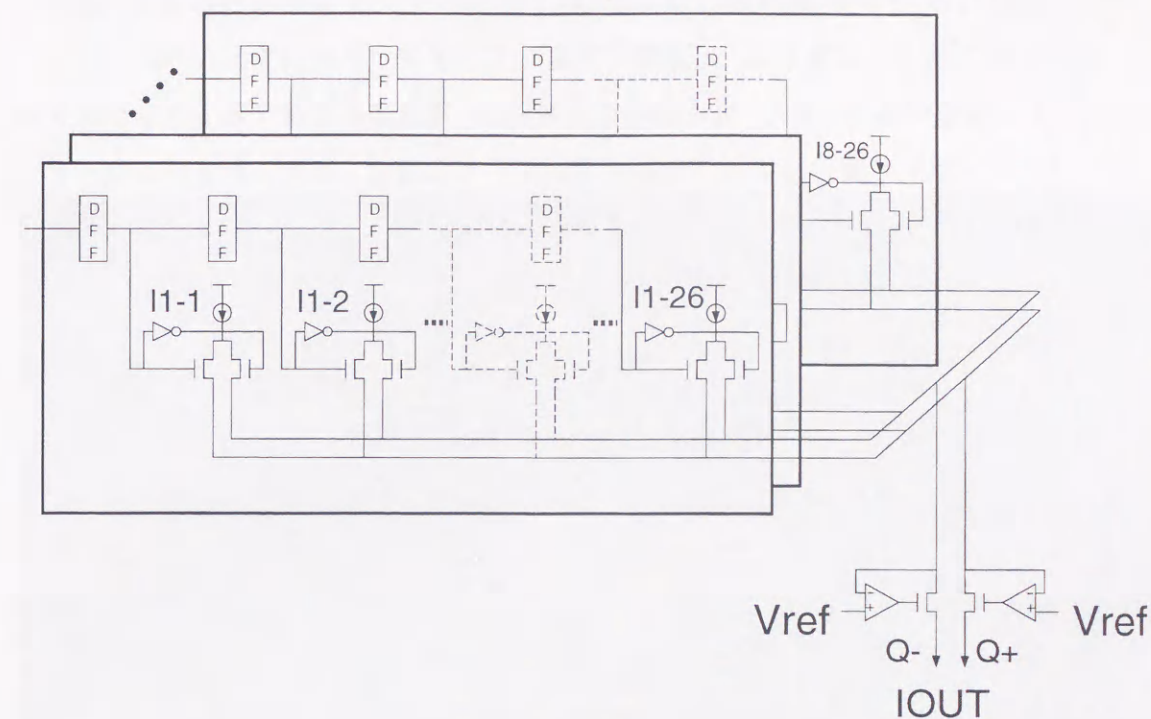


図3.17: FIR フィルタおよびDAC部回路

デジタル加算器が必要になる。これらを構成するトランジスタ数は、2100Tr程度となり、これはFIRフィルタを用いることによるトランジスタの増加数1700Trを上回る。さらに従来の方法では、12bitの高精度DACが必要になる。一方、ROMデータを8倍オーバーサンプリング、8bit、8シンボルのものにした場合には、連続時間系フィルタのカットオフ変動の影響を抑えるために、何らかのチューニング回路が必要となり、マスタースレーブ型のチューニング回路を用いた場合には、少なくとも1つマスター用のフィルタが必要になり回路規模の増大をまねく。

また、各差動ペアのバイアス電流の合計は、移動平均フィルタを用いない場合と同一で良いので、消費電力の増加および全差動ペアのトランジスタサイズの合計はこれもシフトレジスタの分だけとなる。

PHSでは、信号発生器には2%程度の変調精度が要求されるが、提案する構成ではDACを構成する差動ペア間のテール電流源のマッチングが精度を決定する。

このため、テール電流源には 0.5% 以下のマッチングが求められるが、通常の CMOS プロセスであれば、配置等に注意してレイアウト設計を行なうことによりこれは実現できる。また、電流源の出力電流は、電流源を構成するトランジスタのドレイン電圧の変化によって変調を受ける。ここでは、上述したレギュレーテッドカスコード回路により電流源のドレイン電圧変動を抑えることにより、これを実現し、2% の変調精度を実現している。

### 3.8 本 QPSK 信号発生器の特性評価

#### 3.8.1 加算器を用いない構成法

今回提案した信号発生器の構成法を用いた PHS 用  $\pi/4$  シフト QPSK 信号変調器を試作した。使用したプロセスは  $0.8\mu\text{m}$  standard CMOS である。データレートを 384kbps、ROM データのオーバーサンプリング比を 100 としたため、DAC のクロック周波数は 19.2MHz とした。DAC のフルスケール出力電流は測定時の寄生容量等の影響を考慮して  $1\text{mA}_{\text{p-p}}$  とし、これを  $1\text{k}\Omega$  の抵抗負荷により電圧電圧変換している。DAC の出力をカットオフ周波数 275kHz の 3 次のバターワース LPF に接続し測定を行なった。

I-Q コンステレーションの測定結果を図 3.19 に示す。このときの変調精度は 1.8% で、報告されている [15] もと同程度精度が実現されている。

図 3.20 に出力スペクトルの実験結果を示す。下側の線はバンド幅 300kHz の信号パワーを示し、上側の線は  $\pm 96\text{kHz}$  の信号パワーを積分したものを示している。雑音レベルは 600kHz、900kHz いずれにおいても信号パワーの  $-65\text{dB}$  以下になっていることがグラフより分る。

試作したチップの動作電流は ROM 部分が 6mA、DAC 部分が 10mA であった。この値はテスト ROM およびテスト回路の電流も含んでおり、また実験のために出力電流を大きく設定している。テスト回路等を除き出力電流を  $100\mu\text{A}$  としたときの動作電流はトータル 1.5mA となる。

試作したチップ写真を図 3.18 に示す。今回の試作チップではテスト用 ROM を

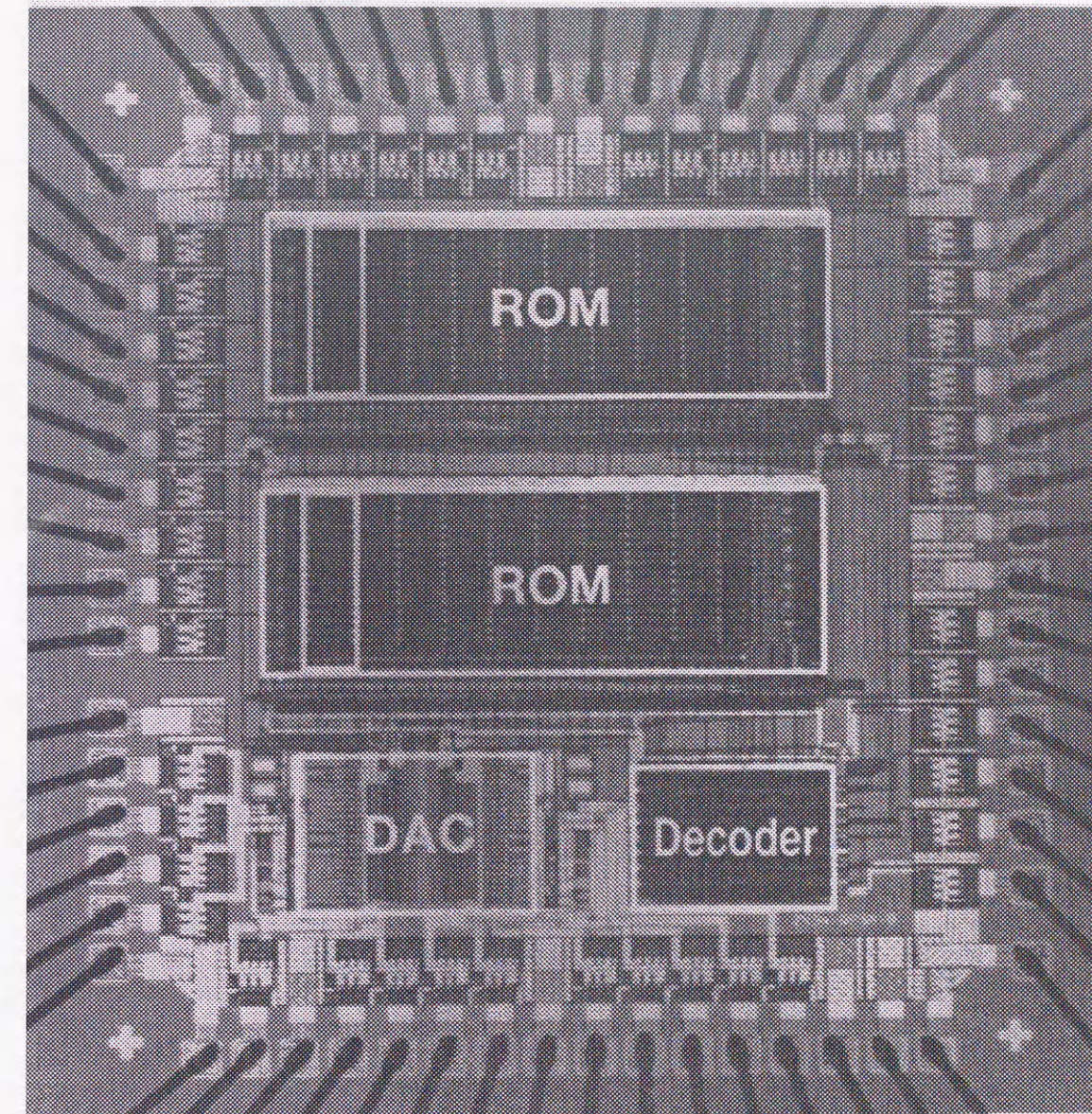
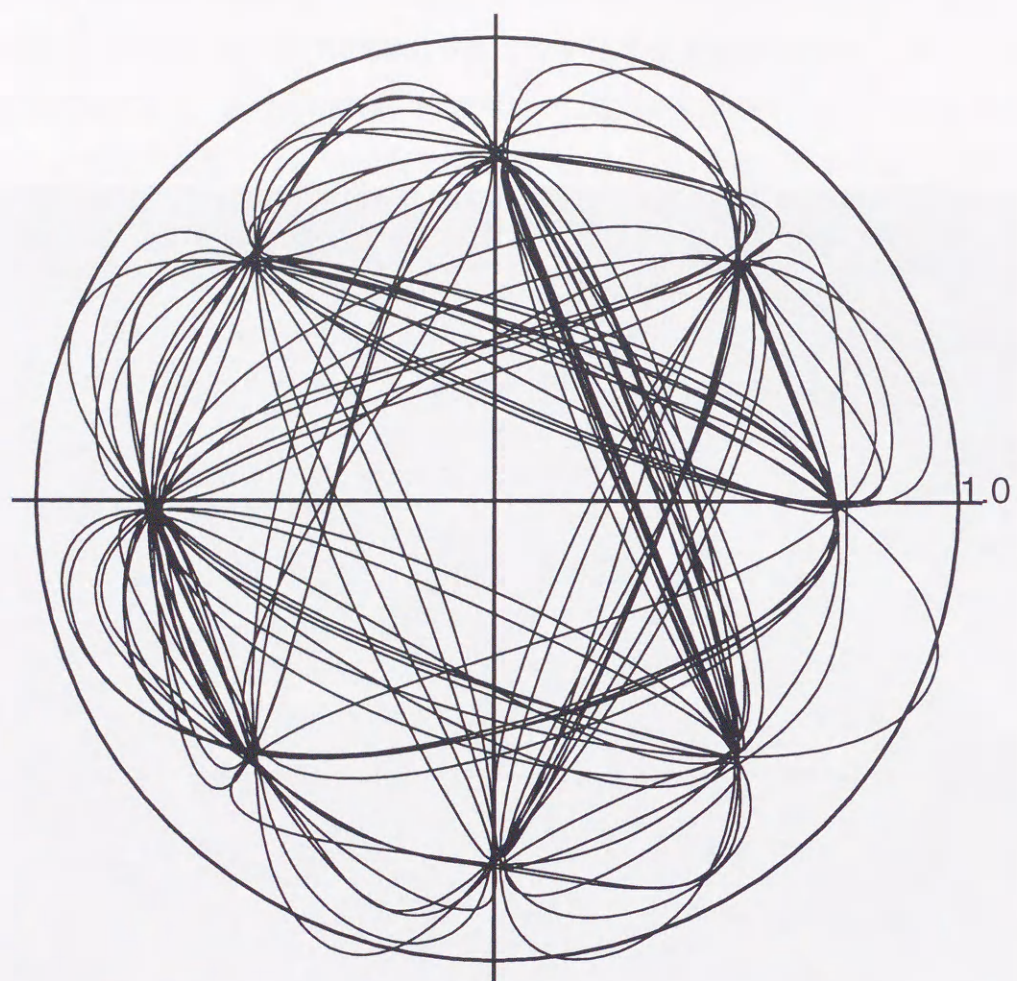


図 3.18: チップ写真





Vector Error: 1.8% rms

図 3.19: I-Q コンステレーション (実験値)

含むためチップサイズは  $2.5\text{mm} \times 2.5\text{mm}$  となっている。前述したように測定のため出力電流が大きな DAC を用いているため、これらのテスト用の回路を取り去るとチップサイズは  $0.8\text{mm} \times 0.8\text{mm}$  となる。これは、報告されている [15] 信号発生器の 1/4 に相当する。

最後に提案した  $\pi/4$  シフト信号発生器の性能を表 3.1 に示す。

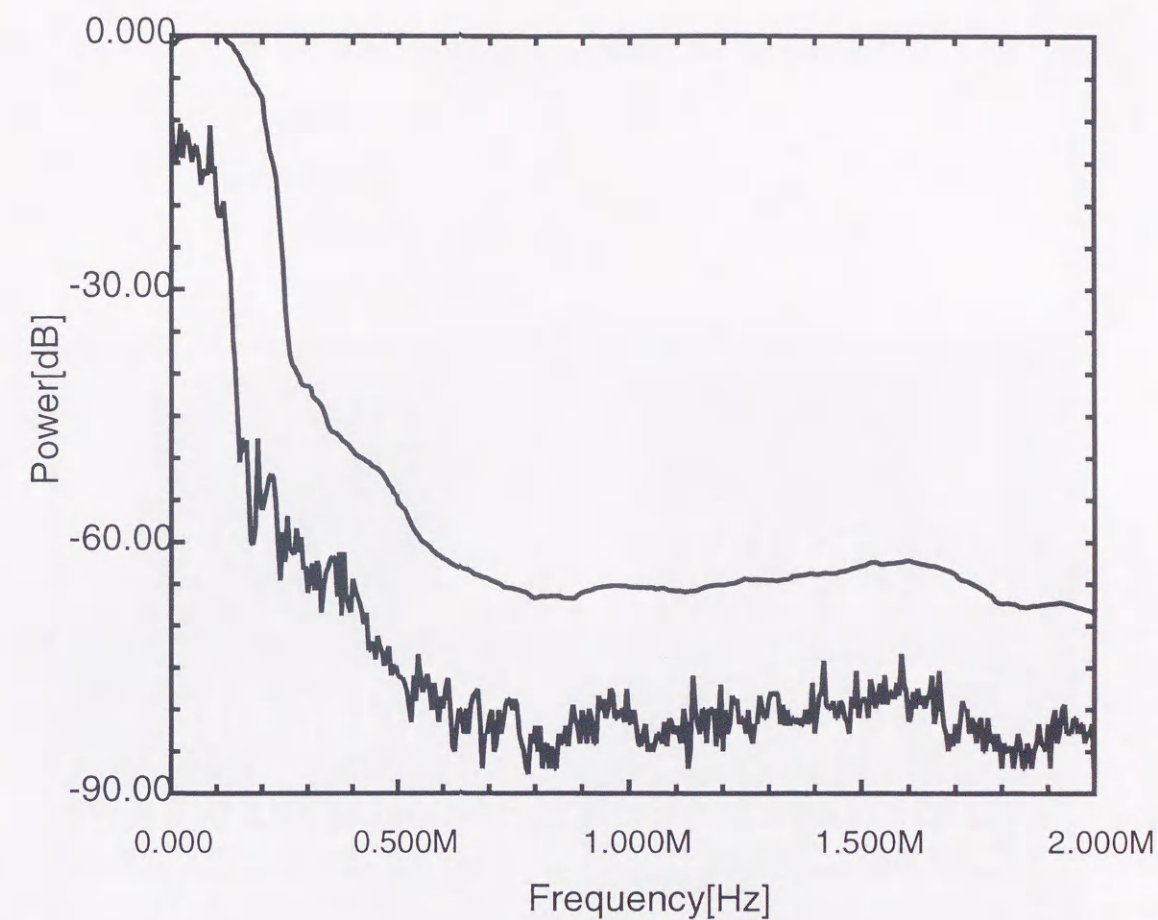


図 3.20: 出力パワースペクトル (実験値)

### 3.8.2 アナログ FIR フィルタを用いた信号発生器

本稿で提案した QPSK 信号発生器を  $0.6\mu\text{CMOS}$  プロセスを用いて試作した。チップ写真を図 3.21 に示す。チップサイズは、 $2.1\text{mm} \times 2.0\text{mm}$  である。

写真の上部は ROM で、ここに 1bit- $\Delta$ - $\Sigma$  変調器したルートロールオフフィルタのインパルスレスポンスを記憶させてある。また中段はシフトレジスタおよび差動ペアで構成される FIR フィルタおよび DAC である。下段は DAC に後置されるオフセットを発生しない連続時間系アクティブ LPF [26] である。

図 3.22 に信号発生器の入力として PN 信号を入力したときの I-CH の DAC 出

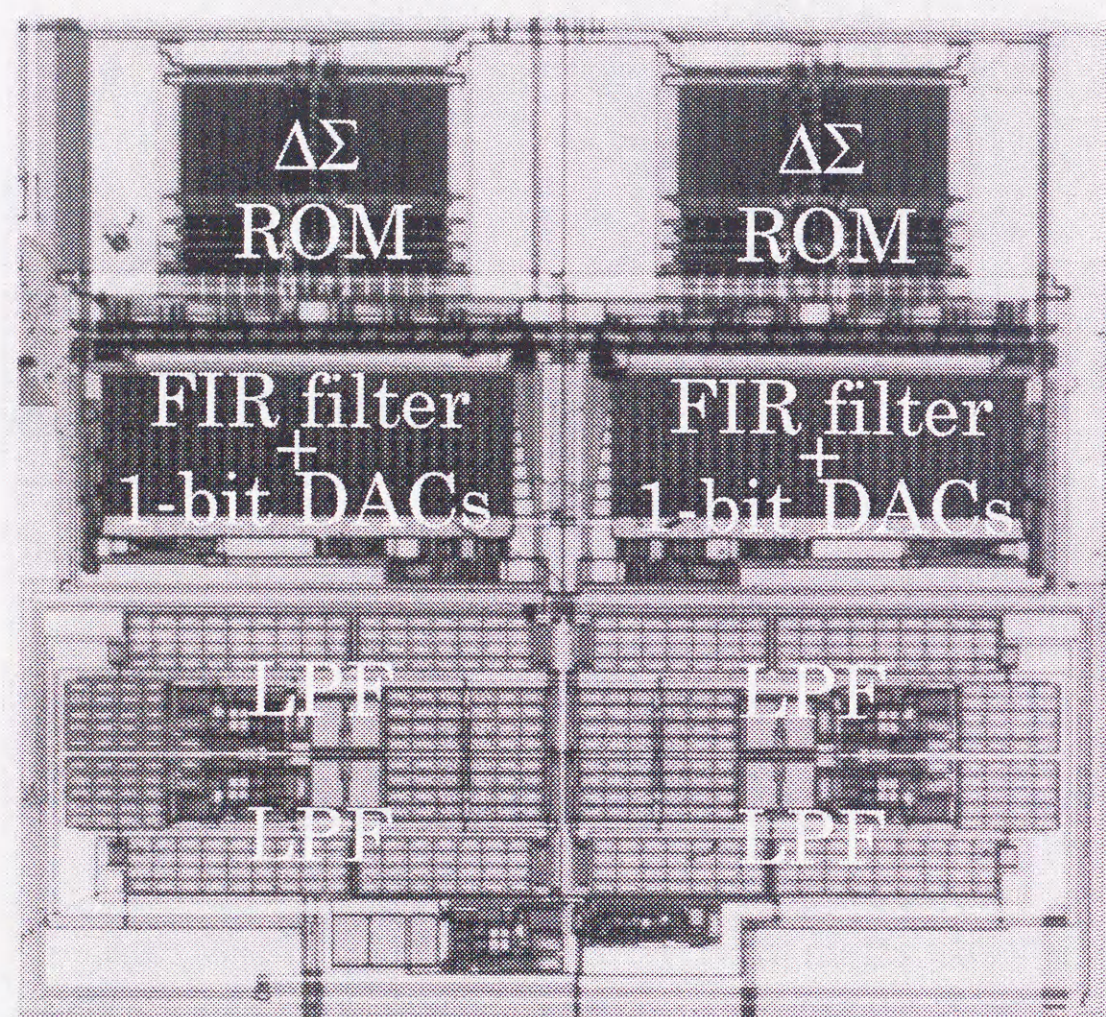


図 3.21: チップ写真

表 3.1: 試作チップ性能表 (加算器を用いない構成法)

変調精度	1.8%
帯域外雑音	
@600kHz $\pm$ 96kHz	-65dB
@900kHz $\pm$ 96kHz	-65dB
データレート	384kbps
DC オフセット	< 10mV
電源電圧	2.5V-5V
消費電流 (アナログ部)	10mA
消費電流 (デジタル部)	6mA
テスト回路を含まない場合	
消費電流 (アナログ部)	1mA
消費電流 (デジタル部)	6mA
チップサイズ	0.8mm $\times$ 0.8mm

力のスペクトルを示す。ここでは、出力電流を  $3K\Omega$  の抵抗で電圧に変換して観測している。移動平均フィルタの効果により隣接チャンネル周波数付近のノイズは  $-50\text{dB}$  以上 QPSK 信号より減衰しているのが分かる。また、それ以上の周波数においても、 $\Delta$ - $\Sigma$  変調器のノイズシェーピングによるノイズの増大が抑えられているのが分かる。

図 3.23 は、連続時間系アクティブ LPF 通過後のスペクトルである。隣接チャンネル周波数における雑音は、QPSK 信号の  $-65\text{dB}$  となっており、PHS のスペクトルを満足している。線スペクトルが見られるが、これは評価系からのクロック信号の回り込みとみられる。

図 3.24 は、変調精度を測定した時のコンステレーション結果である。この時の変調精度は、 $1.8\%_{\text{rms}}$  であった。

その他、試作チップの性能を表 3.2 にまとめておく。

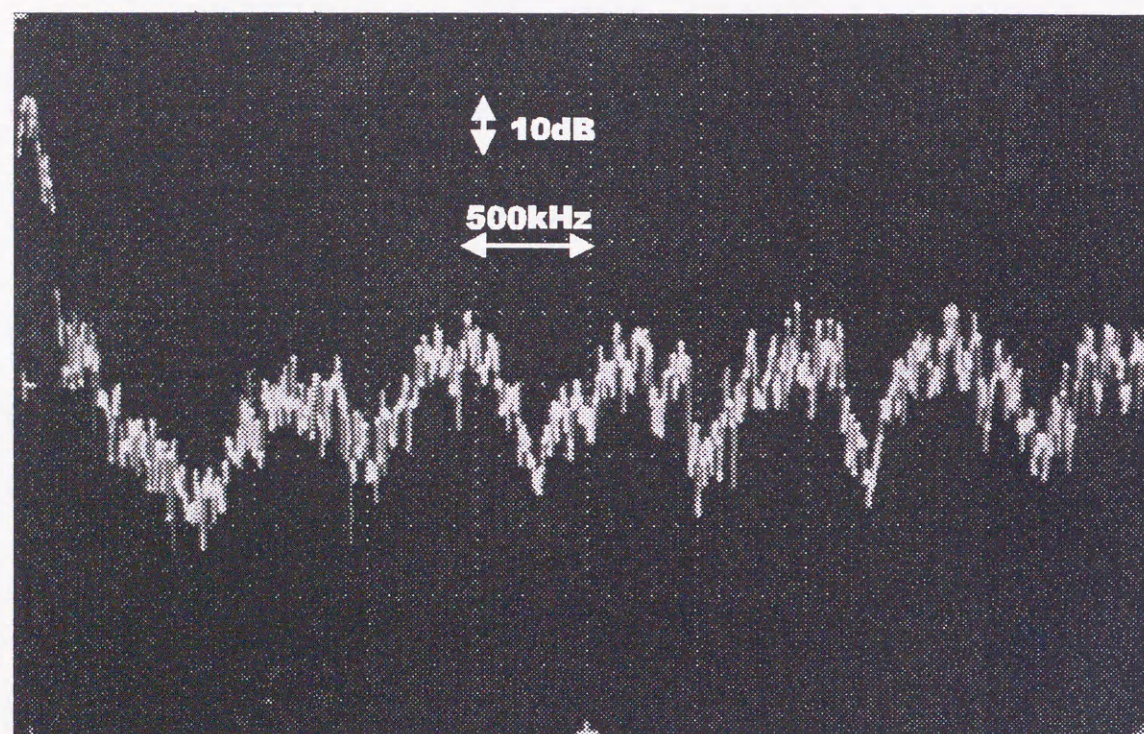


図 3.22: DAC 出力スペクトル

表 3.2: 試作チップ性能表 (アナログ FIR フィルタを用いた構成法)

項目	目標値	実測値
変調精度	2%rms 以下	1.8%
隣接チャネル漏洩電力		
@600kHz $\pm$	-60dB 以下	-60dB
@900kHz $\pm$	-65dB 以下	-65dB
DC オフセット	10mV 以下	<10mV
消費電流	20mA 以下	17mA
電源電圧	2.7V	2.7V
データレート	384kbps	384kbps
チップサイズ		2.1 $\times$ 2.0mm <sup>2</sup>

(いずれもアナログ LPF 部を含めての値)

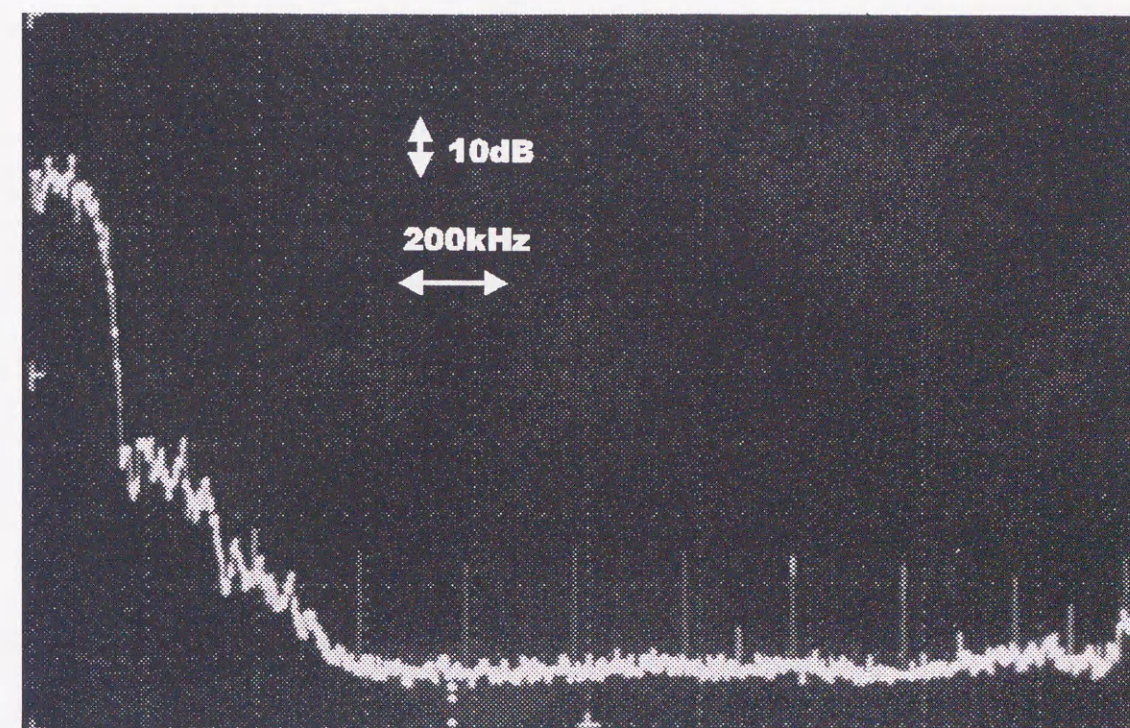


図 3.23: LPF 出力スペクトル

### 3.9 まとめ

本章では, LSI 上の素子値バラツキによる連続時間系アナログ LPF のカットオフ周波数の変動による性能劣化を低減した,  $\pi/4$  シフト QPSK 信号発生器の構成法を提案した.

LSI 上の素子値バラツキによって, カットオフ周波数が高い方向にずれた場合には, 隣接チャネル雑音抑圧量が低下し, 低い方向にずれた場合には, 変調精度が劣化する. これを解決する方法として, アナログ 1bit-FIR フィルタを用いた構成法を提案した. この場合には, アナログ 1bit-FIR フィルタや  $\Delta$ - $\Sigma$  変調器の周波数特性による変調精度の劣化, ハードウェア規模の増加が問題となるが, それらの周波数特性の逆特性のインパルスレスポンスをルートローloffフィルタのインパルスレスポンスに畳み込んでおくことにより補正しこれを解決した.

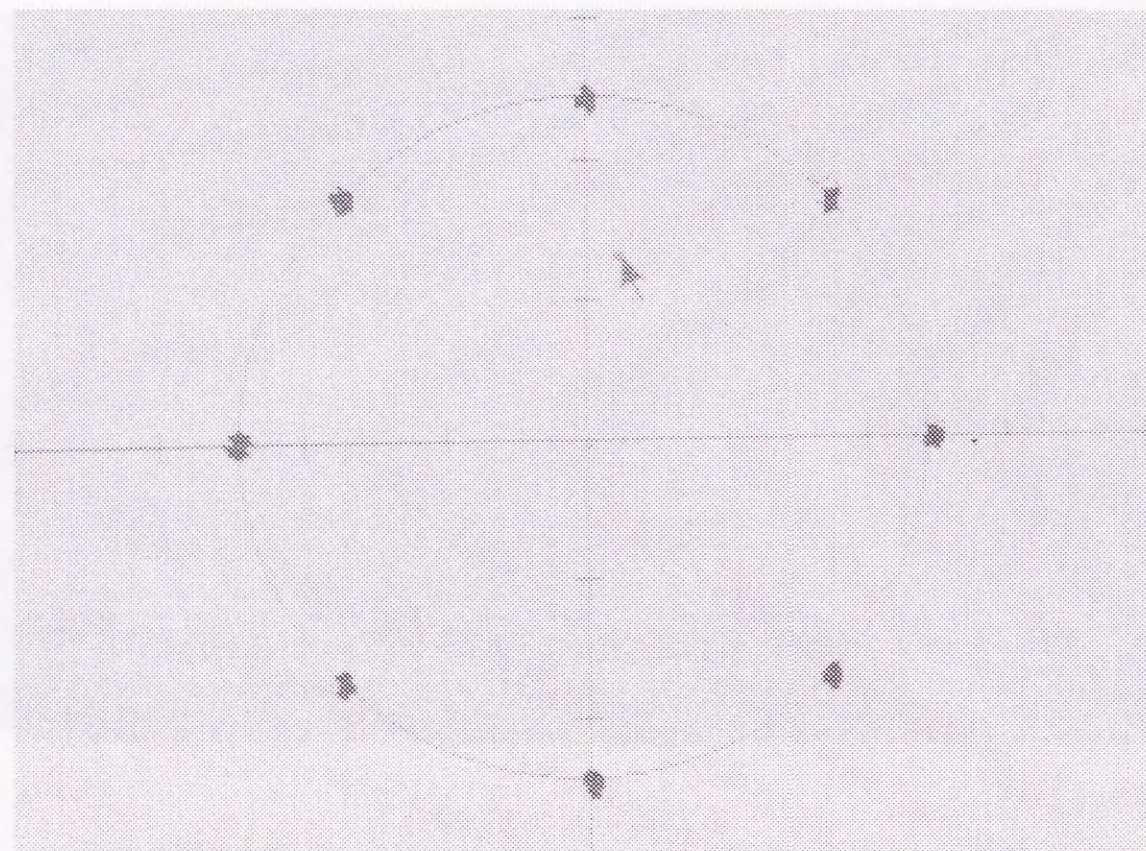


図 3.24: コンステレーション

これらにより、ハードウェア規模が小さく、高精度な信号発生器が実現できた。また、試作したチップの評価によりその有効性を確認した。

## 第4章

### ノイズシェーピング・ダイナミック・エレメント・マッチング法

#### 4.1 はじめに

半導体プロセスの進歩によって、デジタル回路の高速化が進み高速かつ高精度な信号処理が可能となってきている。これに伴ない実信号との境界となる ADC, DAC にも高精度で高速な変換特性が要求されている。たとえば、DVD のオーディオ系の符号長は 24bit であり、これは 146dB もの SNR になる。ADC, DAC の特性を決定する最大の要因は、ADC, DAC を構成する素子の精度である。精度の向上を図るため、素子バラツキそのものの低減および素子バラツキの影響を低減する方法の両面からこれまで研究が行われてきた。従来 LSI では、素子精度を決める素子バラツキのうち、相対バラツキが絶対バラツキに比べ良好なため、素子のマッチングを利用した回路が用いられてきた。しかしながら、さらなる精度の向上を図るためには、相対バラツキの精度を超える方法が必要となってきている。

本章では、DAC などを構成する素子の相対バラツキに起因する雑音の影響について考察し、従来用いられてきた手法を概説する。従来手法では、バラツキに起因する雑音の周波数分布を制御することは不可能であった。バラツキによる雑音

を信号帯域で小さくするように制御可能であれば、信号帯域での SNR を大きく改善することができる。そこで、バラツキに起因する雑音の周波数分布を任意に形成することを可能とするノイズシェーピング・ダイナミック・エレメントマッチング法 (NSDEM) [27] [28] [29] [30] [31] [32] [33] [34] を提案する。また、NSDEM のハードウェア規模を削減した実現方法 [27] [30] [31] [32] [33] [35] [36] についても論じる。

## 4.2 DAC におけるバラツキの影響

ここでは、DAC におけるバラツキの影響について考えるが、ADC においても内部に基準信号を必要とするため、同様な議論が成り立つ。DAC の場合、入力デジタルコードに比例したアナログ値を出力することが目的となるため、相対バラツキの影響が重要になる。以下では、DAC における相対バラツキの影響を考える。

図 4.1 にセグメント型の DAC の例を示す。各電流セルの出力電流を、入力デジタルコードにしたがって順次オンすることにより、入力デジタルコードに比例した出力を得る構成となっている。各電流セルが誤差を持っていない場合は、図 4.2 の実線で示した出力が得られる。しかし、実際には各電流セルはバラツキによる誤差を持っているため、ハッチング線で示したような特性となる。このため、DAC の出力には入力信号に加え、その歪み成分および雑音が重畳したものとなる。

DAC の構成法としては、R-2R、セグメント型等があるが、R-2R を用いる方法では、素子のバラツキの影響がそのまま出力に現れるため、高精度変換には適していない。一方、セグメント型では、素子数  $N$  を多くすれば精度が素子数のルートに比例して向上する [37] が、精度を上げるには大きなチップ面積が必要となる。デバイスのマッチングは通常の IC プロセスでは 1% から 0.1% 程度であるので、トリミングしない場合には 10 から 12bit 精度が限度となる。

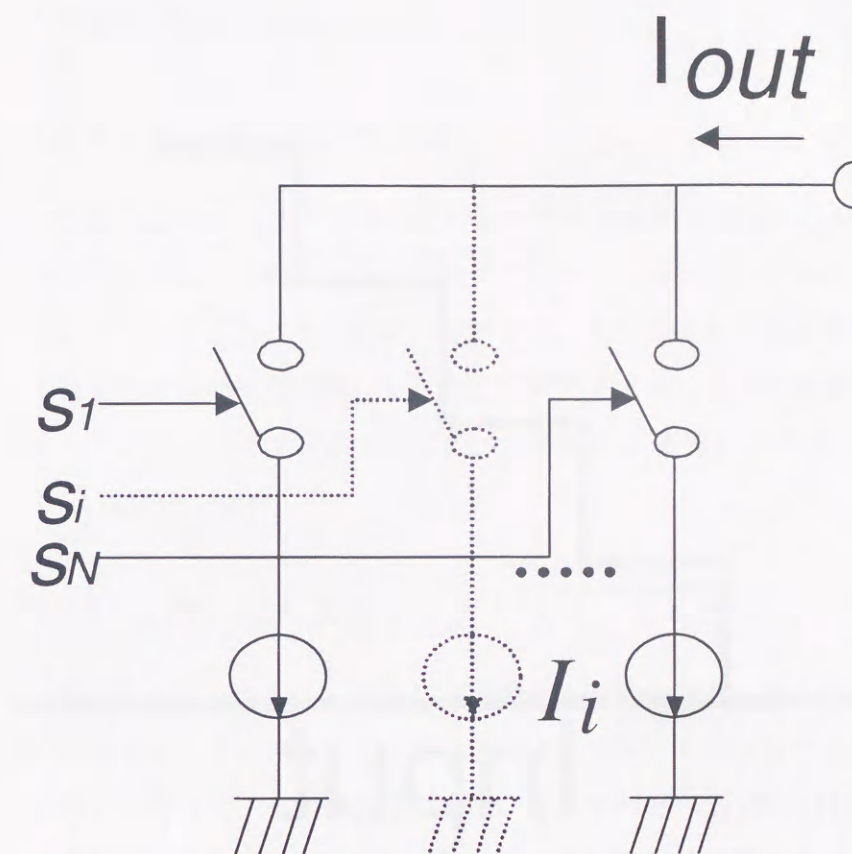


図 4.1: セグメント型 DAC

## 4.3 高精度変換技術

前節でみたように、R-2R 型やセグメント型では素子バラツキの影響が大きく、高精度変換を実現するためには、素子バラツキの影響が小さい方法が必要となる。これを改善する方法として、PWM 型や積分型があるが、 $p$ -bit の変換を行うために必要なクロック周波数  $f_{ck}$  は、変換周波数を  $f_s$  とすると、 $f_{ck} = 2^p \times f_s$  となり、非常に高い周波数のクロックが必要となる。これらの問題を改善した、クロック周波数を上げて精度の向上を図る別の方法として、ダイナミック・エレメント・マッチング (DEM) 法 [38] や、 $\Delta$ - $\Sigma$  変調器 [1] [39] がある。

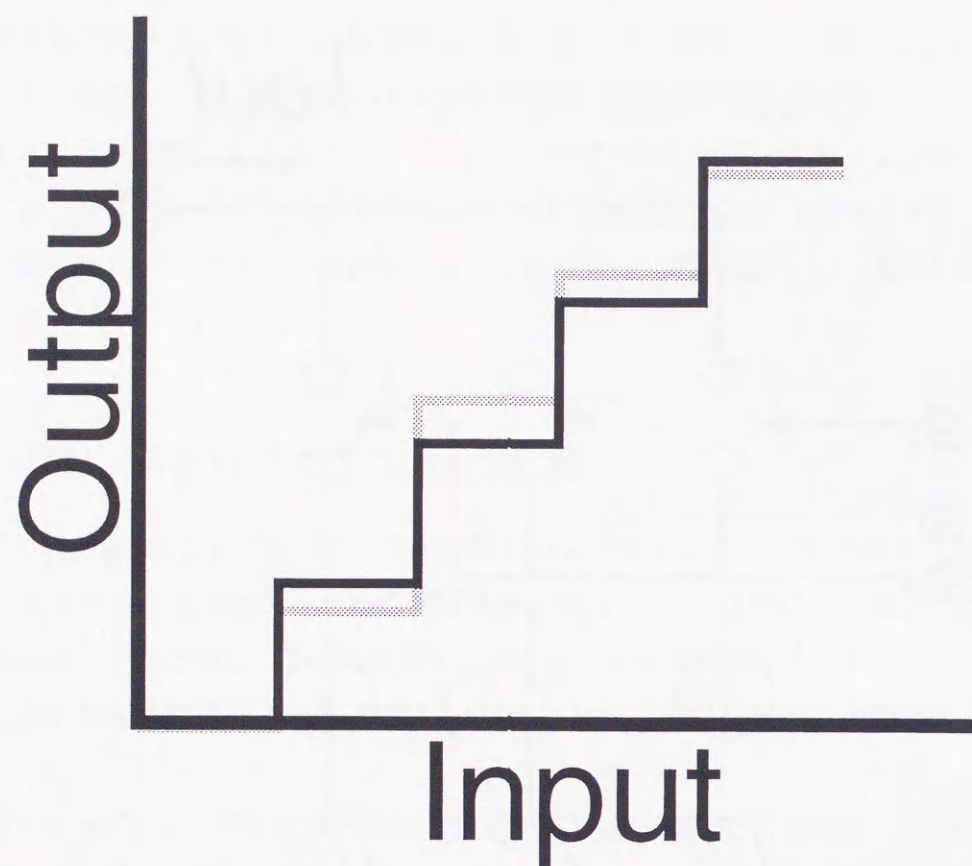


図 4.2: DAC 出力

#### 4.3.1 ダイナミック・エレメント・マッチング法

DEM 法では、入力されたデジタルコードを再現するために、図 4.1 変換時間内にすべての電流セルを同じ時間だけ使用する。電流セル数を  $N = 2^p$ 、入力コードを  $x$  とすると、各クロック時刻に  $x$  個のセルをセレクトし、各クロックごとにセレクトするセルの組み合わせを変更する。これにより、各電流セルのバラツキの影響を原理上無くすることが可能となっている。すべてのセルを使うために  $N$  倍のクロック周波数が必要となり、高速変換は困難である。この方法も PWM 型と同様に変換周波数の  $N$  倍のクロック周波数が必要となるが、バラツキによる誤差が出力にリップルとして現れるため、PWM に比べ後段に接続されるフィルタ

への要求が緩和される。

#### 4.3.2 ランダムセレクト法

DEM 法では、1 出力を得るためにすべてのセルを使用するが、ランダムセレクト法[40]では、1 出力を 1 クロックで出力し、セレクトするセルの組み合わせをサンプリングごとにランダムに変更する。これにより、入力信号とバラツキによる雑音との間の相関が無くなり、出力スペクトルにおける高調波歪みが低減される。しかし、バラツキによる誤差は、ホワイト雑音として分布することとなり、SNR は変化しない。

#### 4.3.3 1 次ハイパス型ダイナミック・エレメント・マッチング法

ランダムセレクト法を改良し、電流セルを順番にセレクトする方法[41]が最初に提案され、この方法によって、1 次ノイズシェーピングが実現されることが実験的に示された。その後同種の方法が提案された[42][43][44][45]。

当初はこの方法によって 1 次ノイズシェーピングが生じる理由が示されなかったが、谷らがこれを明らかにした[46]。しかし、この方法では順番にセレクトを行うというアルゴリズムに基くもので 1 次のハイパス型のシェーピングしか実現できず、2 次以上の高次のシェーピングは実現できない。このため、任意のシェーピング特性を得ることはできなかった。

#### 4.3.4 $\Delta$ - $\Sigma$ 変調器 (ノイズシェーピング)

素子バラツキの影響を改善する別の方法として、第 2 章で示した  $\Delta$ - $\Sigma$  変調器がある (図 4.3)。 $\Delta$ - $\Sigma$  変調器では、通常内部の DAC 出力に 1bit のものを使う。1bit では、出力値が 2 値しかないため原理的に非直線性歪みが発生しない。

しかし、1bit で量子化されているため量子化雑音が過大となりこのままでは、S/N が悪い。そこで、 $\Delta$ - $\Sigma$  変調器では、量子化器の出力を入力にフィードバックし、ループ内に (ループ) フィルタを備えることで、特性を改善させている。ルー

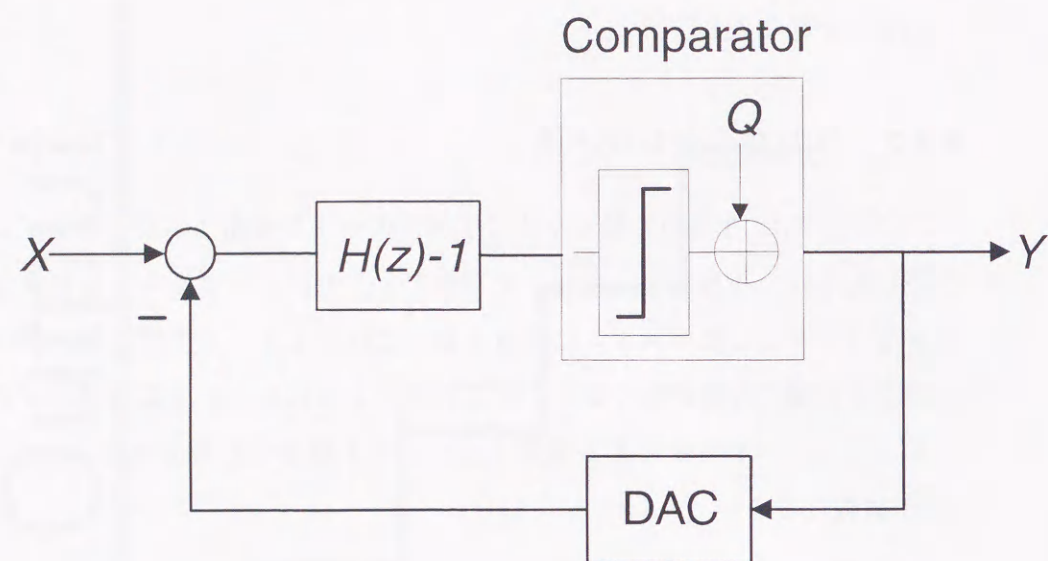


図 4.3: Δ-Σ 変調器

プフィルタの伝達関数を  $H(z)$  とすると、出力  $Y$  は、

$$Y = \frac{H(z)-1}{H(z)}X + \frac{1}{H(z)}Q(z) \quad (4.1)$$

となる。ここで  $X$  は入力信号、 $Q(z)$  は量子化器で発生する量子化雑音である。Δ-Σ 変調器では、 $Q(z)$  には  $\frac{1}{H(z)}$  がかかり、いわゆるノイズシェーピングによって量子化雑音の影響を低減することが可能となっている。

しかしながら、1-bit 量子化器を用いた場合には、 $H(z)$  を 3 次以上としたときに安定性が問題となり、安定性を確保すると理論上の性能を実現できない。一方、この量子化器を多-bit 化した場合には、DAC の誤差がそのまま出力に現れ変換精度が DAC の特性で決定されてしまう。

#### 4.4 ノイズシェーピング・ダイナミック・エレメント・マッチング法

バラツキによる雑音に対しても、高次のノイズシェーピングが行えれば Δ-Σ 変調器の内部 DAC として用いるのに非常に有効である。これを実現する方法が、

ノイズシェーピング・ダイナミック・エレメント・マッチング法 (NSDEM) [27]–[36] [47] [48] [49] である。

ここでは、NSDEM の理解を深めるために、

- バラツキが既知の場合にバラツキによる雑音を最小化する方法
- バラツキが既知の場合にバラツキによる雑音に周波数シェーピングをかける方法
- バラツキが未知の場合への拡張
- NSDEM の実現方法

に分けて説明する。

図 4.1 に示した  $N$  個の単位電流セルを備えたエレメント型の DAC において、各単位電流セルの出力電流を平均電流  $I_{av}$  および誤差電流  $\varepsilon = [\varepsilon_1, \varepsilon_2, \dots, \varepsilon_N]^T$  を用いて、

$$I_i = I_{av} + \varepsilon_i, \quad I_{av} = \frac{1}{N} \sum_{i=1}^N I_i, \quad \sum_{i=1}^N \varepsilon_i = 0 \quad (4.2)$$

とする。このとき、時刻  $n$  における出力電流  $I_{out}(n)$  は、

$$I_{out}(n) = \sum_{i=1}^N s_i(n) I_i \quad (4.3)$$

となる。ここで、

$$\mathbf{s} = [s_1, s_2, \dots, s_N]^T \quad (4.4)$$

はセレクト信号で、 $s_i$  はセルがセレクトされたときに 1、非セレクトのとき 0 とし、 $n$  は時刻  $n$  を表わすものとする。したがって、入力  $x(n)$  は、

$$x(n) = \sum_{i=1}^N s_i(n) \quad (4.5)$$

となる。

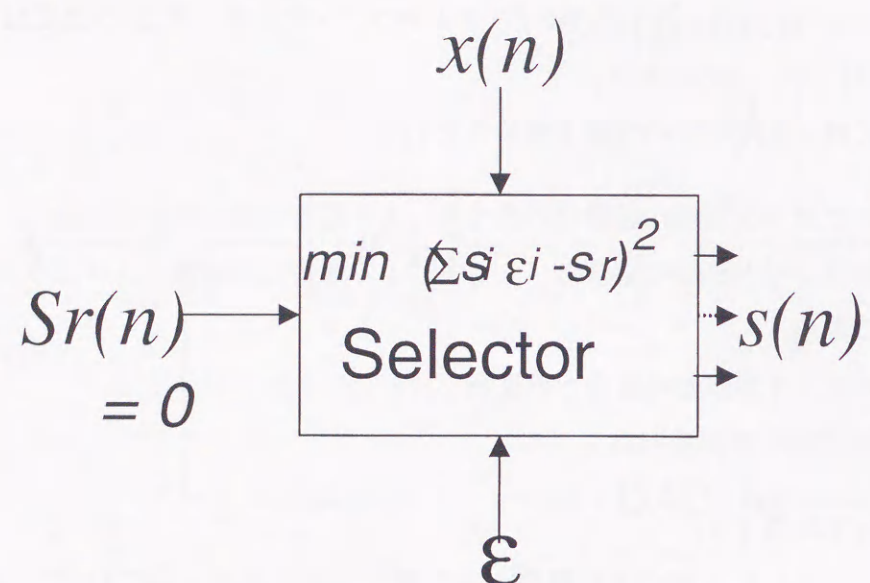


図 4.4: 誤差が既知の場合の構成

## 4.4.1 バラツキが既知の場合に雑音を最小化する方法

まず、バラツキが既知の場合に出力雑音を最小化する方法を図 4.4 に示す。ここで、 $s_r$  は目標誤差で、通常  $s_r = 0$  とする。セレクタは、 $N$  個の電流セルから  $x(n)$  の示す数だけセルをセレクトする。この際、バラツキ情報  $\varepsilon$  を用いて、出力における誤差の 2 乗

$$I_e^2 = \left( \sum_{i=1}^N s_i(n) \varepsilon_i \right)^2 \quad (4.6)$$

が最小となる組み合わせをセレクトする。これにより、出力雑音を最小とすることができ、誤差は

$$e(n) = \sum_{i=1}^N s_i(n) \varepsilon_i \quad (4.7)$$

となる。このとき、 $e(n)$  は入力信号に依存しているため、出力スペクトルには、ホワイト雑音に加え高調波歪みが含まれる。

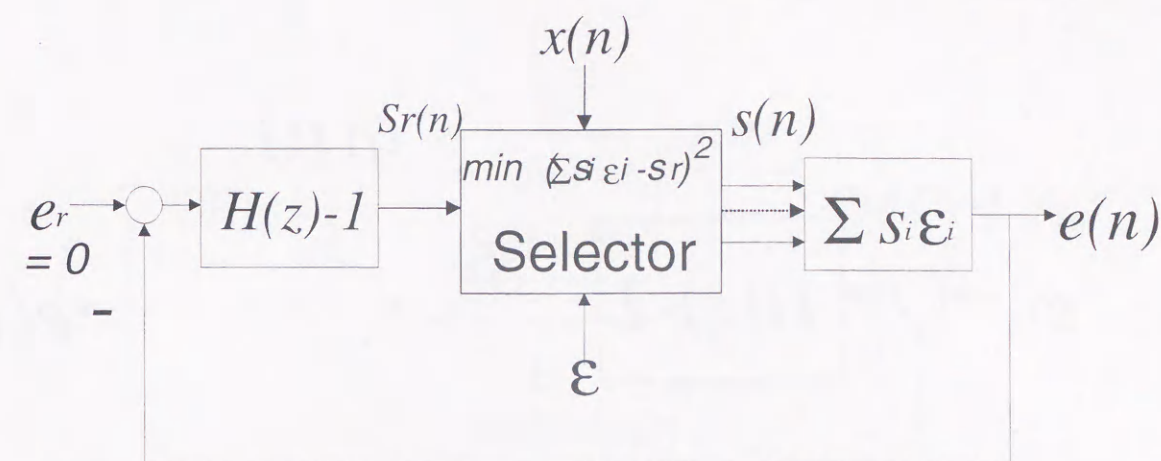


図 4.5: ノイズシェーピングをかける構成

## 4.4.2 バラツキが既知の場合にバラツキによる雑音にノイズシェーピングをかける方法

バラツキによる雑音にノイズシェーピングをかける構成を、図 4.5 に示す。セレクト信号  $s(n)$  および誤差情報  $\varepsilon$  より誤差

$$e(n) = \sum_{i=1}^N s_i(n) \varepsilon_i \quad (4.8)$$

を求め、これをフィードバックする。ここで、 $H(z) - 1$  はループフィルタの伝達関数、 $e_r$  は目標誤差であり通常  $e_r = 0$  とする。セレクタでは、

$$\left( \sum_{i=1}^N s_i(n) \varepsilon_i - S_r \right)^2 \quad (4.9)$$

が最小となるような組み合わせとなる  $s(n)$  を出力する。図 4.5 は、図 4.3 に示した  $\Delta$ - $\Sigma$  変調器と同様に動作し、その等価回路を図 4.6 に示す。ここで、 $q(n)$  はセレクタで印加される誤差信号を表わし、

$$q(n) = s_r(n) - \sum_{i=1}^N s_i(n) \varepsilon_i \quad (4.10)$$



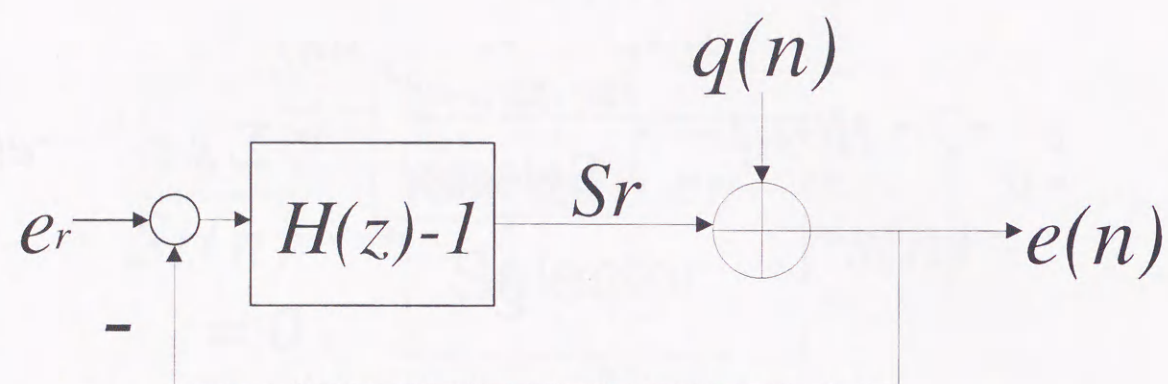


図 4.6: ノイズシェーピングをかける構成の等価回路

である。したがって、

$$E(z) = \frac{1}{H(z)}Q(z) \quad (4.11)$$

となる。ここで、 $E(z)$ 、 $Q(z)$  はそれぞれ  $e$  および  $q$  の  $z$  変換を表わす。このように、バラツキに起因する雑音  $Q(z)$  に対してノイズシェーピングをかけることが可能となる。

#### 4.4.3 バラツキが未知の場合への拡張

LSI で DAC を実現した場合には、電流セルのバラツキ誤差  $\epsilon$  は測定しない限り分からない。しかし、バラツキを測定すること無しにバラツキによる雑音に対してノイズシェーピングが実現できれば、無調整での使用が可能となり、実用上大きなメリットがある。そこで、直接この誤差を測定することなくノイズシェーピングをかける方法を考える。

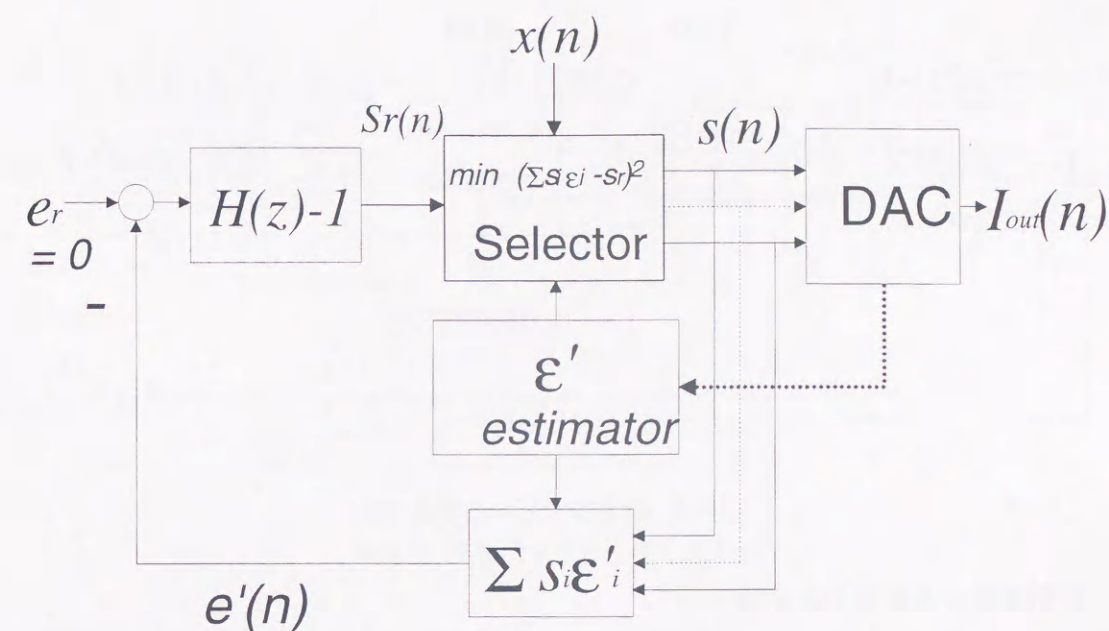


図 4.7: 推定器を用いる構成 (1)

#### 推定器を用いる方法

図 4.7 に推定器を用いる方法を示す。推定器からの推定値  $\epsilon'$  を用いて、誤差の推定値

$$e'(n) = \sum_{i=1}^N s_i(n)\epsilon'_i \quad (4.12)$$

を求める。セレクタでは、 $\epsilon'$  を用いて

$$\left( \sum_{i=1}^N s_i(n)\epsilon'_i - S_r \right)^2 \quad (4.13)$$

が最小となるような組み合わせとなる  $s(n)$  を出力する。以上によってノイズシェーピングを実現している。どのように推定器を構成するかについては、本論文の主題ではないためここでは言及しないが、適当な  $\epsilon$  の推定器を構成できれば、この構成方法でも素子バラツキによる雑音に対してノイズシェーピングを実現できる。

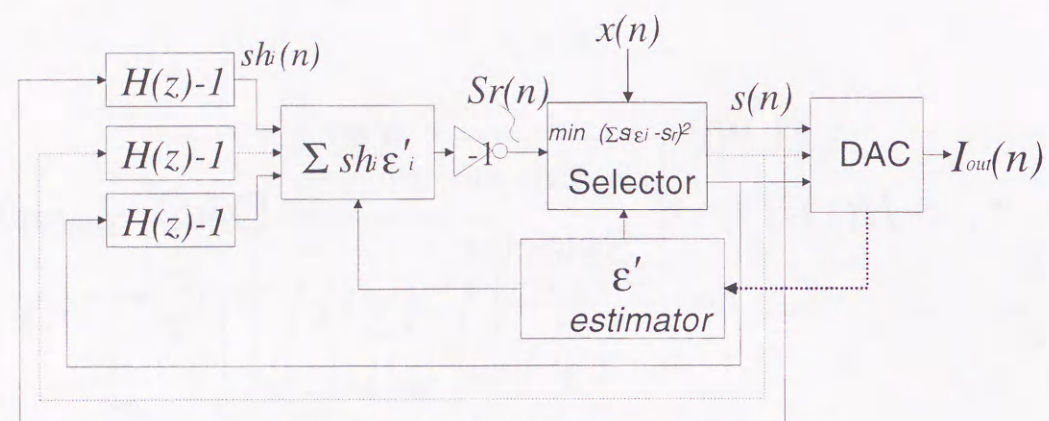


図 4.8: 推定器を用いる構成 (2)

## 既知情報のみを用いる方法

直接バラツキを測定しなくとも、既知情報のみを利用してノイズシェーピングをかける方法を考える。式 (4.2) に示したように、すべての電流セルを使用した場合には、出力誤差はゼロになる。これが既知情報である。

さて、誤差推定器をループフィルタの後段に移動させてもシステムは等価である (図 4.8)。ここで、 $e_r = 0$  とした。このとき、セレクトタでは  $s_r$  に最も近い誤差信号、つまり

$$\left( \sum_{i=1}^N s_i(n) \varepsilon'_i - s_r(n) \right)^2 \quad (4.14)$$

を最小にする信号を発生するようにセレクトを行う。

次に式 (4.2) を利用することを考える。図 4.8 から誤差推定器を取り払った場合、セレクトタの入力はベクトルとなる。バラツキ誤差が未知のため誤差は推定できないが、セレクトタは、入力ベクトルが表わす誤差を発生するセレクト信号を発生できれば良いことになる。つまり、

$$\left( \sum_{i=1}^N s_i(n) \varepsilon_i - \sum_{i=1}^N s_{vri}(n) \varepsilon_i \right)^2 = \left( \sum_{i=1}^N (s_i(n) - s_{vri}(n)) \varepsilon_i \right)^2 \quad (4.15)$$

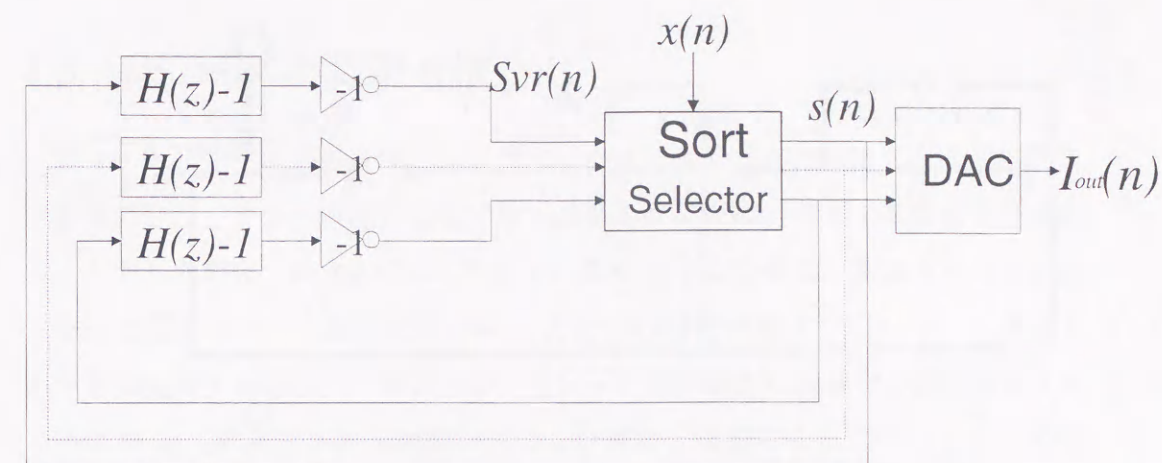


図 4.9: 既知情報のみを用いる構成

が最小になるように、セレクトすればよい。したがって、

$$s_i(n) = s_{vri}(n) \quad (4.16)$$

となるようにセレクトすれば良い。ところが、 $s_i$  の符号は通常正に限定されるため、 $s_{vri}$  は負となり

$$s_i(n) = s_{vri}(n) \quad (4.17)$$

を実現することはできない。ところで、式 (4.2) から  $s_i - s_{vri}$  の各要素がそれぞれ等しいようにセレクトを行えば良いことが分かる。しかし、セレクトできる数は  $x(n)$  に制限され、かつまた同じ電流セルは 1 度しかセレクトできないため、 $s_i$  は 0, 1 に制限される。これを満たし、

$$\left( \sum_{i=1}^N (s_i(n) - s_{vri}(n)) \varepsilon_i \right)^2 \quad (4.18)$$

を最小にするセレクトする方法は、 $s_{vri}$  の値の大きいものから  $x(n)$  だけセレクトすることである。これを実現する方法を図 4.9 に示す。ここでセレクトタはベクトル量子化器として動作する。これは、[27] で提案された高次の NSDEM である。また、[47] の方法も基本的にはこの図と等価である。

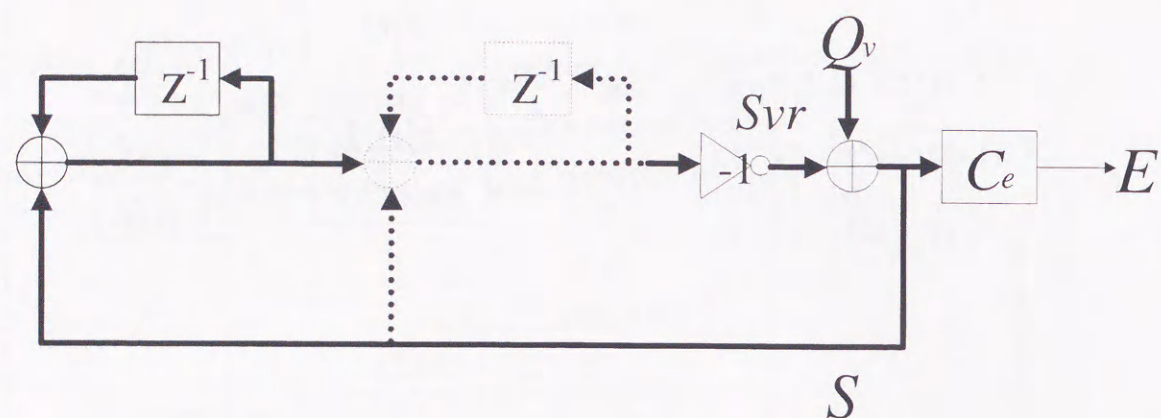


図 4.10: 既知情報のみを用いる構成の等価回路

図 4.9 でループフィルタに  $m$  次の積分器を用いた  $m$  次 NSDEM の等価回路を 図 4.10 に示す. ここで,

$$q_{vi}(n) = \{\min(S_{vri}(n)) - S_{vri}(n)\} - s_i(n) \quad (4.19)$$

また,

$$S(z), S_{vr}(z), Q_v(z) \quad (4.20)$$

は

$$s(n), s_{vr}(n), q_v(n) \quad (4.21)$$

の  $z$  変換である. したがって,

$$E(z) = (1 - z^{-1})^n C_e Q_v(z) \quad (4.22)$$

となる. ここで,  $C_e$  は  $1 \times n$  行列で,

$$C_e = (\varepsilon_1, \varepsilon_2, \dots, \varepsilon_n) \quad (4.23)$$

である. これより, 出力における誤差信号は,  $n$  次のノイズシェーピングを受けることが分かる.

## 4.5 NSDEM の実現方法

図 4.9 を LSI 化する場合, ループフィルタ, セレクタともにデジタル回路で構成でき, バラッキ誤差が既知である必要もないため, 実用上有効な方法である. しかしながら, 図 4.9 に示したままに LSI 化する場合, 電流セルの数が多くなった場合にソート回路が非常に巨大化する問題がある [35]. ソート演算をハードで実現する場合, デジタルコンパレータを階層的に組み合わせて実現することになる.  $N$  をセレクト対象の数とした場合, 必要となるコンパレータの数  $N_c(N)$  は

$$N_c(N) = \frac{1}{4} N (\log_2 N + 1) \log_2 N \quad (4.24)$$

のように表わされ,  $N$  を大きくした場合にハード規模が爆発的に大きくなるのが分かる. また, NSDEM 全体のハード規模  $N_{nsdem}(N)$  は, コンパレータ数に換算して,

$$N_{nsdem}(N) = \frac{1}{4} N (\log_2 N + 1) \log_2 N + N M \quad (4.25)$$

となる. ここで,  $M$  は NSDEM のノイズシェーピングの次数である.

この問題を解決する方法として, 木構造ノイズシェーピング・ダイナミック・エレメントマッチング法 (TNSDEM) [35] やこれに類似の方法として, [48] がある. 次節では, ベクトル量子化器を簡略化する方法について説明する.

## 4.6 木構造ノイズシェーピング・ダイナミック・エレメントマッチング法

上で述べたように, ノイズシェーピングをそのまま実現した場合, ソート回路の規模が大きくなる欠点があった. これを改善する方法として木構造を用いた方法 (TNSDEM) [27] [30]–[33] [35] [36] [48] [49] が報告されている. このブロック図を 図 4.11 に示す.

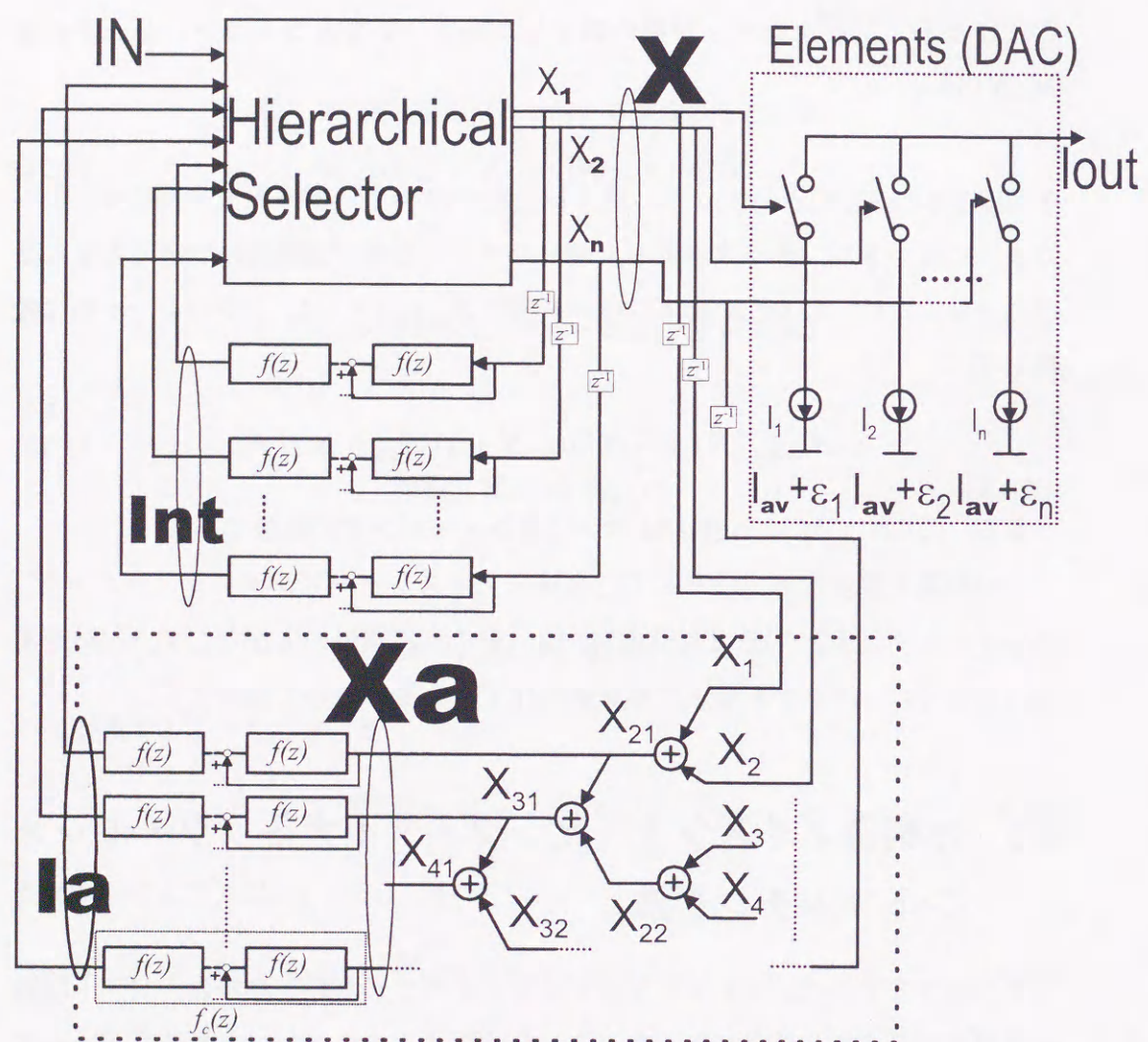


図 4.11: 木構造ノイズシェーピング・ダイナミック・エレメントマッチング法

この方法では、各セルのセレクトの有無に加え、木構造を用いて電流セルをグループに分け、グループのセレクトにもループフィルタを用意し、これらの情報を使って、セルのセレクトを行っている。

ここでは、制御対象となる DAC として図に示した単位電流セルの数が  $N$  の電流モード DAC を想定する。  $\mathbf{X}$  は、セレクト信号である。  $\mathbf{X}_a$  は、図に示したように  $\mathbf{X}$  を入力とする 2 分木構造の加算器の各ノード出力で、これによってグループの選択の有無を表現している。ベクトル信号  $\mathbf{X}$  と  $\mathbf{X}_a$  は、各々図 4.11 のループフィルタに入力される。このループフィルタは、電流セルのバラツキによる雑音に対してノイズシェーピングをかけるために用いている。フィルタの出力の木構造で同じ階層で隣り合ったものどうしを比較し、この結果を元にセレクトを行う。この信号をフィードバックすることにより、同じ階層の 2 つのフィルタ出力値が等しくなるように制御する。これにより、各階層におけるフィルタ出力が等しくなり、ソートを用いてセレクトを行ったのと等価な効果が得られる。ループフィルタに 1 次の積分器を用いた場合、各電流セルの選択回数が等しくなるように制御される。

このように構成することによって、TNSDEM で必要となるコンパレータ数  $N_{ct}(N)$  は、

$$N_{ct}(N) = 2N - 3 \quad (4.26)$$

に減少する。また、TNSDEM 全体のハード規模  $N_{tnsdem}(N)$  は、コンパレータ数に換算して、

$$N_{tnsdem}(N) = (2N - 3) + 2(N - 1)M \quad (4.27)$$

となる。

また、NSDEM を構成するソート回路をデジタル回路で構成する場合のコンパレータが縦列に接続される段数  $N_{s_tnsdem}$  は、

$$N_{s_tnsdem} = \frac{1}{2}(\log_2 N + 1) \log_2 N \quad (4.28)$$

である。一方 TNSDEM の段数  $N_{s_tnsdem}$  は、

$$N_{s_tnsdem} = N \quad (4.29)$$

となる。したがって、TNSDEMは高速な動作が可能となり、同じ速度で動作させる場合は、消費電流の低減が可能である。

次に、セレクト対象が4つの場合を用いて、TNSDEMを用いた場合にどのようにハード規模が削減できるかさらに詳細な説明を行う。セレクト対象が4の場合のTNSDEMのブロック図を図4.6に示す。セレクト信号 $X$ は、第1層の4つのフィルタ $f_c(z)$ に入力される。また、 $X_1$ と $X_2$ 、 $X_3$ と $X_4$ は加算されて $X_a$ を形成し第2層のフィルタ $f_c(z)$ に入力される。したがって、6つのフィルタ出力が得られる。次に、第1層では $X_1$ と $X_2$ のフィルタ出力同士を比較し、第2層では、 $X_a$ の2つのフィルタ出力を比較する。この2つの階層の出力に重み付けを行い、ソートの推定値 $O_i$ を構成する。ここで、第1層に2、第2層に1のように2進重みをつけると、 $O_1$ から $O_4$ には重複が生じないようにすることができる。このように6つのフィルタ出力を用いて階層的に比較を行い、疑似ソート結果 $O_i$ を得る。この $O_i$ とセレクト数を示す $IN$ とをコンパレータで比較することにより、直接選択信号 $X$ を得ることができる。フィードバックループは、各グループ化されたフィルタ出力が等しくなるように制御され、電流セルのバラツキに起因する雑音に対してノイズシェーピングを実現することができる。

つまり、すべてのセルに対応したループフィルタの出力値を等しくするようには制御するのではなく、各階層化されたグループの出力値を等しくするようには制御している。

これは、完全なソートではなく疑似ソートを行っているとして解釈できる。同様な手法として[48]、[50]が提案されている。

## 4.7 シミュレーション結果

### 4.7.1 1次NSDEM

図4.9においてループフィルタを積分器とした場合に、1次NSDEMとなる。この場合には、セルのセレクトは、セルのセレクトの有無を1回積分した値が小さいものからセレクトされる。つまり、すべてのセルのセレクトされた数を一定

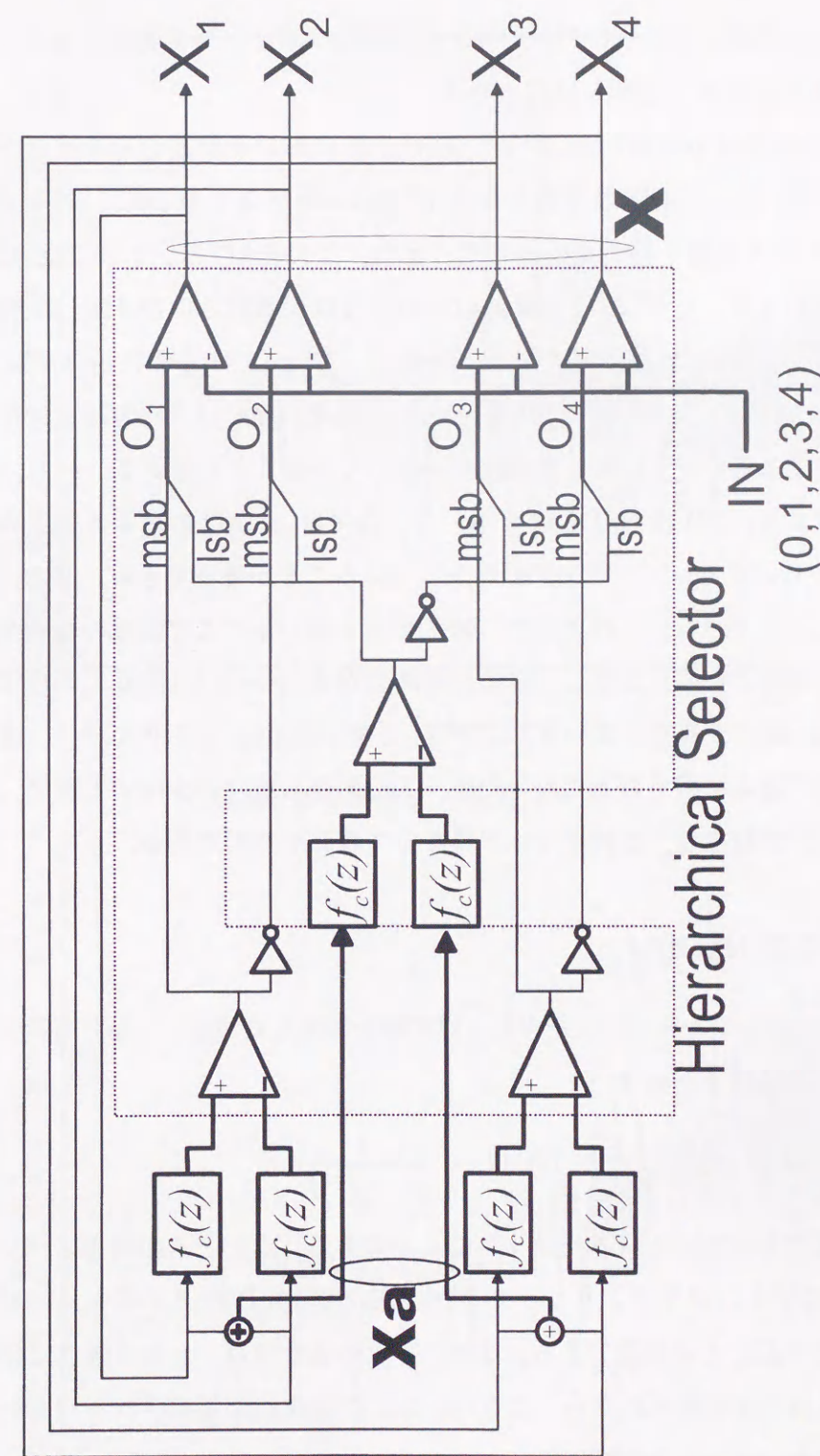


図4.12: 4素子TNSDEMセクタのブロック図

にする。これは、次にセレクトすべきセルを示すポインタで実現できる。すなわち、1次 NSDEM は DWA [45] となる。

図 4.14 に 1 次 NSDEM を用いた DAC 出力における誤差信号スペクトルを示す。ここで、DAC は 16 素子からなる 17 値のエレメント型 DAC、エレメントは 1% のランダム誤差を持つと仮定した。また、この DAC は、3 次  $\Delta$ - $\Sigma$  変調器によって駆動され、この  $\Delta$ - $\Sigma$  変調器の入力信号は周波数 0.0138[Hz]、振幅はフルスケールの 0.7 倍とした。また比較のために、図 4.13 に通常の NSDEM を用いない場合の誤差の出力スペクトルを示した。通常の場合は、白色雑音に加え信号に相関のある成分によって、高調波歪が生じていることが分かる。一方、図 4.14 のグラフより、1 次の NSDEM を用いた方法では、DAC のエレメントの誤差に対し 1 次のノイズシェーピングがかかっていることが確認できる。また、高調波歪も抑圧されている。このように、NSDEM を用いることで低域の雑音を低減することが可能となる。しかし、規格化周波数が 0.01 から 0.1[Hz] にかけて、ピーク値が高い雑音が存在している。これは、1 次 NSDEM や DWA では、素子を隣から順番に選んで行くことになるため、入力信号の変化の少ないときに、繰り返しパターンが発生し、これがトーンになって現れるためである。

#### 4.7.2 2 次 NSDEM

図 4.9 においてループフィルタを 2 段の積分器とした場合、すなわちループフィルタの伝達関数  $H_n(z)$  を

$$H_n(z) = \frac{1}{(1-z^{-1})^2} \quad (4.30)$$

とすれば 2 次の NSDEM を実現することができる。このときの出力スペクトルを図 4.15 に示す。グラフより 1 オクターブあたり 12dB のノイズシェーピングがかかっていることが確認できる。また、2 次の場合には、1 次の場合に見られたトーンもほとんど見られない。これは、2 次の場合には選択されるパターンがより複雑になっているからである。

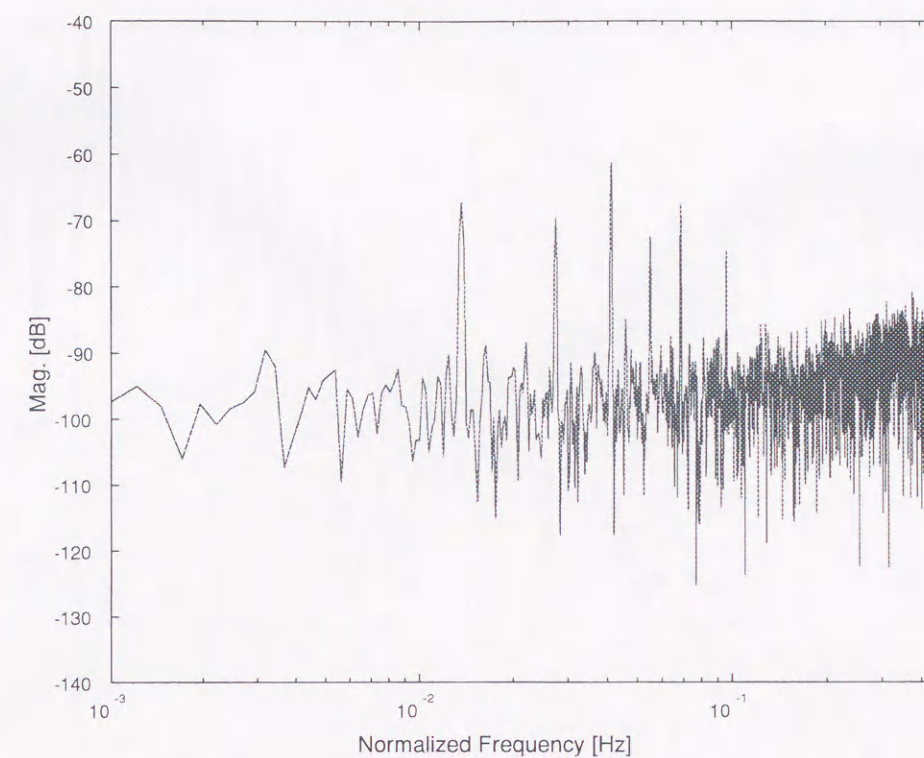


図 4.13: 通常の DAC の出力スペクトル

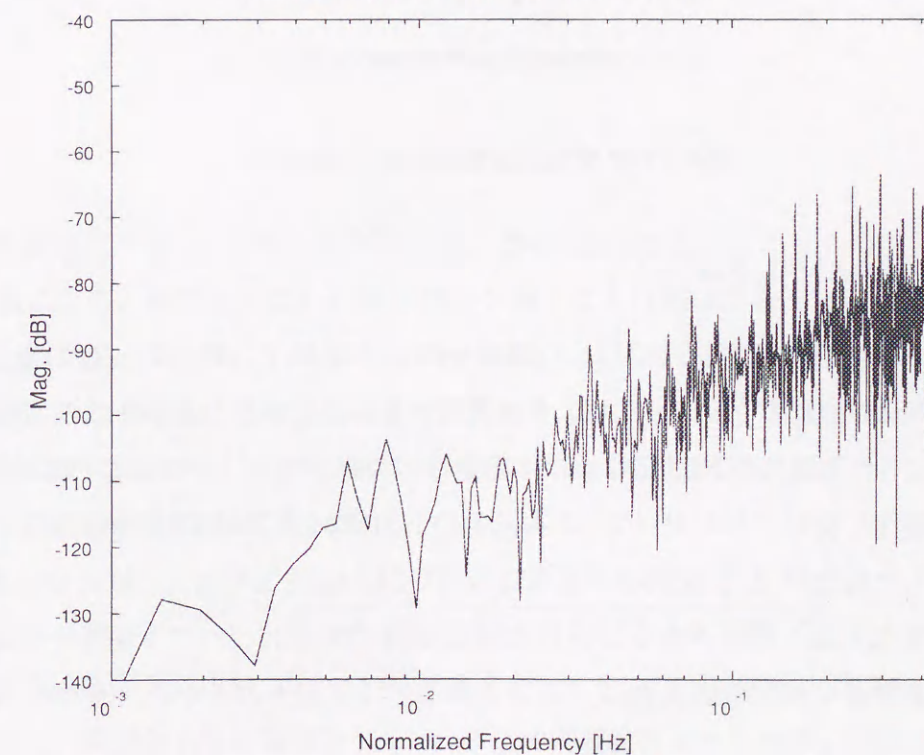


図 4.14: 1 次 NSDEM の出力スペクトル

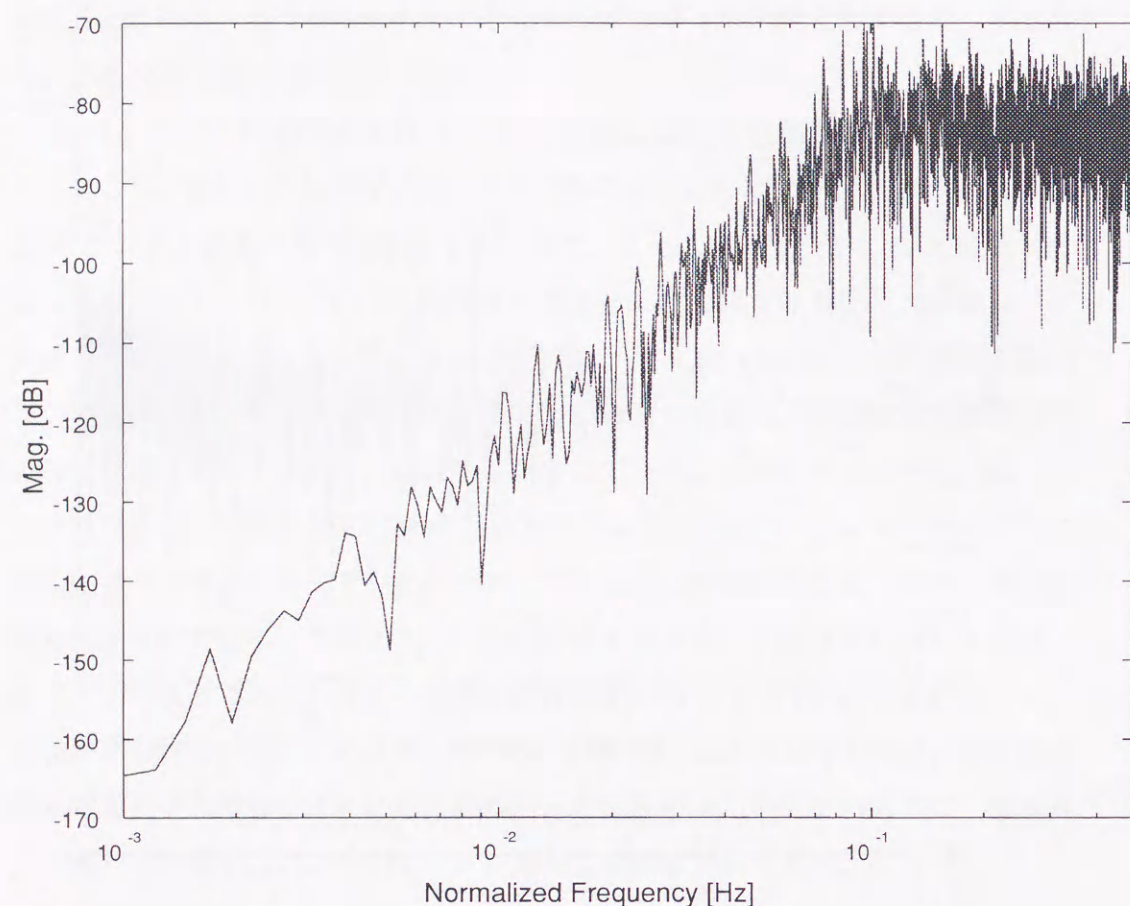


図 4.15: 2次 NSDEM の出力スペクトル

### 4.7.3 高次 NSDEM

高次 NSDEM も、図 4.9 に示した構成を用いればよい。\$H(z)\$ に \$n\$ 段の積分器を用いれば、\$n\$ 次ノイズシェーピングが実現できる。しかし、通常の \$\Delta\$-\$\Sigma\$ 変調器と同様に、3 次以上の NSDEM には、安定性の問題があり、そのままでは不安定となり動作しない。したがって、3 次以上の NSDEM を実現するためには、2 章で議論した高次の \$\Delta\$-\$\Sigma\$ 変調器のように NSDEM の極を \$z\$ 平面上の原点から遠ざけて安定化を図る必要がある。さらに NSDEM の場合は、ベクトル量子化器にあたる選択器で選択できる数は、入力される値に限定されるため、通常の \$\Delta\$-\$\Sigma\$

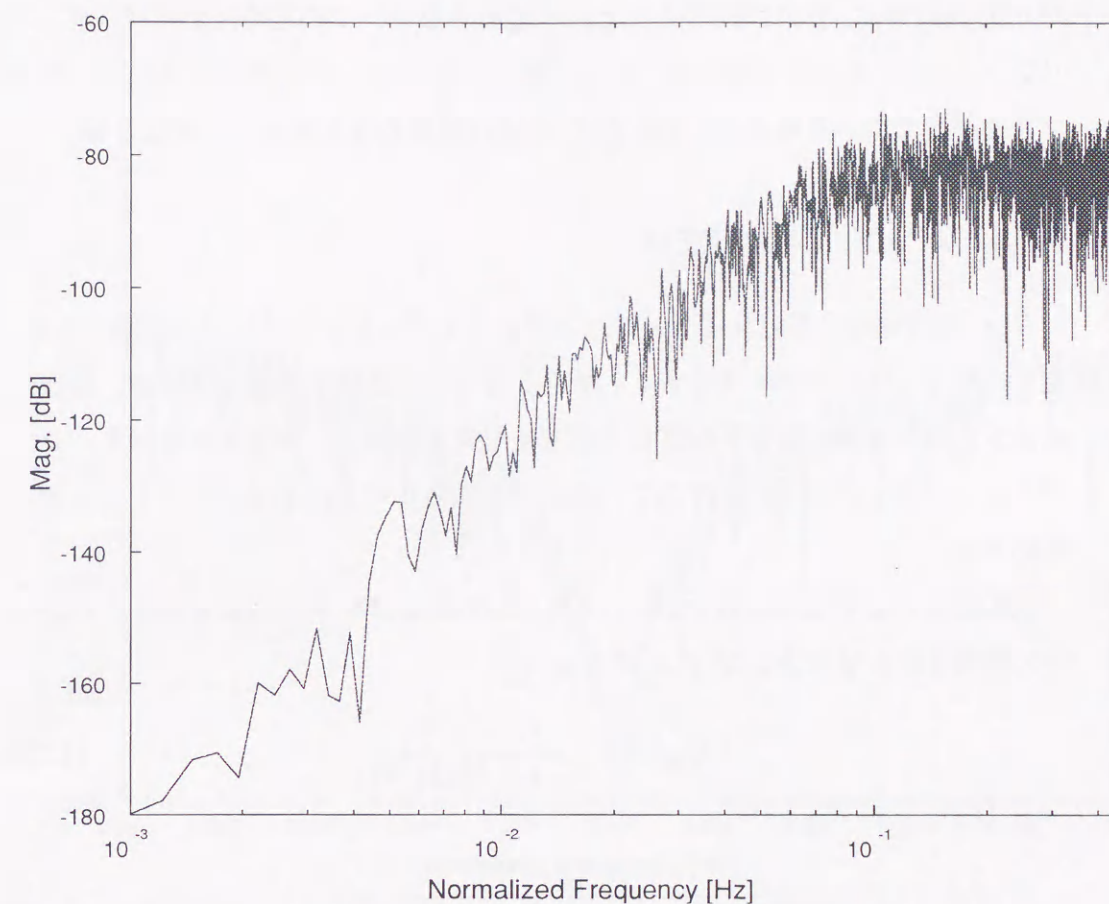


図 4.16: 3次 NSDEM の出力スペクトル

変調器に比べ厳しい拘束条件が加わり、その安定性はより入力信号の影響を受け複雑になる。解析的にこの非線型問題を解くことは困難であり今後の課題である。したがって、ここではシミュレーションによって安定性を確認する。2 章で議論したのと同様に雑音伝達関数の最大値を 1.4 になるようにした場合の 3 次の NSDEM の出力スペクトルを図 4.16 に示す。このときの NSDEM のループフィルタの雑音伝達関数 \$H\_n(z)\$ は、

$$H_n(z) = \frac{(1 - z^{-1})^3}{(1 - 0.9091z^{-1})(1 - 1.9z^{-1} + 0.909z^{-2})} \quad (4.31)$$

である。3 次 NSDEM では、3 次のノイズシェーピング特性が実現されている。しかし、安定化のため雑音レベルは、3 次の理想特性よりも上昇しており周波数

が0.01[Hz]では、2次NSDEMほとんど変わらない。このため、オーバーサンプリング比が50倍以上の場合は、非常に有効であるが、それ以下のオーバーサンプリング比で用いる場合は、2次 $\Delta$ - $\Sigma$ に比べ雑音特性上のメリットはない。

#### 4.7.4 バンドパス NSDEM

$H(z)$ に共振器を用いればバンドパス型のノイズ・シェーピングも実現できる。雑音に対してはバンドエリミネイト特性と言うのが正確な表現であるが、雑音が低減された周波数に信号を配置して通常使用するため、このような特性をバンドパスシェーピングと一般に呼んでいるため、本論分でも以下ではバンドパス型と表記する。

NSDEMの雑音伝達関数として、2次共振器および4次共振器を用いたバンドパス特性を持たせた $H_{2b}(z)$ および $H_{4b}(z)$

$$H_{2b}(z) = \frac{(1 - z^{-2})}{(1 + 0.3333z^{-2})} \quad (4.32)$$

$$H_{4b}(z) = \frac{(1 - z^{-2})^2}{(1 - 0.3222z^{-1} + 0.6645z^{-2})(1 + z0.3222^{-1} + 0.6645z^{-2})} \quad (4.33)$$

を用いた場合のシミュレーション結果を4.17に示す。グラフで上側が2次、下側が4次の出力スペクトルを表している。共振周波数を0.25 [Hz]に設計しているため、0.25 [Hz]を中心とするバンドエリミネイト特性のノイズシェーピングがバラツキ誤差に対して実現されている。

#### 4.7.5 TNSDEM

図4.18に1次NSDEM、2次NSDEMおよび図4.11の構成を用いた場合の出力スペクトルのシミュレーション結果を示す。内部DACの素子数は8、素子バラツキ1%、入力信号の規格化周波数は0.01[Hz]、振幅はフルスケールの0.3倍である。グラフにおいて、いずれも誤差信号のみのスペクトルを示している。NSDEMを用いない場合は、ホワイト雑音に加え高調波歪が出ている。1次NSDEMで

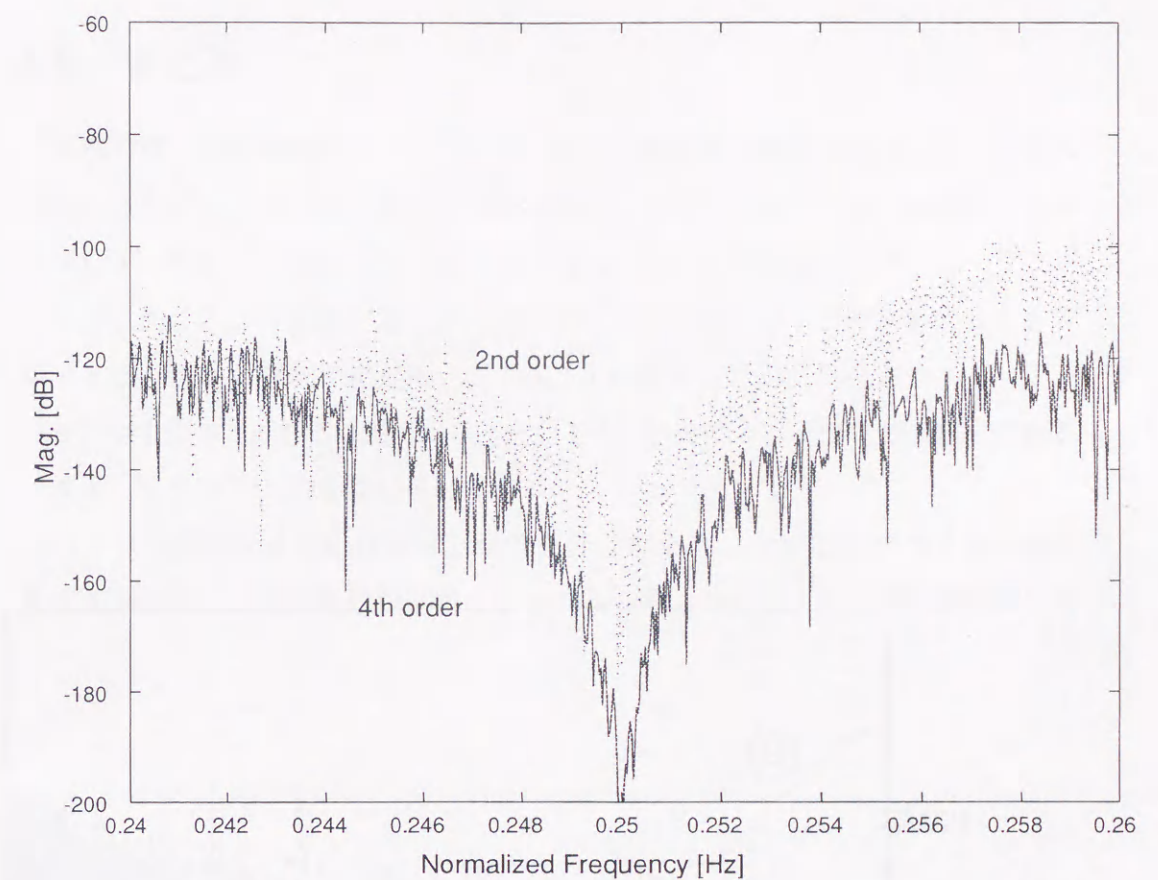


図4.17: 2次および4次バンドパスNSDEMの出力スペクトル

は、20dB/decのノイズシェーピングがかかり、2次NSDEMでは、40dB/decのノイズシェーピングがかかっているのが分かる。木構造を用いた方法では、完全なソートを行っていないためベクトル量子化器で発生する量子化雑音が増加し、誤差スペクトルが若干増加している。また、1次NSDEMでは、高調波歪が残っているが、2次NSDEMでは高調波歪成分は抑圧されている。これは、高次のNSDEMでは、通常の $\Delta$ - $\Sigma$ と同様に入力信号と出力雑音との相関がより小さくなるためである。

以上電流エレメント型のDACについて述べたが、キャパシタや抵抗を用いた場合でも同様であることを付け加えておく。



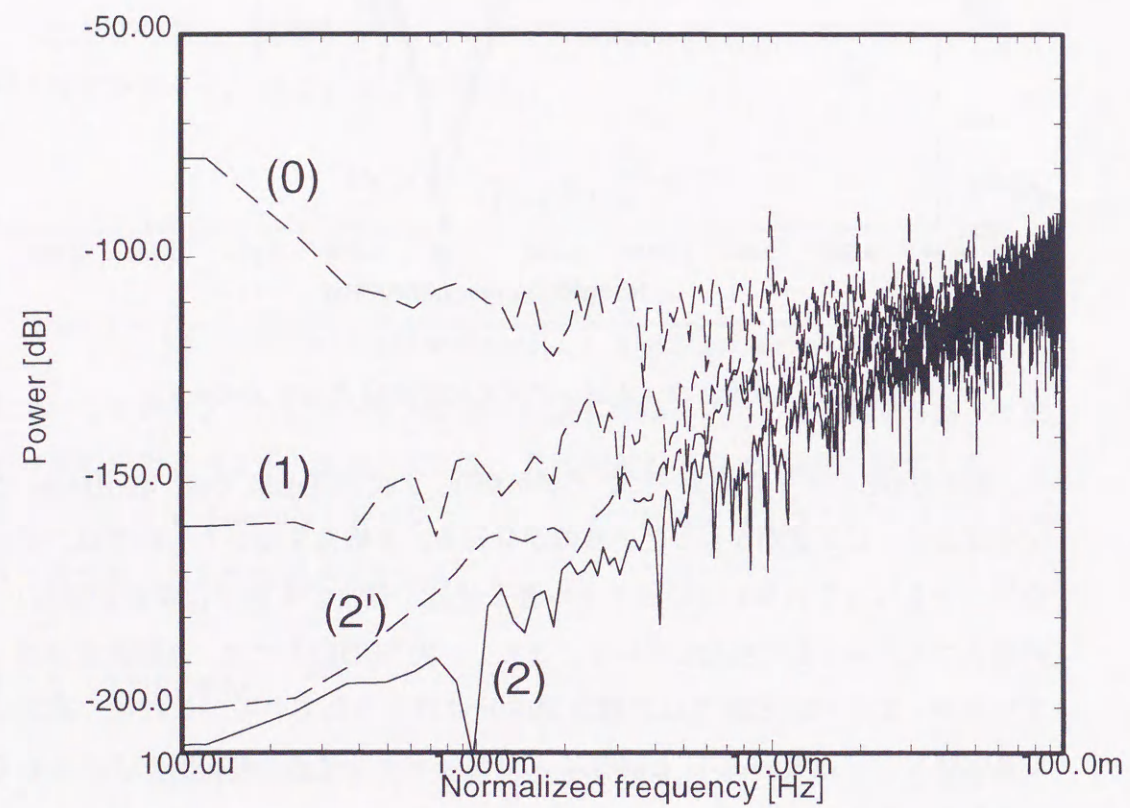


図 4.18: NSDEM を用いた場合の誤差スペクトル (0)NSDEM なし, (1)1 次 NSDEM, (2)2 次 NSDEM, (2)' 2 次 TNSDEM

## 4.8 まとめ

本章では、 $\Delta$ - $\Sigma$ 変調をベースにしたバラツキ雑音低減方法を提案した。従来の DWA や ILA の方法では 1 次のローパス型のノイズシェーピングしか実現できなかったが、提案した方法では、2 次以上のシェーピングが可能となり、ループフィルタを目的に応じて設計することによりローパス以外にバンドパス特性なども実現できる。説明の都合上電流モード DAC を対象としたが、本提案はスイッチトキャパシタ型や抵抗分割型の DAC、また DAC 以外でも素子値に基づく信号を加算や減算して用いるもの全般に適用できる。

バラツキ雑音低減方法は実用上重要な分野であり、今後 LSI デバイスの微細化が進み今以上の信号処理が可能となることを考えた場合、その果たす役割は大きい。

## 第5章

### NSDEM を用いた高精度・広帯域・低消費電力 $\Delta$ - $\Sigma$ ADC の提案

#### 5.1 はじめに

デジタル信号処理技術の発展には目覚ましいものがあるが、外界の信号がアナログ信号であるため、デジタル信号処理の入出力部には必ず ADC や DAC が必要になる。この ADC や DAC へは、高速変換特性や高精度変換特性、低消費電力特性などが要求される。

デジタル携帯電話等の携帯端末では、機器の小型化への要求が大きい。音声だけでなく画像などの通信機能を持ったマルチメディア端末では、従来の音声処理に加え画像処理装置や表示装置、またこれらを制御する CPU などを搭載する必要があり、無線回路部分の小型化はさらに必要になる。

無線回路部を小型化する一つの手法として、ダイレクトコンバージョン受信方式 (DCR) [51]がある。この方法は、RF 入力信号を直接ベースバンド信号に変換する方式である。この方式では、一般に広く使われているスーパーヘテロダイン方式で必要であった部品サイズの大きい IF フィルタを不要とすることができ、機器の小型化に向いている。しかし、この IF フィルタがないためベースバンド部まで隣接チャンネルの信号などが入力され、ベースバンド部にも広いダイナミッ

クレンジが要求される。ベースバンド部のフィルタでこの隣接チャンネル信号を完全に除去する必要がある。ベースバンド部の IC 化されたアクティブフィルタには、急峻な周波数特性が要求され DCR の実現を難しくしていた。隣接チャンネル信号も AD 変換できるように、フィルタに後置される ADC のダイナミックレンジおよび帯域を広げることができれば、この隣接チャンネル信号は ADC に後置されるデジタルフィルタで除去可能となる。これによりアクティブフィルタへの要求を緩和することができ DCR の性能向上を図ることができる。

本章では、これを可能とする広ダイナミックレンジ低消費電力 ADC を提案する [31]。

AD 変換方式には、フラッシュ型やパイプライン型、逐次比較型、 $\Delta$ - $\Sigma$  変調器などがある。広ダイナミックレンジの AD 変換特性を実現するためには、 $\Delta$ - $\Sigma$  変調型を除いて ADC を構成する抵抗やコンデンサなどの素子を個別にトリミングして必要な精度を確保する必要がある [52][53]。このようなトリミング工程は生産性を低下させるだけでなく、コストの上昇要因となる。

1-bit $\Delta$ - $\Sigma$  変調器は、トリミングの必要がなく高精度変換が可能な方法であり、広ダイナミックレンジ特性を実現するのに適した方法である。しかし、高いオーバーサンプリング比が必要で、高速変換を実現するためには高速な回路動作が要求され、低消費電力化が課題となる。

一方、多-bit $\Delta$ - $\Sigma$  変調器は、オーバーサンプリング比を低減できる。また、1-bit $\Delta$ - $\Sigma$  変調器では、帰還信号が +Vref と -Vref (2 Vref は最大信号振幅) の 2 値となるため、内部信号振幅が大きい。内部 DAC を多 bit 化することで、これを小さくすることが可能となり、内部の OP アンプ等のスルーレートを小さくでき、さらに低消費電力化を図ることが可能となる。さらに高次  $\Delta$ - $\Sigma$  変調器を容易に安定化させることが可能で、高次  $\Delta$ - $\Sigma$  変調器の理想特性を実現することができる。

しかし、多-bit $\Delta$ - $\Sigma$  変調器では、内部 DAC の歪み特性が全体の歪み特性を決めてしまい、内部 DAC には全体に求められる変換精度と同程度の精度が要求されてしまう。この内部 DAC の精度を向上させるために、トリミングを行ったの

では、やはりコストが上昇してしまう。

これを解決する方法として、Individual level averaging (ILA) [42] や data weighted averaging (DWA) [45] などが提案されている。しかし、これらの方法では、素子値のバラツキに対して 1 次のノイズシェーピングしか実現できず、また基本的に素子を順番に用いるため、繰り返しパターンの雑音が生じる。

素子値のバラツキに対して高次のノイズシェーピング方法として、前章で NSDEM を提案した。この NSDEM には、DAC の bit 数を増加させた場合ハード規模が急激に増大する欠点がある。これを解決する方法として、前章で TNSDEM を提案した。

本章では、ノイズシェーピング・ダイナミック・エレメント・マッチングを用いた 14bit 精度、100kHz 帯域 低消費電力  $\Delta$ - $\Sigma$ ADC を提案する [29] [30] [31] [33] [36]。

## 5.2 多-bit 内部 DAC の非線形性の影響

図 5.1 (a) に  $\Delta$ - $\Sigma$ ADC のブロック図を示す。ここで、 $N1$  は内部 ADC で発生する量子化雑音、 $N2$  は内部 DAC で発生する雑音を示す。図 5.1 (b) は、 $\Delta$ - $\Sigma$ ADC の出力スペクトルである。 $\Delta$ - $\Sigma$ ADC の出力では、 $N1$  は、 $\Delta$ - $\Sigma$ ADC のループゲイン  $F(z)$  によりシェーピングされる。一方、 $N2$  は、シェーピングされることなく出力に現れ、 $N2$  が内部 DAC に相関のある雑音が発生した場合には、高調波歪として出力に現れる。従来はこの影響を低減するために、内部 DAC には原理的に素子値のミスマッチによって歪の発生しない 1-bitDAC を用いていた。しかしながら、1-bitDAC を用いた場合は、 $\Delta$ - $\Sigma$  変調器の次数を 3 次以上とした場合に、系が不安定になる問題が生じ、これを安定化させるために、シェーピング特性を犠牲にする必要があった。そこで、 $N2$  に対してもノイズシェーピングをかけることができれば、内部 DAC の非線形性の影響を緩和することが可能となり、高次の  $\Delta$ - $\Sigma$  変調器をノイズシェーピング特性を犠牲とすることなく安定化し、全体として高精度 ADC を実現することができる。

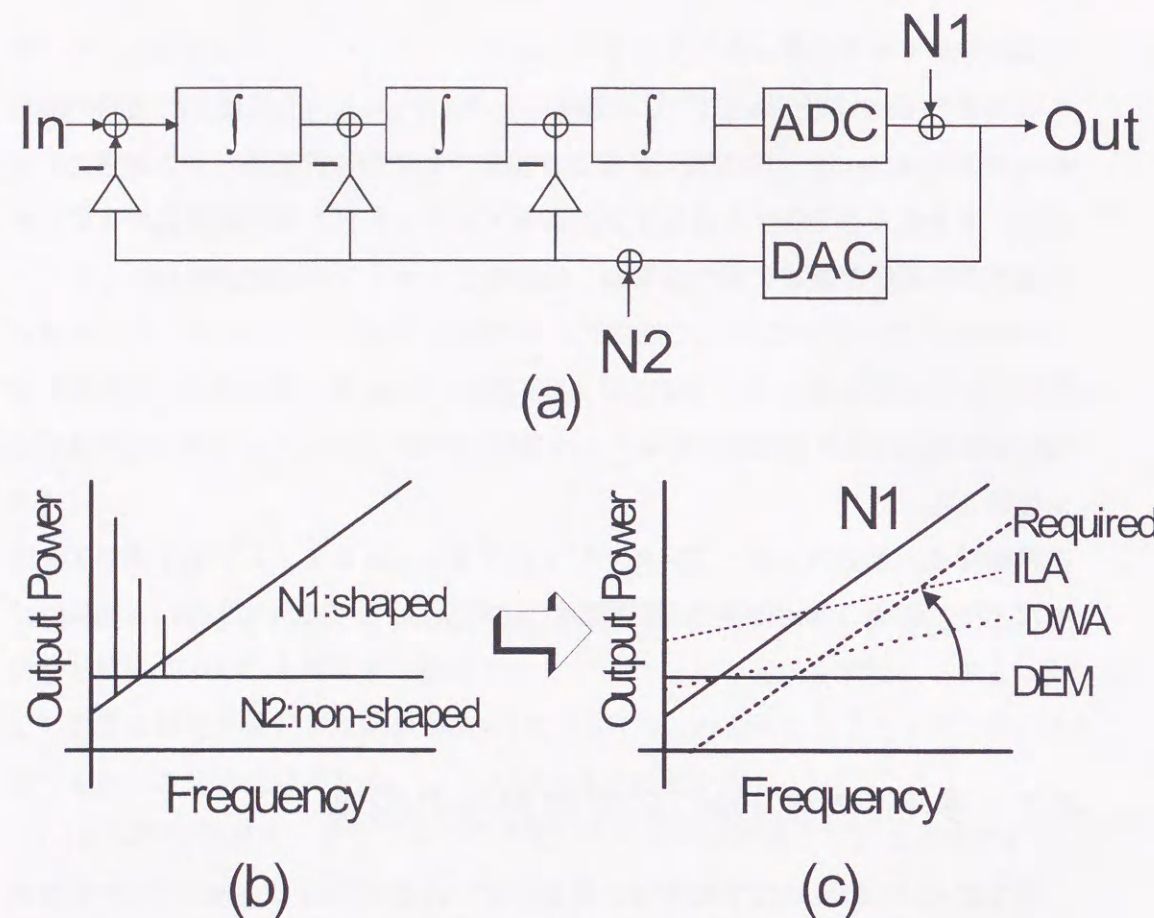


図 5.1: (a) 多 bitDAC を用いた  $\Delta$ - $\Sigma$  変調器の線形モデル, (b) 従来方式の出力スペクトル, (c) 要求される出力スペクトル

内部 DAC の歪の影響を低減する方法として, ダイナミック・エレメント・マッチング法 (DEM) [38] が提案されている. しかし, この方法では DAC を構成するすべての素子を変換時間中に順次切り替えて使用するため, 内部 DAC 内部の変換スピードが高速になってしまう. 内部 DAC を構成する素子数を  $n_{da}$  とするとき, 内部 DAC の動作速度を  $n_{da}$  倍にする必要が生じる. このため, 高速な変換器を構成することは困難で, 低速な変換用途にかぎり用いられている.

この問題を解決する方法として, 内部 DAC を構成する素子をランダムに選択する方法がある [40]. この方法では, 素子を入力信号とは無関係に選択するため入力信号と素子の選択の間の相関がなくなるため, 出力における高調波歪を低減

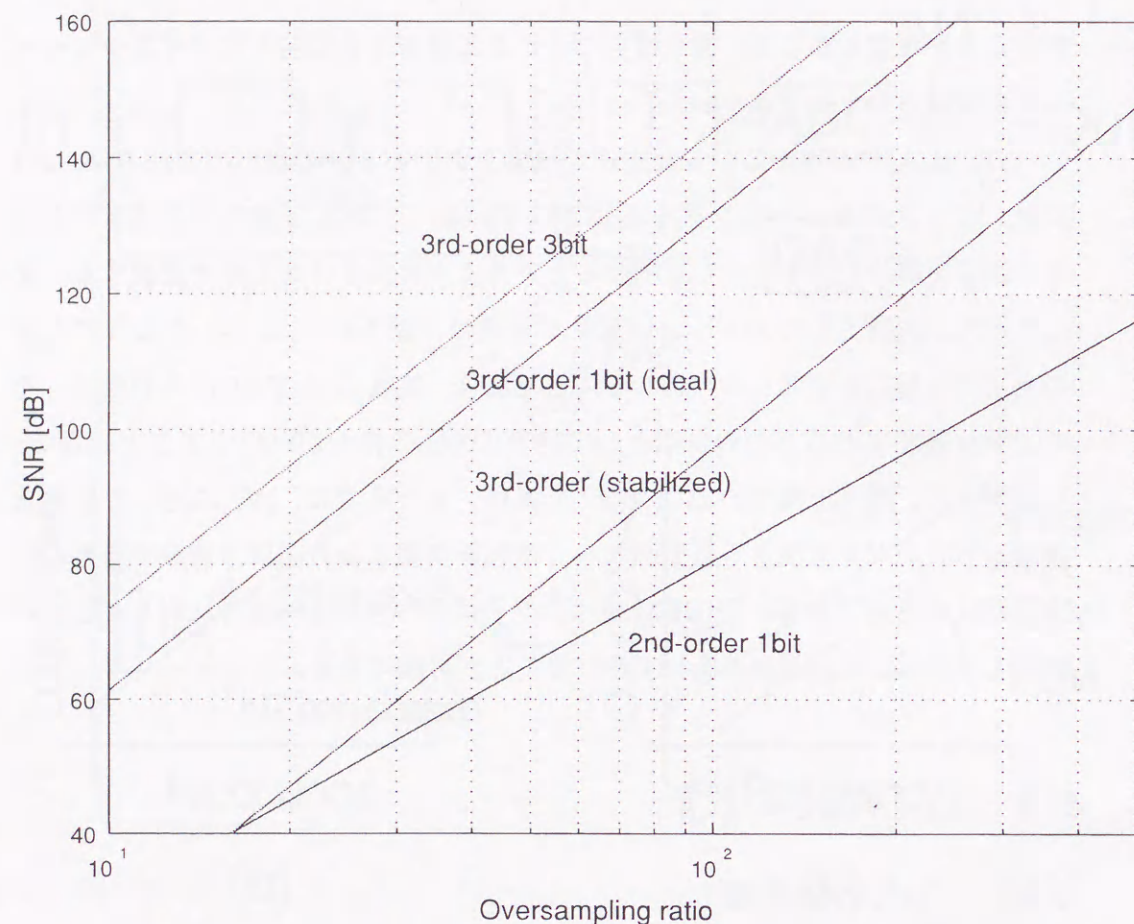
することが可能となるが, 素子ばらつきによる雑音  $N2$  に対してノイズシェーピングをかけることはできない.

一方, ILA や DWA といった方法が提案されている. これらの方法では,  $N1$  に対して 1 次のシェーピングを実現されている. しかしながら, これらの方法は, 素子を隣接したものから選択するというように決まった手順で選択することによって, 実現されておりシェーピング特性は, 図 5.1 (c) に示したように 1 次のハイパス型に限定される. これを用いた場合, 高次の  $\Delta$ - $\Sigma$ ADC の特性は, その影響は緩和されるものの依然として内部 DAC の特性が決定することになる. したがって, 多-bit 高次の  $\Delta$ - $\Sigma$ ADC を実現するうえでは,  $N2$  に対しても高次のシェーピングを実現する必要がある. これを実現する方法は, 前章で提案した NSDEM が有効である. NSDEM では, 素子ばらつきによる雑音に対して任意の次数のノイズシェーピングをしてかけることが可能である.

## 5.3 $\Delta$ - $\Sigma$ ADC の設計

### 5.3.1 $\Delta$ - $\Sigma$ の構成法

高次の  $\Delta$ - $\Sigma$  変調器を実現する場合, 設計上最も注意すべき点は安定化である. 内部 DAC を 1-bit とした場合は, 安定化のために雑音特性を犠牲にする必要があり, 得られる SNR は式 (2.18) で理論的に計算される値よりも小さな値となる. 一方, 多-bit を内部に用いた  $\Delta$ - $\Sigma$  変調器では, 安定性の問題が大幅に緩和される [45]. 2 次および 3 次  $\Delta$ - $\Sigma$  変調器で内部 DAC が 1-bit および 3-bit の場合の最大 SNR を図 5.2 に示す. 3 次の 1-bit  $\Delta$ - $\Sigma$  変調器で 14-bit 精度を得るためには, 64 倍のオーバーサンプリング比が必要になる. このとき, 内部 DAC を 3-bit にした場合は, 安定性のためにロスしていた分の 16dB に 2-bit 分 DAC の bit 数が増えたことによる 12dB が加算され, 合計 28dB の SNR の改善を図ることが可能となる. しかし, 前述したように内部 DAC を多-bit 化した場合には, DAC の非線形性によって全体の精度は劣化してしまう. NSDEM は内部 DAC の非線形性の影響を大幅に低減できるので, 内部 DAC に NSDEM もしくは TNSDEM を

図 5.2: 3次  $\Delta$ - $\Sigma$  変調器の SNR 特性

用いた高次の  $\Delta$ - $\Sigma$  変調器は、高精度高速かつ低消費電力な ADC を構成する方法に適している。また、NSDEM および TNSDEM はオーバーサンプリングによって DAC を構成する素子値のばらつきによる雑音の影響を低減する方法であり、 $\Delta$ - $\Sigma$  変調器の内部 DAC として用いることで、その真価が発揮される。

### 5.3.2 NSDEM を用いた $\Delta$ - $\Sigma$ ADC の消費電力

低消費電力化を図ることは、携帯端末用の LSI を開発する上で特に重要視しなければならない事項である。LSI の消費電流を抑えることができれば、端末で大きなスペースを必要とする電池の容量が小さくてすみ、機器の小型化を図ること

ができるからである。

本節では、TNSDEM を用いた場合の  $\Delta$ - $\Sigma$ ADC の消費電力について議論する。多-bit  $\Delta$ - $\Sigma$ ADC では、内部 DAC の bit 数は ADC の消費電力に大きな影響を与える。つまり、内部 DAC の bit 数は、多-bit  $\Delta$ - $\Sigma$ ADC を設計する上で重要なパラメータとなる。

以下では、多-bit  $\Delta$ - $\Sigma$ ADC の消費電流を計算する。 $\Delta$ - $\Sigma$ ADC で最も電流を消費するのは、積分器を構成する OP アンプ回路および内部 ADC を構成するコンパレータ回路である。したがって、以下ではこの 2 つの回路について消費電流の見積もりを行う。OP アンプは A 級動作で 1 つの極を持つものと仮定してモデル化する。この仮定より、OP アンプおよびコンパレータを構成するトランジスタに必要となる  $g_m$  は次のようになる。

$$g_m = \frac{-\ln(e_{st})C_L}{t_s} \quad (5.1)$$

ここで、 $e_{st}$  はセトリング誤差、 $C_L$  は、負荷容量、 $t_s$  はクロック周波数から決まるセトリング時間である。必要最小限な負荷容量は  $kT/C_L$  雑音で決まる。これより、 $C_L$  は

$$C_L = \frac{kT2^{2n_r}}{V_{in}^2 O_V} \quad (5.2)$$

となる。ここで、 $O_V$  は、オーバーサンプリング比、 $V_{in}$  は入力信号の振幅、 $n_r$ -bit は ADC に要求される精度、 $k$  は Boltzmann 定数、 $T$  は回路の周辺温度（絶対温度）である。

OP アンプの非線形性を考えると、セトリング誤差  $e_{st}$  は、 $1/2^{n_r}$  以下とする必要がある。ここまでの議論で必要となるトランジスタの  $g_m$  が決まり、これよりバイアス電流  $I_d$  が決まる。また、OP アンプが A 級であるとする、バイアス電流が小さい場合キャパシタをチャージアップするためのスルーレートが制限されてしまいセトリング時間が長くなる。これを避けるために、 $g_m$  で決まる 1 次の過渡応答の時刻 0 における電圧変化の傾きと同じスルーレートを確保する必要がある。1 次の過渡応答を次の  $V_o(t)$  で表すと、

$$V_o(t) = \frac{V_{in}}{2^{n_{DA}}} (1 - e^{-\frac{g_m}{C_L} t}) \quad (5.3)$$

$\frac{d}{dt}V_o(t)$  は,

$$\frac{d}{dt}V_o(t) = \frac{g_m}{C_L} \frac{V_{in}}{2^{n_{DA}}} e^{-\frac{g_m}{C_L}t} \quad (5.4)$$

となる。これより、必要なスルーレート  $SR_r$  は,

$$SR_r = \frac{d}{dt}V_o(0) = \frac{g_m}{C_L} \frac{V_{in}}{2^{n_{DA}}} \quad (5.5)$$

を得る。一方、バイアス電流が  $I_d$  のときのスルーレート  $SR_i$  は,

$$SR_i = \frac{I_d}{C_L} \quad (5.6)$$

であり、 $SR_i \geq SR_r$  とする必要があるので、式 (5.5), (5.6) より,

$$\frac{I_d}{C_L} \geq \frac{g_m}{C_L} \frac{V_{in}}{2^{n_{DA}}} \quad (5.7)$$

を得る。したがって、 $I_d$  は,

$$I_d \geq g_m \frac{V_{in}}{2^{n_{DA}}} \quad (5.8)$$

とする必要がある。ここでは余裕をみて  $I_d \geq 2g_m \frac{V_{in}}{2^{n_{DA}}}$  とする。したがって、バイアス電流  $I_d$  は次の条件を満たす必要がある。

$$I_d = \begin{cases} \frac{g_m^2}{2k} & \left( \frac{g_m^2}{2k} \geq \frac{2g_m \cdot V_{in}}{2^{n_{DA}}} \right) \\ \frac{2g_m \cdot V_{in}}{2^{n_{DA}}} & \left( \frac{g_m^2}{2k} < \frac{2g_m \cdot V_{in}}{2^{n_{DA}}} \right) \end{cases} \quad (5.9)$$

ここで、 $k$  は OP アンプを構成する MOS トランジスタの係数で,

$$k = \mu_n C_{OX} (W/L) \quad (5.10)$$

であり,

$$g_m = \sqrt{2kI_d} \quad (5.11)$$

である。

デジタル回路の消費電流  $I_{dd}$  は、次式で計算できる。

$$I_{dd} = \beta N_G f_c V_{dd} C_g \quad (5.12)$$

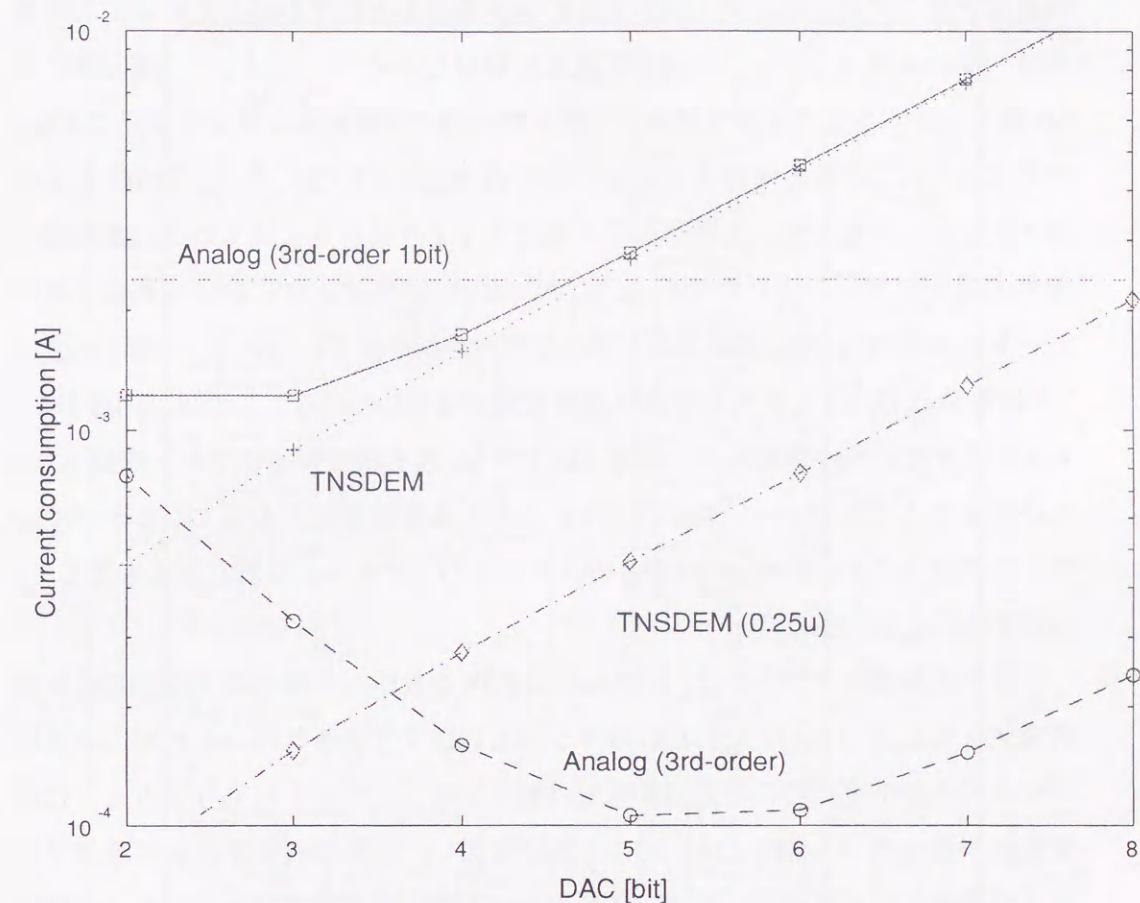


図 5.3: 内部 DAC の bit 数対消費電流

ここで、 $\beta$  は、デジタル回路の活性化率、 $N_G$  は前章で求めた TNSDEM を構成するデジタル回路のゲート数、 $f_c$  はクロック周波数、 $V_{dd}$  は電源電圧、 $C_g$  は単位論理素子の入力容量である。

上記の仮定のもと、多-bit 3 次  $\Delta$ - $\Sigma$  変調器の消費電流を内部 DAC の bit 数をパラメータとして計算する。図 5.3 に、信号帯域 100kHz で変換精度 14-bit とした場合の多-bit  $\Delta$ - $\Sigma$  ADC の消費電流の計算結果を示す。ここでは、 $0.6\mu\text{m}$  CMOS で実現する場合を仮定し、低電圧動作させることを想定し、OP アンプおよびコンパレータには、フォールティッドカスコード回路を用いることを仮定する。

このグラフにおいて、○はアナログ部、×は TNSDEM を構成するデジタル部、

四角はアナログ部とデジタル部の合計の消費電流をそれぞれ示している。上の直線は、1-bit3次  $\Delta$ - $\Sigma$ ADC の消費電流を比較のために示している。内部 DAC の bit 数を 2 から 5 まで変化させると、アナログ部の消費電流は減少する。これは、内部 DAC の bit 数を増加させると DAC の 1LSB が小さくなり、DAC からのフィードバック信号が入力信号により漸近するようになり、アナログ回路内部の信号振幅が小さくなるためである。これにより、OP アンプに求められるスループット特性が緩和され、OP アンプの消費電流が減少する。しかし、内部 DAC の bit 数を 5bit 以上とした場合は逆に消費電流が増加している。これは、内部 DAC の bit 数を増加させるために、内部 ADC の bit 数も増加させるため、内部 ADC に必要となるコンパレータ数が増加し、こちらの消費電流が大きくなるからである。この結果より、3次  $\Delta$ - $\Sigma$ ADC のフィードバックループの安定性も考慮して、内部 DAC の bit 数は 3bit とした。

グラフで菱形のシンボルは、0.25 $\mu$ m CMOS を仮定した場合の TNSDEM の消費電流を示している。TNSDEM はデジタル回路で構成されているため、半導体プロセスの微細化に伴いその消費電流は減少する。グラフからも分かるように消費電流が最小となる内部 DAC の bit 数は増加し、全体の消費電流も半導体プロセスの微細化により小さくなる。これから、TNSDEM が半導体プロセスが微細化したときに、より一層有効な手段となることが分かる。

### 5.3.3 TNSDEM を用いた選択回路

TNSDEM を用いた 3-bit DAC 用選択回路のブロック図を図 5.4 に示す。

このブロック図で  $\mathbf{X}$  は、DAC を構成する 8 つの素子の選択の有無を表わす信号で、 $X_i (i = 1, \dots, 8)$  が 1 の場合選択を、0 の場合非選択を表わす。 $f_c(z)$  は、素子のバラツキ誤差に対するノイズシェーピングをかけるための、ループフィルタの伝達関数で、ここでは 2 次のノイズシェーピングを実現するために、

$$f_c(z) = \frac{-z^{-2} + 2z^{-1}}{(1-z^{-1})^2} \quad (5.13)$$

としている。単純な 2 回積分ではなく、フィードフォワードパスを持った構成と

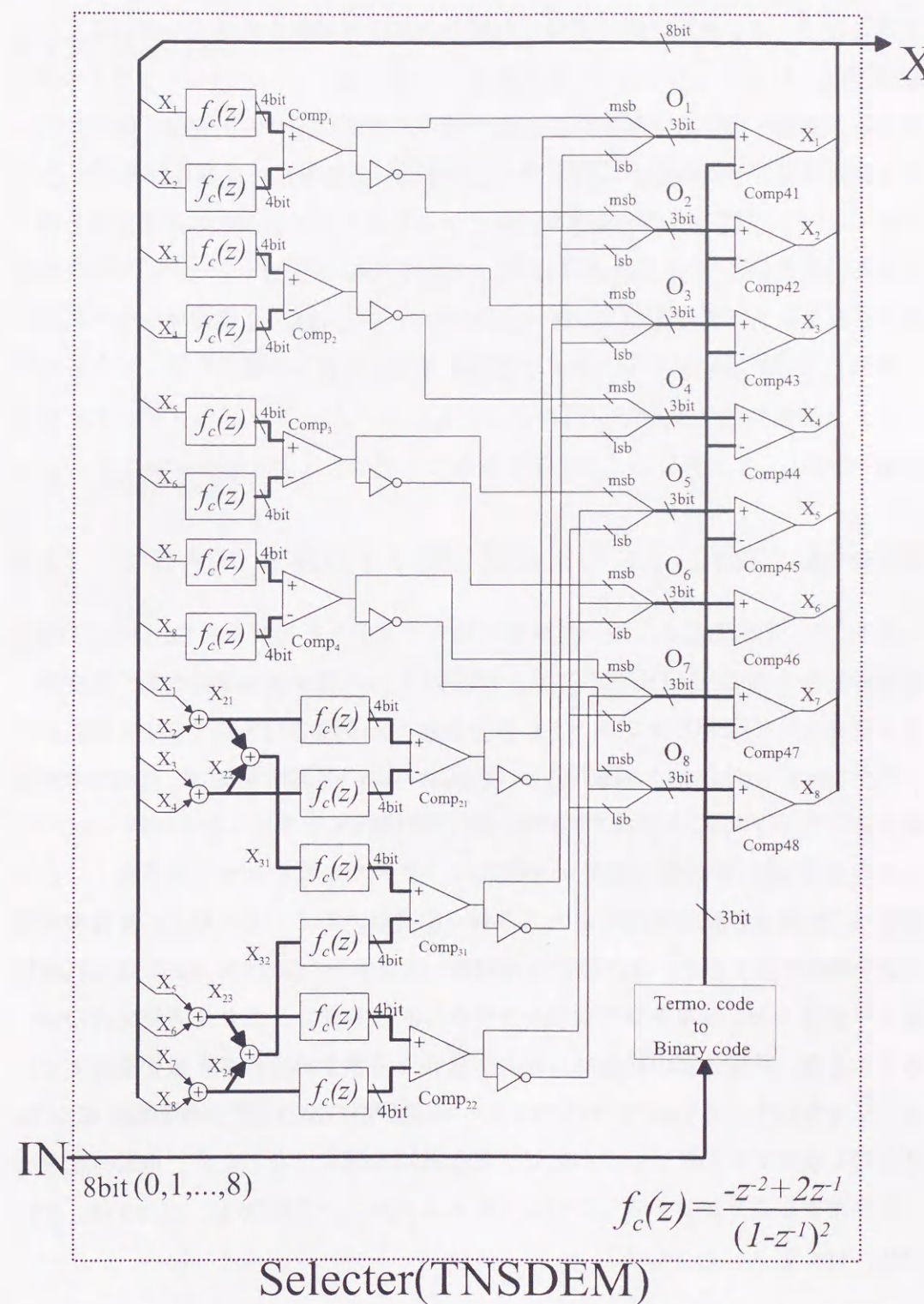


図 5.4: 2次 TNSDEM を使った選択器のブロック図

することで、デジタル回路で実現した場合の遅延の影響を小さくしている。この積分器は、D-フリップフロップと加算器で実現している。このループフィルタのデジタル回路を図 5.5 に示す。この複数のループフィルタの出力は、図に示したように各階層ごとに隣接する出力同士比較され、各階層ごとに重み付けされ  $O$  を形成する。ここで、 $O_i$  は木構造の比較によって得られた選択順序の推定値となっている。選択信号  $X$  は、 $O$  と 3-bit の入力信号  $IN$  を比較することにより、直接計算される。2次 TNSDEM を用いた選択器は、内部 DAC を構成する素子のバラツキ誤差による雑音を 1 オクターブ当たり 15dB 減衰させる。シミュレーションでは、素子値のバラツキが 10% の場合でも、オーバーサンプリングが 128 倍で 99dB のダイナミックレンジが確保できることが示された。

#### 5.3.4 $\Delta$ - $\Sigma$ ADC

図 5.6 に、TNSDEM を用いた 9 値内部スイッチトキャパシタ DAC(SC-DAC) を使用した 3 次  $\Delta$ - $\Sigma$ ADC のブロック図を示す。内部 9 値 ADC からの温度計符号は前述した TNSDEM ブロックに入力され、素子値のバラツキによる誤差にノイズシェーピングをかける選択信号に変換される。選択信号  $X$  は、1 段目から 3 段目までの SC-DAC を構成するキャパシタを選択するスイッチを制御する。

この 3 次  $\Delta$ - $\Sigma$  変調器の雑音伝達関数は、すべての零点を  $z$  平面状の 1 に、またすべての極を原点に配置する。これは、3 次のノイズシェーピング特性の理想特性を実現するためで、これにより SNR のロスがなくなる。これは、TNSDEM により内部 DAC の非線型内部 DAC を多-bit 化することにより実現できたのである。また、各積分器の係数は、入力信号から各積分器へのゲインが同一となるようにスケーリングする。これによって、各積分器の出力信号振幅が同じになり、積分器を構成する OP アンプの飽和する動作点も同じになるため、電源電圧を有効に利用することができる。このようにするために、各係数  $a_1, a_2, a_3$  は、それぞれ、 $1/3, 1, 3$  にしている。

#### 5.3.5 $\Delta$ - $\Sigma$ DAC

図 5.7 に 3 次  $\Delta$ - $\Sigma$ DAC のブロック図を示す。提案する 3 次  $\Delta$ - $\Sigma$ DAC は、デジタル回路で構成した 3 次  $\Delta$ - $\Sigma$  変調器と 2 次 TNSDEM を用いた選択器および 8 個の単位電流源で構成した 9 値電流モード内部 DAC によって構成されている。3 次  $\Delta$ - $\Sigma$  変調器から 9 値の温度計符号は、選択器に入力され、DAC を構成する電流源の電流誤差による雑音に 2 次のノイズシェーピングをかける選択信号に変換される。この選択信号によって 9 値電流モード DAC の電流源は制御される。

### 5.4 回路設計

#### 5.4.1 $\Delta$ - $\Sigma$ -ADC を構成する積分器およびスイッチトキャパシタ DAC

図 5.8 に積分器および SC-DAC の詳細な回路図を示す。SC-DAC を構成するキャパシタ  $C_{da_i}, i = 1, \dots, 8$  は、選択信号  $X_i$  に従って、フィードバック用基準電圧  $V_{ref+}$  or  $V_{ref-}$  のいずれかに接続され、電荷を注入される。これにより、SC-DAC を構成するキャパシタ値の誤差による雑音には、ノイズシェーピングがかかり、雑音特性がオーバーサンプリングにより改善される。理論的には、キャパシタ値に 5% のバラツキがあった場合でも、オーバーサンプリング比 64 倍であれば、14-bit の精度が保証される。積分器に用いられている OP アンプには、フォールデットカスコード型のカスコードトランジスタにレギュレーテッドカスコード回路を適用したものを使っている。この回路を図 5.9 に示す。積分器から ADC を構成するコンパレータまで、すべてのアナログ回路を全差動構成としている。



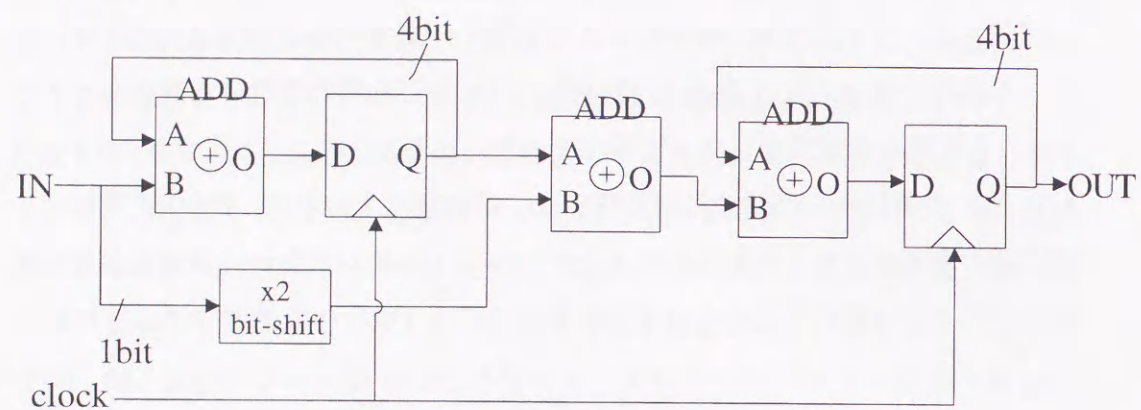


図 5.5: 積分器のブロック図

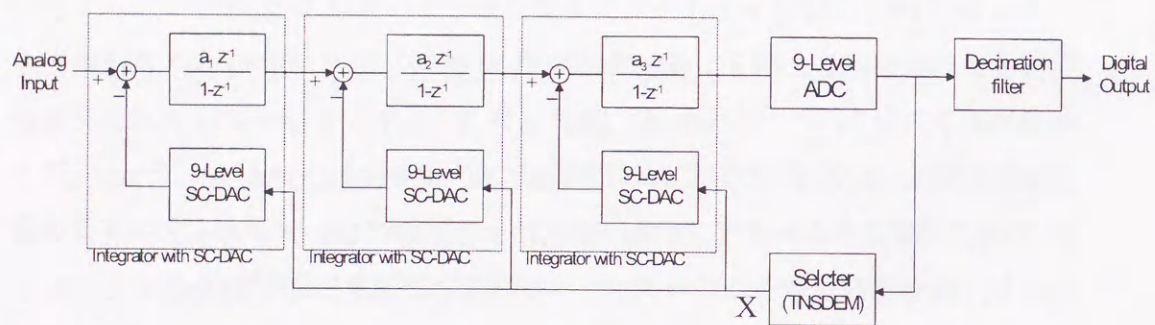


図 5.6: 9 値内部 DAC を用いた 3 次  $\Delta$ - $\Sigma$  ADC のブロック図

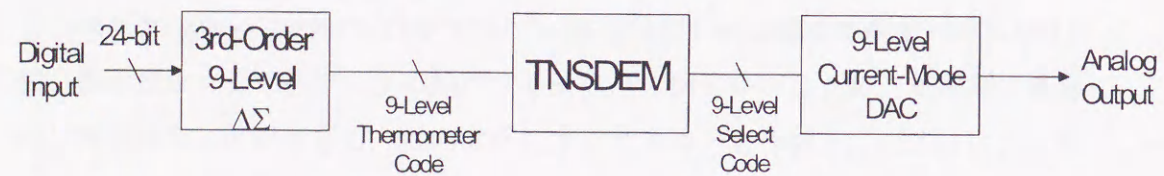


図 5.7: 9 値電流モード内部 DAC を用いた 3 次  $\Delta$ - $\Sigma$  DAC のブロック図

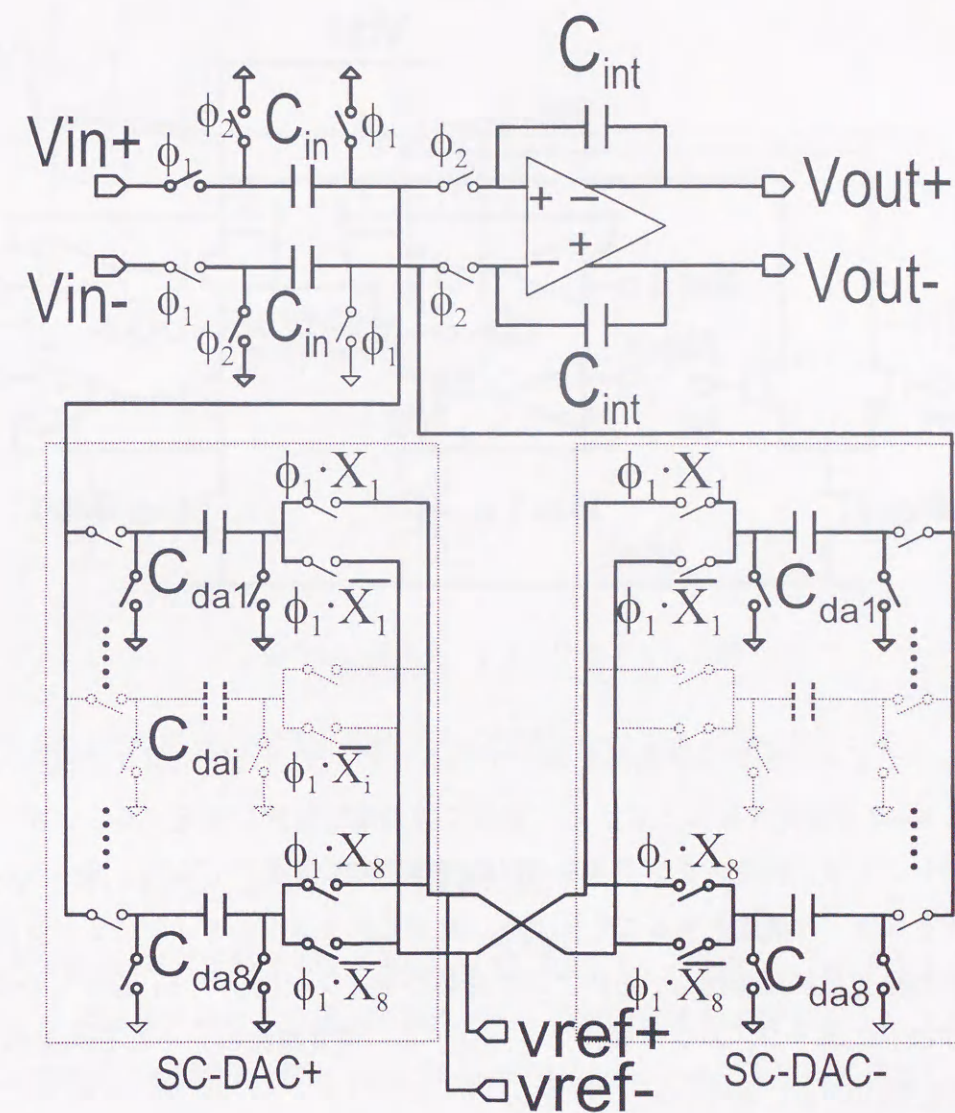


図 5.8: 積分器および SC-DAC の回路図

### 5.4.2 OP アンプ

図 5.9 に OP アンプの回路図を示す. 2.7V 動作を実現するために, フォールデットカスコード型のカスコードトランジスタにレギュレーテッドカスコード回路を用いた構成としている. 負荷トランジスタのドレインソース電圧は, レ

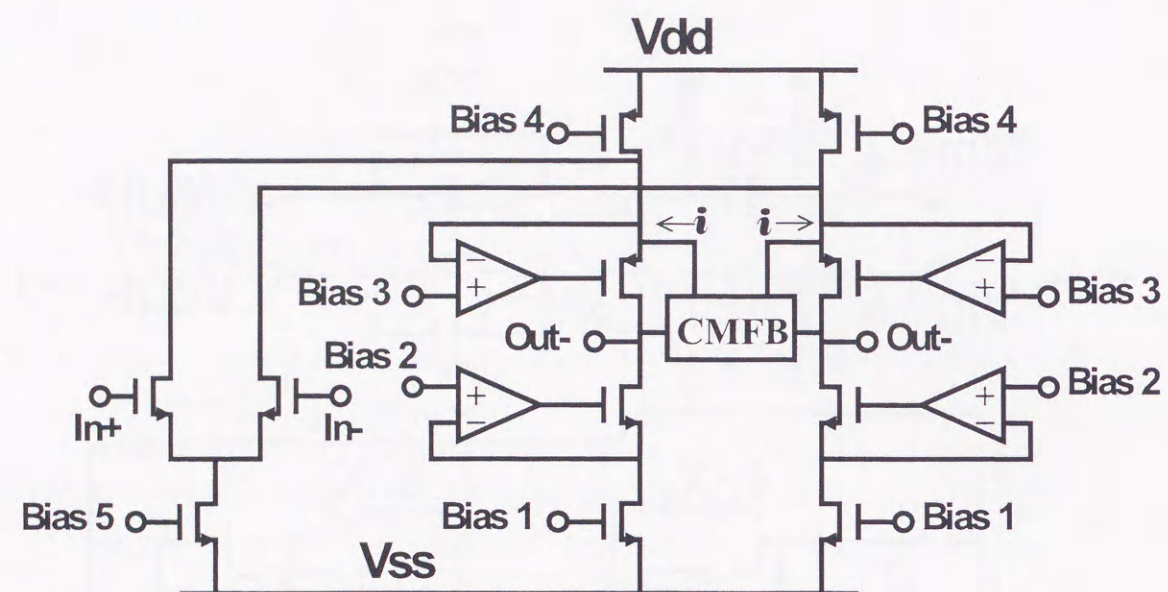


図 5.9: OP アンプの回路図

ギユレーテッドカスコード回路を用いているため，サブ OP アンプの正相入力 bias2, bias3 を設定することにより，容易に飽和電圧付近に設定することができる．これにより，負荷トランジスタの出力抵抗は減少する．しかし，レギュレーテッドカスコード構成とすることにより，サブ OP アンプのゲインにより負荷回路全体の出力抵抗は増加し，OP アンプ全体のゲインは向上する．設計した OP アンプの DC ゲイン，バンド幅，スルーレート，消費電流は，それぞれ 110dB, 76MHz, 14.9V/ $\mu$ S, and 0.9mA である．

### 5.4.3 電流モード DAC

電流モード DAC のブロック図を図 5.10 に示す．電流モード DAC はカスコードトランジスタをテール電流源に付加した，差動ペアを 8 組並列に接続した構成としている．テール電流源をカスコード構成としているのは，DAC の入力コードによりテール電流源のドレインソース電圧が変化する影響を低減するためである．また，同様に差動ペアを共通接続したノードにもカスコードトランジスタを

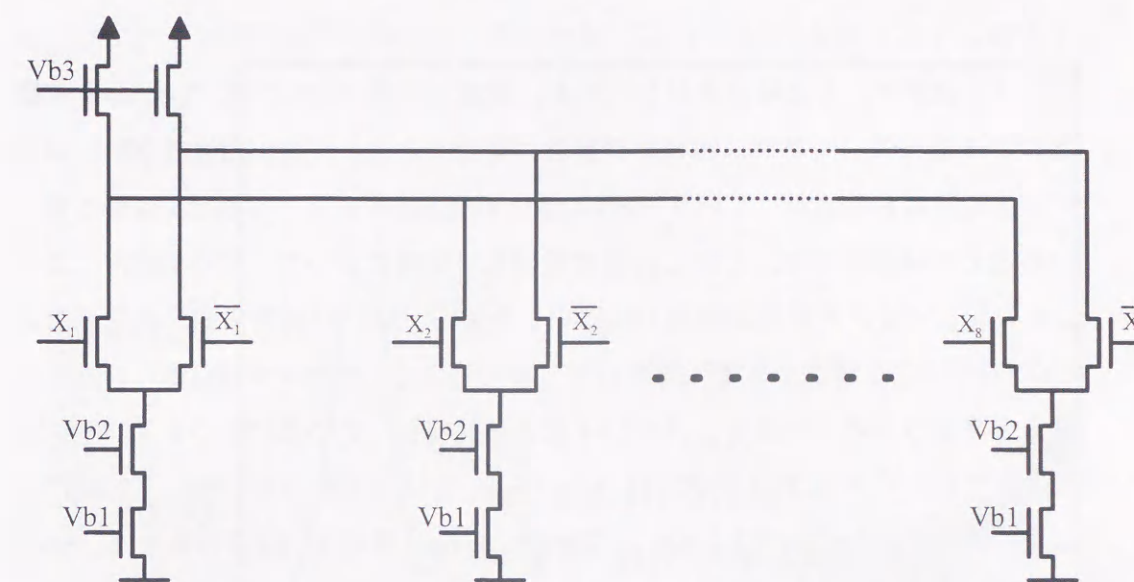


図 5.10: 電流モード DAC のブロック図

付加し，DAC の出力電圧が差動ペアに影響しないように構成している．

## 5.5 本 ADC, DAC の特性評価

本提案の TNSDEM を用いた  $\Delta$ - $\Sigma$ ADC, DAC を，2 層ポリ，2 層アルミ 0.6 $\mu$ m CMOS 半導体プロセスを用いて試作した．TNSDEM およびデジタル 3 次  $\Delta$ - $\Sigma$  部分のデジタル回路は，RTL 記述 (register-transfer level) を用いて設計し，ゲートレベルの回路は，synopsys 社の合成ツールを用いて自動合成した．合成後の TNSDEM のハード規模は，3500 ゲートで，この部分のチップ面積は，1.06mm<sup>2</sup> であった．

3 次  $\Delta$ - $\Sigma$ DAC の実験結果は，TNSDEM の効果を確認する上で重要である．DAC では，アナログ回路部分は，電流モード DAC だけであり TNSDEM の効果を最も正確に検証できるからである．電流モード DAC の出力スペクトルの測定結果を図 5.11 に示す．ここで，クロック周波数はジッタの影響などが少なく TNSDEM によるバラツキ誤差の雑音に対するノイズシェーピングが正しく評価

できるように 1 MHz としている。グラフで、上の線が TNSDEM をオフした場合、下の線がオンした場合を示している。周波数が高い領域では、3次  $\Delta$ - $\Sigma$  変調器による 3 次のノイズシェーピング特性が確認できる。一方、周波数が低い領域では、雑音は白色となっている。SNR は、TNSDEM によって 22dB 改善されていることが確認できる。しかし、周波数が低い領域において、TNSDEM による 2 次のシェーピング特性が観測できないことから、低い周波数領域での白色なノイズは、DAC を構成する電流源のバラツキではなく、アナログ回路からの雑音であると推察される。つまり、バラツキによる雑音は、TNSDEM により抑圧されてグラフのレベル以下に下がっている。また、2 次歪み成分も同様に TNSDEM によって抑圧されている。クロック周波数 5MHz、帯域 100kHz の場合は、SNR が TNSDEM により 10dB 改善された。改善量が少ないのは、電流モード DAC の高速動作特性が十分でないためである。

TNSDEM そのものの特性を評価するために、試作した LSI の NSDEM および TNSDEM の選択器を用いて、ブレッドボード上に試作した 8 個のインバータの出力を抵抗で結合した DAC を駆動して測定した。フルスケールに対して  $-36$ dB の信号を入力信号としたときのこの結果を図 5.12 に示す。ここで、クロック周波数は 1 MHz である。図で、一番上の線は TNSDEM を使わない場合、TNSDEM と記したものが TNSDEM を用いた場合、一番下の線は NSDEM を用いた場合を示している。DC 付近においては、TNSDEM および NSDEM を用いることにより、雑音が 30dB 程度低減されている。また、4 章で示したように、10kHz 以上の周波数では、TNSDEM、NSDEM いずれも 2 次のシェーピング特性が実現されているのが観測されている。この実験で、20kHz 帯域で 110dB のダイナミックレンジが NSDEM を用いた場合に実現できた。

TNSDEM を用いた ADC の出力スペクトルの実験値を図 5.13 に示す。高い周波数領域では、3 次のノイズシェーピング特性がはっきりと再現されている。3 次歪みおよび 5 次歪み信号出力よりもそれぞれ 75dB、85dB 低いレベルである。ノイズフロアは、TNSDEM によって 8dB 改善されている。しかし、DAC の場合と同様に 2 次のシェーピングが見られないことから、ノイズフロアは、キャパシ

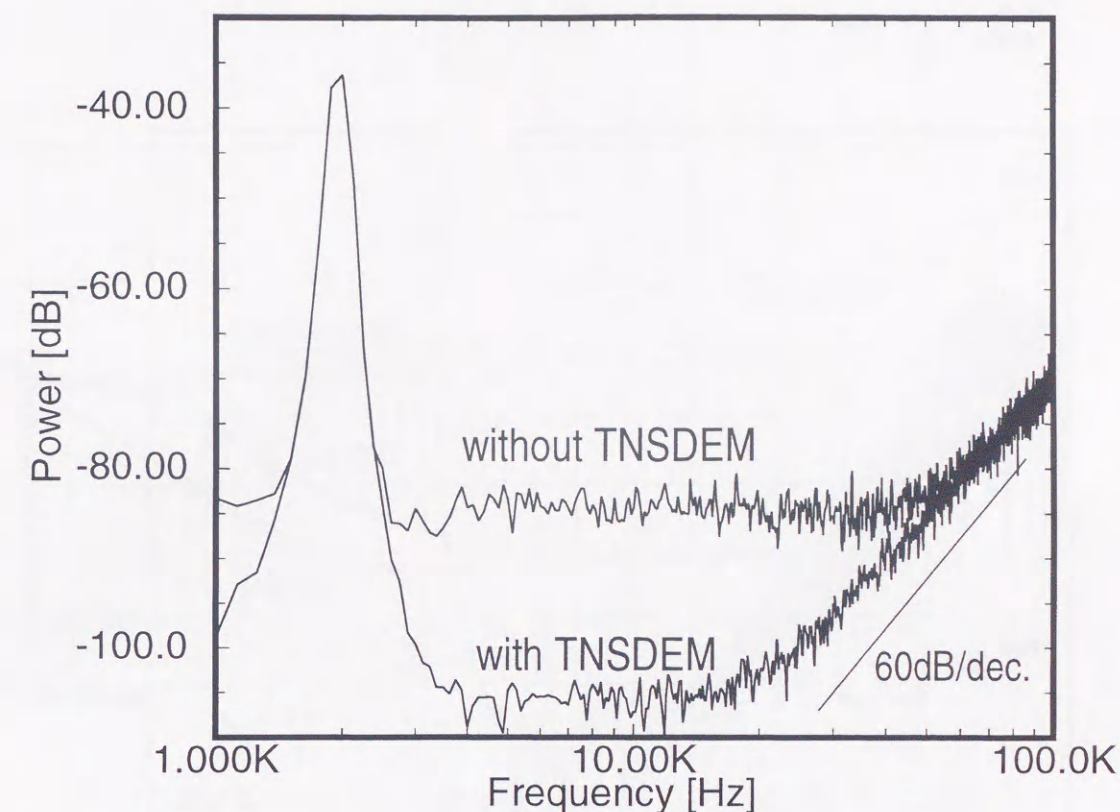


図 5.11: TNSDEM を用いた電流モード DAC の出力スペクトル (実験値)

タマッチング以外の要素で決まっていることが分かる。

試作した DAC および DAC の評価結果を、表 5.1 にまとめる。ADC ダイナミックレンジは 79dB 得られており、PHS 用 DCR の要求は満足している。

試作した LSI のチップ写真を図 5.14 に示す。チップサイズは 4mm×6mm で、この中に ADC および DAC のアナログ部、デジタル 3 次  $\Delta$ - $\Sigma$  変調器、デシメーションフィルタが集積されている。実使用時は、この ADC に LPF [54] を前置して用いる。

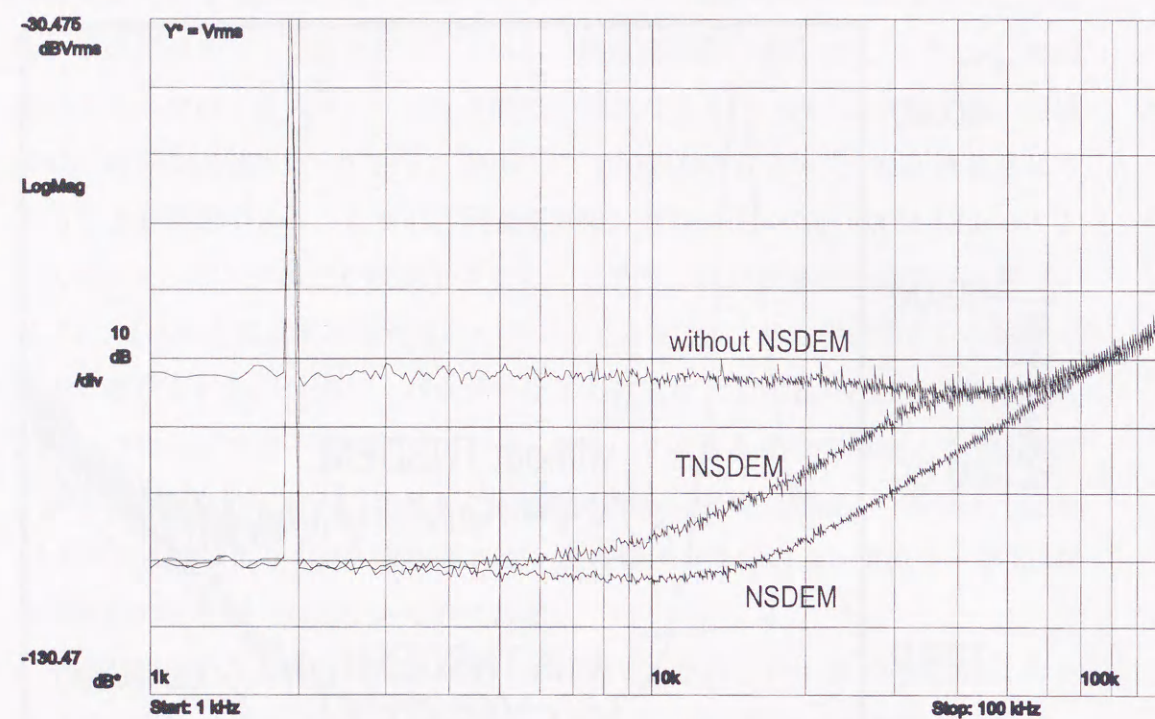


図 5.12: TNSDEM および NSDEM を用いたインバータによる電流モード DAC の出力スペクトル (実験値)

表 5.1: 試作した ADC, DAC の諸元

	DAC	ADC
Dynamic range (100kHz BW)	80dB	79dB
THD	70dB	75dB
Clock frequency	5MHz	5MHz
Power supply	2.7V	2.7V
Power consumption	5.2mW	9.6mW
Active area	5.4mm <sup>2</sup>	
Technology	0.6- $\mu$ m CMOS	

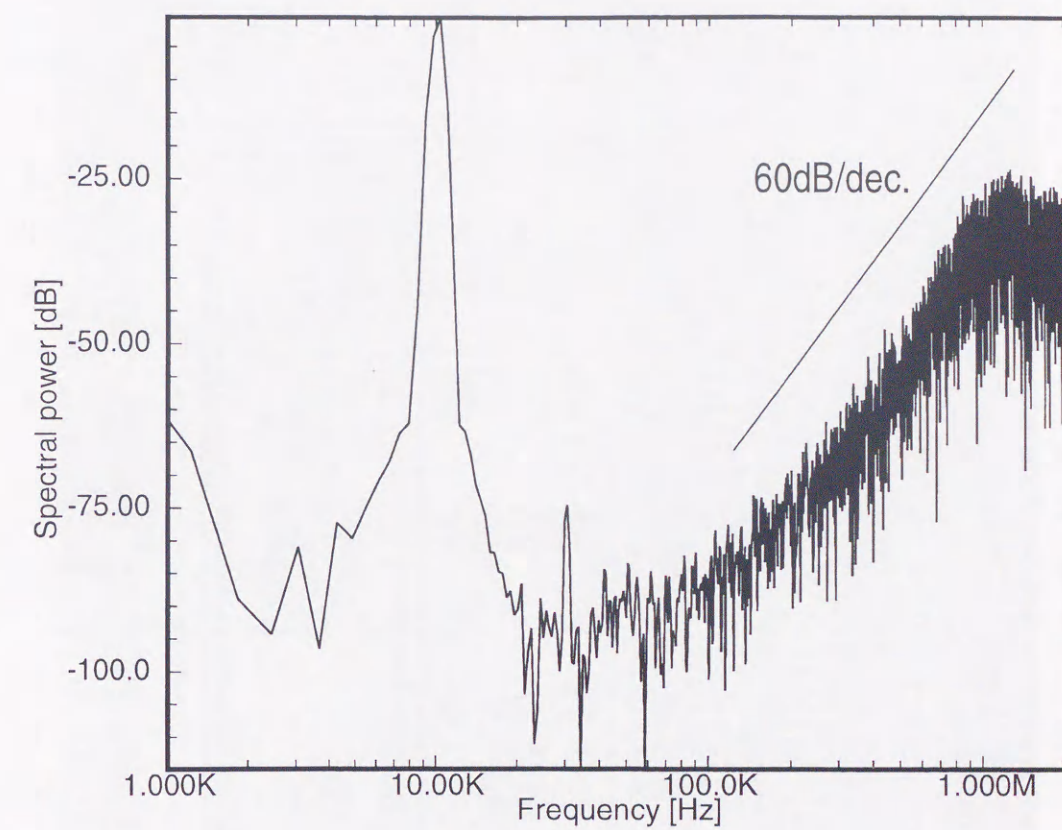


図 5.13: TNSDEM を用いた ADC の出力スペクトル (実験値)

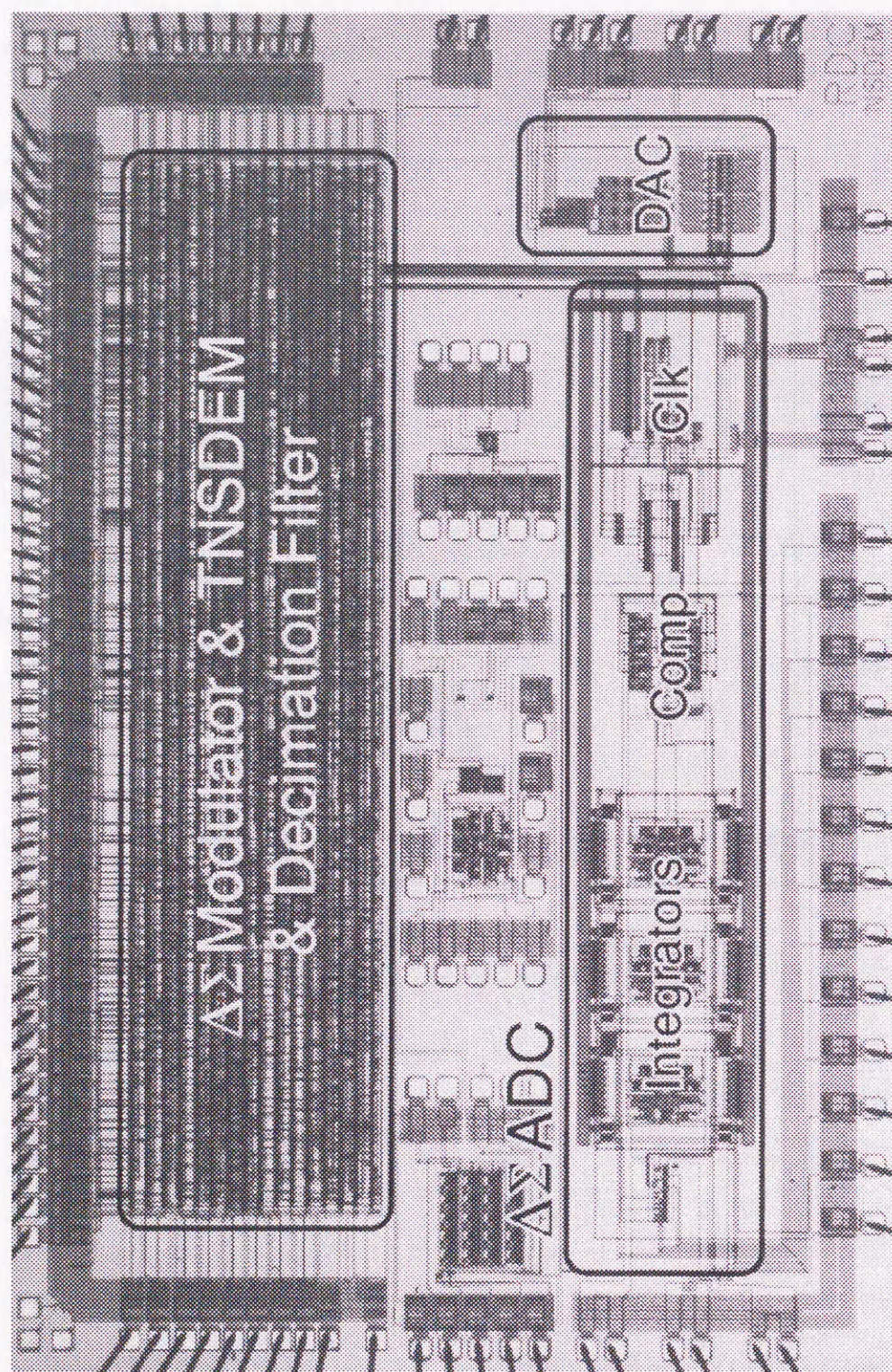


図 5.14: チップ写真

## 5.6 まとめ

本章では、ノイズシェーピング・ダイナミック・エレメント・マッチング法を内部 DAC に用いた高次  $\Delta$ - $\Sigma$  変調器を提案した。この構成方法では、理論的に計算される高次  $\Delta$ - $\Sigma$  変調器の SNR に近い特性を容易に実現することが可能になる。また、本構造ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いることにより、ハードウェア規模の増大を削減した。本提案の TNSDEM を用いた方法によって、内部に多ビット DAC を用いた  $\Delta$ - $\Sigma$  変調器の高性能化を実現した。この方法を用いることにより、低消費電力で高速高精度な DAC や ADC を実現することが可能となる。

2次 TNSDEM を用いた、本提案の 3次  $\Delta$ - $\Sigma$ ADC および DAC を  $0.6\mu\text{m}$  CMOS 半導体プロセスで試作した。試作した ADC および DAC の  $100\text{kHz}$  帯域のダイナミックレンジは  $5\text{MHz}$  のクロックで、それぞれ  $80\text{dB}$  および  $79\text{dB}$  で、このときの消費電力は、ADC は  $9.6\text{mW}$ 、DAC は  $5.2\text{mW}$  であった。この試作チップの測定結果から、本手法が内部 DAC のバラツキに起因する雑音を低減することに対して有効であることが示された。また、本手法を用いることにより、多-bit 内部 DAC を用いることが可能になるため  $\Delta$ - $\Sigma$  変調器の高速化、低消費電力化にも有効であることも示された。

TNSDEM を用いる本提案手法は、TNSDEM がデジタル回路であることから今後半導体プロセスの微細化が進むにつれ、ますます有効な手段となる。

## 第6章

### 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器

#### 6.1 はじめに

近年の携帯電話を始めとする携帯無線端末の普及には目覚ましいものがある。これらを支えてきた大きな要素として端末の小型があることは疑いない。しかしながら、これらの無線機の機能の要となる RF アナログフロントエンド部の構成は、基本的にはここ数十年変わってきておらず、無線機としての性能を決定する要因としてフィルタをはじめとする受動部品が重要な役割をになっている。ところが、現状の半導体プロセスを用いた場合、このような受動部品を半導体上に集積することは困難で、受動部品は LSI 外の部品として実装されるのが通常である。そのような状況のなかで、ダイレクトコンバージョン受信方式 (DCR) [51] 等を用いて LSI 化する研究が行われてきた。DCR の場合、チャンネル選択フィルタがベースバンドにあるため、ミキサに対する要求が厳しく、LSI 化する際に問題となっていた。

また、ソフトウェア受信機 (SDR) [55] のような考え方が生まれ、受信機の大部分の処理をデジタル化しようという試みが盛んになってきている。これは、究極的にはアンテナからの信号を直接アナログデジタル変換し、その後は高速 DSP で受信機能を実現しようというものである。しかし、従来の AD 変換器は、サンプリング定理から分かるように、変換対象とする信号の周波数の 2 倍以上の周波

数でサンプリングを行う必要があり、現状のデジタル携帯電話等で用いられている2GHz程度の信号を変換するには、4GHzというサンプリングレートが要求される。ところが、変調信号の帯域は搬送波の周波数よりも狭く、このような高速サンプリングを行うことは、著しく不経済である。

本章では、このような要求を満たす方法として、ブロック全体にフィードバックを施し、システム全体をいわゆる $\Delta$ - $\Sigma$ 変調器として動作させ、このループ内にミキサを配置するADCを提案する[56][57]。これにより、変調信号を直接AD変換することが可能となり、またミキサの歪特性への要求を緩和することができる。

## 6.2 従来の受信システム

従来の無線機の問題点を議論するために、単純化した無線システムのブロック図を図6.1に示す。復調をデジタル処理で行う受信機においては、図6.1に示すようにアンテナから入力された信号はフィルタにてイメージ信号を除去した後、ミキサに入力され、このミキサと基準信号発生器から構成される周波数変換器によって入力変調信号よりも低い周波数に変換される。この信号はフィルタに入力され、不要信号となる周波数の信号を除去したのち、AD変換器に入力される。AD変換器から出力されるデジタル信号はデジタル復調器により復調され、元のベースバンド信号が復調される。

通常の無線機システムにおいては、一般にキャリア周波数に比較して信号帯域が狭いため、このように入力の変調信号を信号帯域の低い周波数にダウンコンバートしてからAD変換することにより、AD変換器でのサンプリング周波数を低くすることができる。これにより、AD変換器として低速の安価なものを使用することが可能となる。

この場合、正しい復調出力を得るためにミキサには、低歪率、低雑音のものが要求される。また、ミキサの入力は無線伝送路を経て受信された変調信号であるため、そのレベルが広範囲に変化する。しかし、ミキサは一般に非線型回路で構

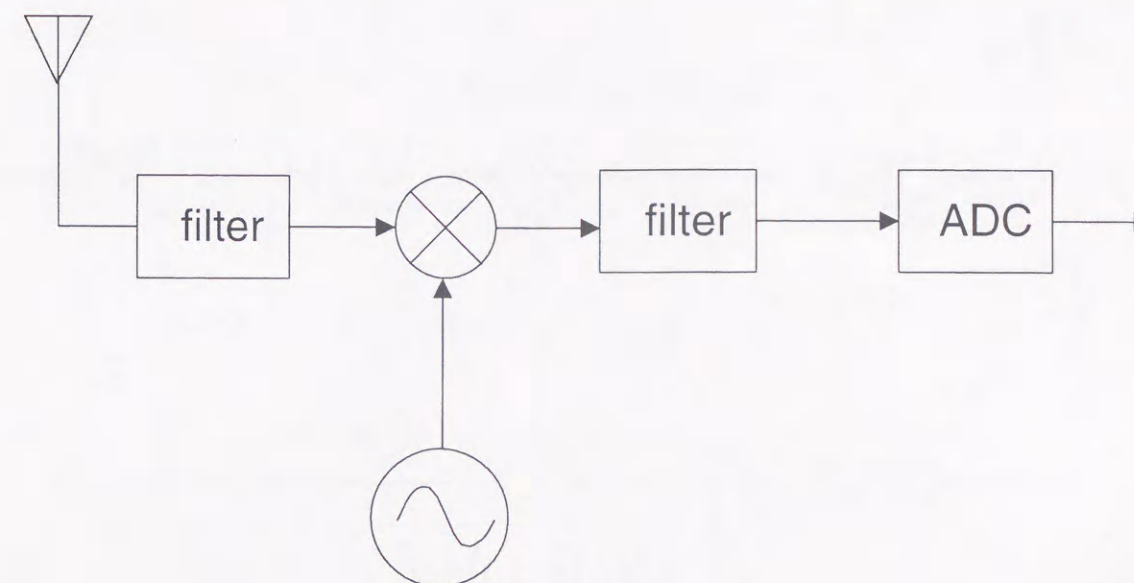


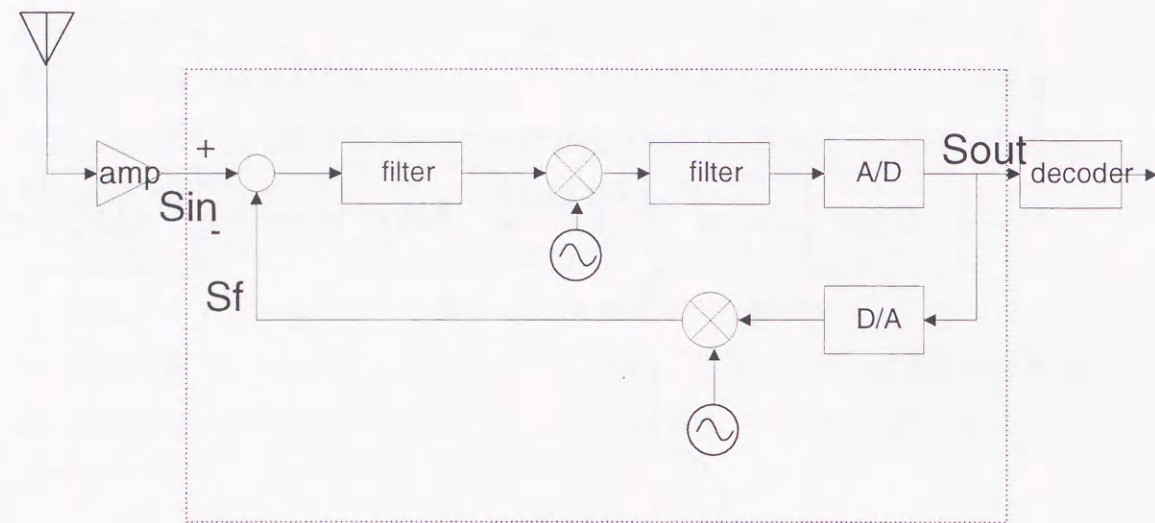
図6.1: 受信機の構成

成されるため、広い入力レベル範囲にわたり低歪率の特性を有するものを実現することは困難である。

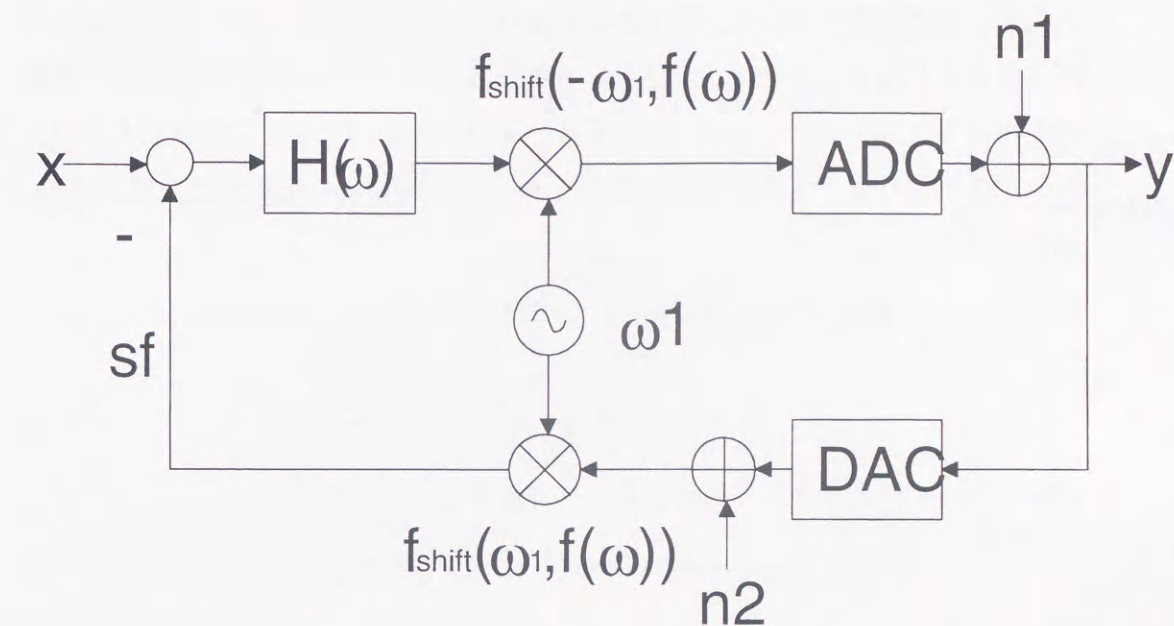
## 6.3 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器

### 6.3.1 内部AD, DA変換器を1-bitとした構成

ミキサの歪の問題を解決する方法として、周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器を図6.2に示す。図において点線で囲った部分が周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器である。アンテナから受信された信号は、ローノイズアンプで増幅され、バンドパスフィルタに入力される。ここで、バンドパスフィルタの出力信号をSinとする。提案する方法では、第1のミキサでフィルタからの信号を低い周波数に周波数変換したのちAD変換し、その出力を再びDA変換器でアナログ信号に変換している。さらに、これを第2のミキサで入力信号と同じ周波数に変換（アップコンバージョン）し、これを帰還信号Sfとしている。このSfは、Sinから減算されるように構成されている。

図 6.2: 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器

このように構成されたAD変換器は、いわゆるノイズシェーピング型AD変換器[1]( $\Delta$ - $\Sigma$ 型AD変換器)の形式をとっており、全体として負帰還ループを形成している。そして、このループの主信号経路、つまりAD変換器の入力から出力に至る信号経路中に、ミキサと基準信号発生器により構成される第1の周波数変換器が挿入されている。したがって、ミキサの不完全性、つまり歪特性や雑音特性は負帰還の作用によって緩和される。一方、DA変換器およびミキサと基準信号発生器により構成される第2の周波数変換器は、負帰還ループの帰還信号経路に挿入されていることから、DA変換器やミキサで発生する歪や雑音は帰還信号Sfの精度に直接影響を与え、DA変換器やミキサには低歪特性や低雑音特性が要求される。しかしながら、この構成方法では、AD変換器およびDA変換器のビット数を少なく設定し、DA変換器およびミキサへの入力信号のダイナミックレンジを小さくすることにより、低歪低雑音のDA変換器およびアップコンバート用ミキサを容易に構成できるようになる。特にAD変換器およびDA変換器のビット数を1ビットとすることにより、AD変換器は単なるコンパレータで構成でき、また、DA変換器およびミキサはスイッチで構成できるようになる。このため、高精度のDAミキサを容易に構成することが可能となる。

図 6.3: 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器の等価回路

しかし、それでは、AD変換器の出力が1-bitとなってしまう、AD変換器としての性能が損なわれるように思われるが、実際には、上述したようにこの構成は、 $\Delta$ - $\Sigma$ 型AD変換器の形式を取っているため、オーバーサンプリングおよびノイズシェーピングにより高精度な変換が可能となる。

AD変換器で量子化を行うことにより生じた量子化誤差を含んだAD変換器の信号は、DA変換器およびミキサを経て帰還信号Sfとして $\Delta$ - $\Sigma$ 型AD変換器の入力に帰還される。このため、ループゲインによって、その影響が抑圧されるのである。そこで、図6.2におけるダウンコンバージョン用ミキサに前置されたフィルタに共振型増幅器のようなバンドパス特性をもったものを用いることにより、必要となる周波数周辺での量子化ノイズを低減することが可能となる。

### 6.3.2 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器の解析

次に、図6.3を用いて周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器の特性を検討する。ここでは、入力信号の周波数を $\omega_1$ だけシフトする周波数変換演算を $f_{shift}(\omega_1, f(\omega))$



と記す. 等価回路において, 図6.2の上側のミキサは, ダウンコンバージョンを行うものとし, アップコンバージョンされた成分はミキサ出力には現れず, 下側のミキサは, アップコンバージョンを行いダウンコンバージョンされたものはミキサ出力に現れないものとする. このとき,  $x$  から  $y$  への伝達関数を計算する. 図において

$$f_{shift}(-\omega_1, (x(\omega) - s_f(\omega))H(\omega)) + n_1(\omega) = y(\omega) \quad (6.1)$$

$$f_{shift}(\omega_1, y(\omega) + n_2(\omega)) = s_f(\omega) \quad (6.2)$$

が成り立っている. これらの周波数シフト演算を実行して,

$$\{x(\omega - \omega_1) - s_f(\omega - \omega_1)\}H(\omega - \omega_1) + n_1(\omega) = y(\omega) \quad (6.3)$$

$$y(\omega + \omega_1) + n_2(\omega + \omega_1) = s_f(\omega) \quad (6.4)$$

を得る. 式(6.3), (6.4)より,  $x$  から  $y$  への伝達関数は,

$$y(\omega) = \frac{H(\omega - \omega_1)}{1 + H(\omega - \omega_1)}x(\omega - \omega_1) + \frac{1}{1 + H(\omega - \omega_1)}n_1(\omega) - \frac{H(\omega - \omega_1)}{1 + H(\omega - \omega_1)}n_2(\omega) \quad (6.5)$$

となる. これより, 入力信号は $-\omega_1$ だけ周波数シフトされ, 周波数変換が実現されていることが分かる.  $\frac{H(\omega - \omega_1)}{1 + H(\omega - \omega_1)}$ は,  $H(\omega - \omega_1) \gg 1$ であれば $\approx 1$ であるので, 入力信号の周波数において $H(\omega - \omega_1)$ が大きくなるように設計すれば, 出力 $y$ には $x$ を周波数変換したものが得られる.

一方, 内部ADCで発生する量子化雑音 $n_1(\omega)$ には,  $\frac{1}{1 + H(\omega - \omega_1)}$ が掛かり, いわゆるノイズシェーピングが実現されていることが分かる. ただし, この場合, ノイズシェーピング特性は $-\omega$ だけシフトしたものとなっている. つまり, 入力信号付近で大きなゲインを持つように $H(\omega - \omega_1)$ を設計することにより, ベースバンドのADCの量子化雑音に対してノイズシェーピングをかけることができることを示している.  $n_2$ に対しては, 通常の $\Delta$ - $\Sigma$ 変調器と同様にノイズシェーピングは掛からず, そのまま出力 $y$ に現れる. したがって, この影響を避けるためには1bitのDACを用いれば良い.

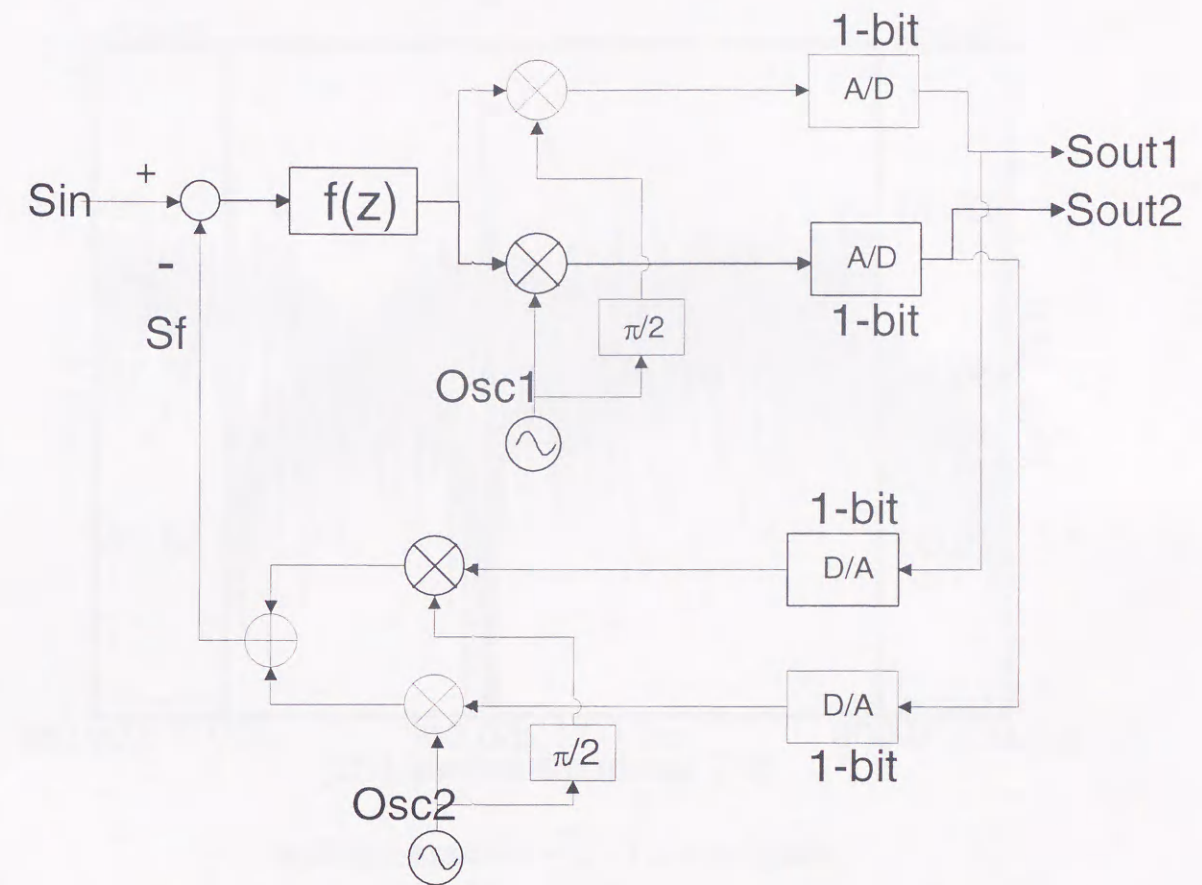


図6.4: 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器(2次)

### 6.3.3 内部AD, DA変換器を1-bitとした場合のシミュレーション

次に, 提案する周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器のシミュレーションを行う. ここでは, ダウンコンバータに前置されるフィルタには, 2次の共振器とし, 入力信号をDCに変換するために平衡変調器を用いる. 図6.4にシミュレーションで用いたブロック図を示す.

ここで, フィルタには, サンプル周波数 $f_s$ の1/4の周波数に極を持った共振器 $f(z) = \frac{1}{1-z^{-2}}$ とする. ADおよびDA変換器のbit幅は1-bitとする. 入力信号には, 周波数 $1000 \times f_s/4096$ , 振幅0.5および周波数 $1010 \times f_s/4096$ , 振幅0.1のサイン波に加え0.1のDC信号を印加している. また, Osc1, Osc2には

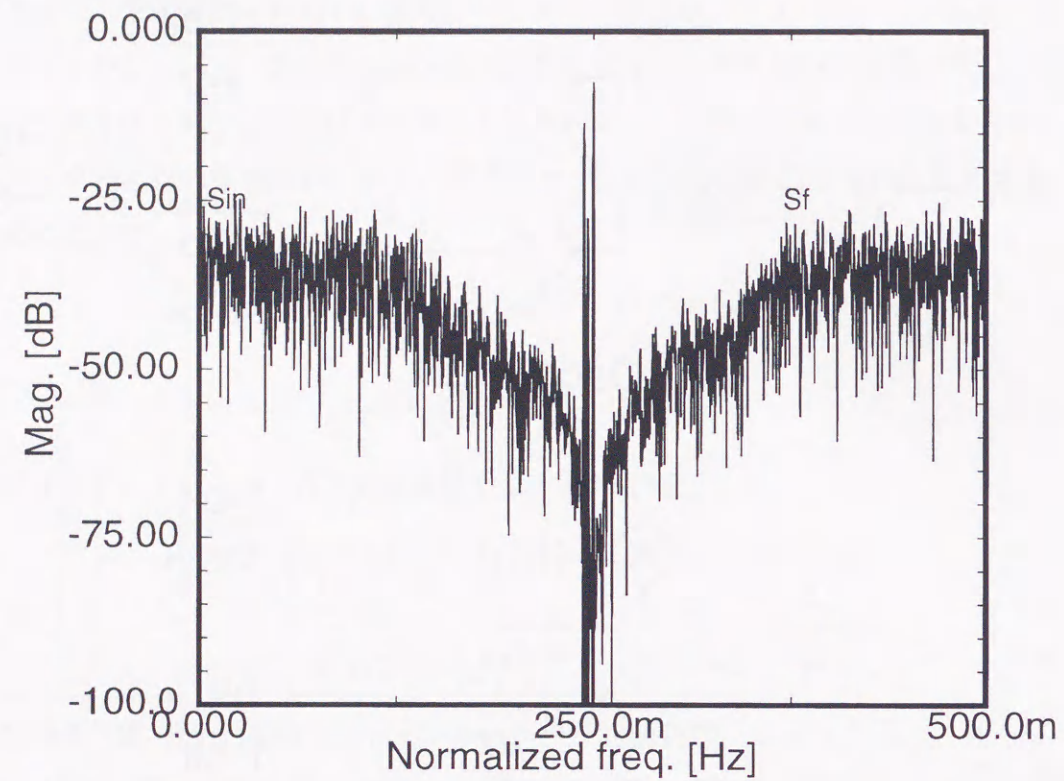


図 6.5: Sf のシミュレーション結果 (信号付近)

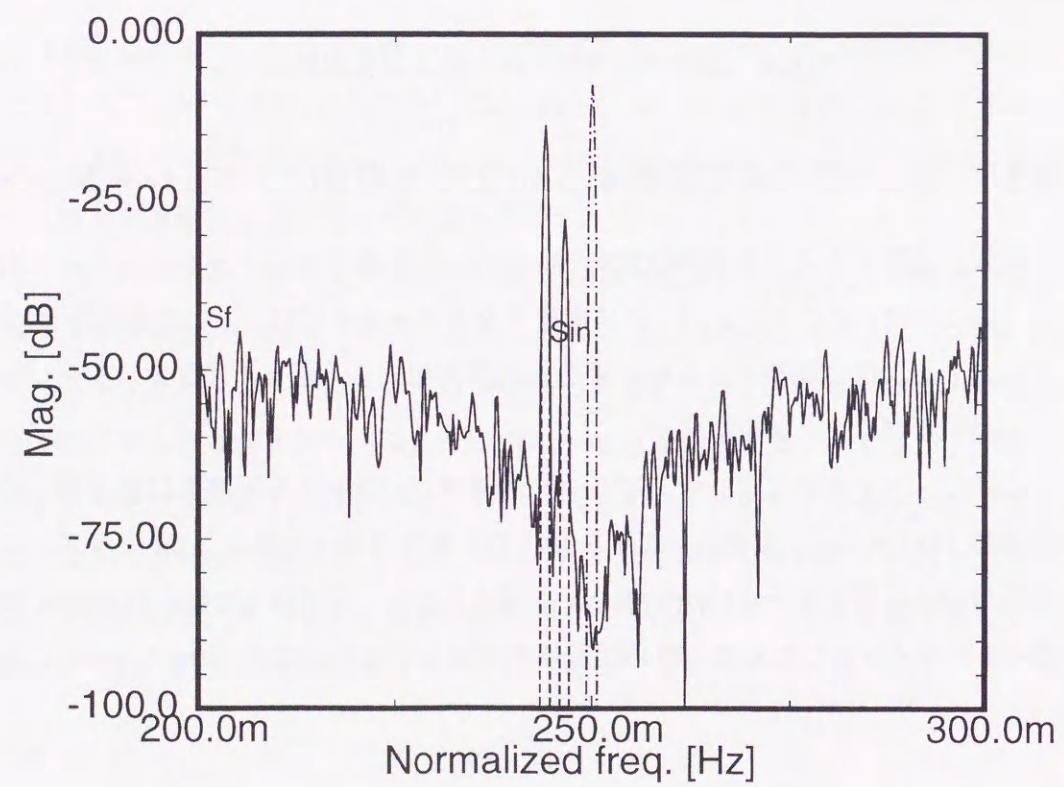


図 6.6: Sf のシミュレーション結果

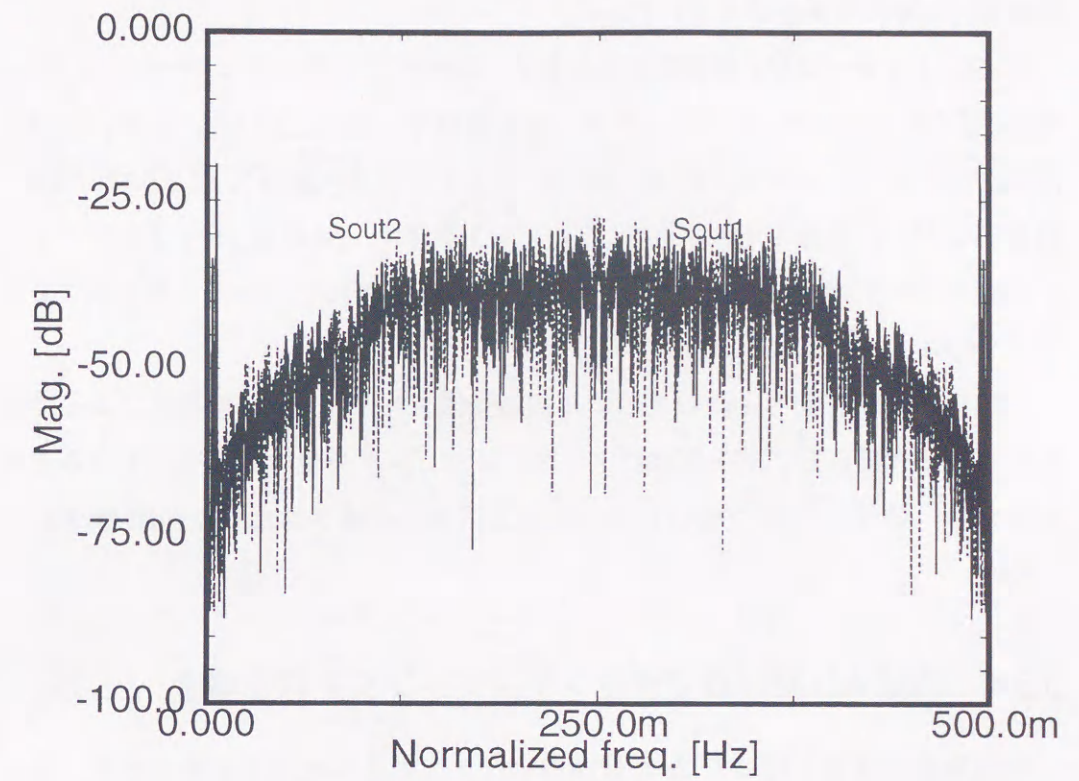


図 6.7: Sout1, Sout2 のシミュレーション結果

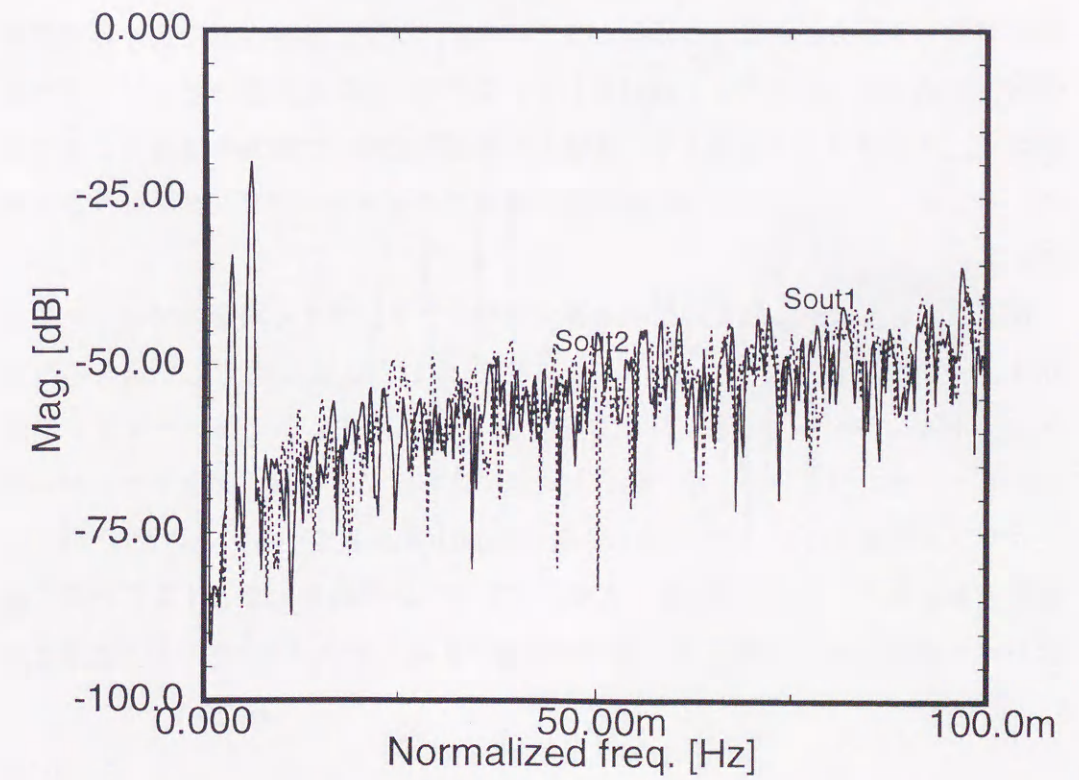


図 6.8: Sout1, Sout2 のシミュレーション結果 (ベースバンド付近)

周波数  $f_s/4$  のサイン波を用いた。

Sf のシミュレーション結果を図 6.5, 図 6.6 に示す。このシミュレーションでは、4096 ポイントのデータにブラックマン窓を掛けを FFT している。また, Sout1, Sout2 のシミュレーション結果を図 6.7, 図 6.8 に示す。図 6.5, 図 6.6 で, 実線, 点線および一点鎖線はそれぞれ Sf, Sin, Osc1 を示す。Sf には  $f(z)$  によりノイズシェーピングが掛り,  $f_s/4$  の周辺では, 雑音が低減されていることがグラフよりよく分かる。

一方, 信号 Sout1, Sout2 は DC に周波数変換され, 1-bit AD 変換器によって発生した量子化雑音も, Sf と同様にノイズシェーピングを受け低減されていることが分かる。信号レベルは Sout1, Sout2 の 2 信号に分離されたため 6dB 低下している。

### 6.3.4 内部 AD 変換器でダウンサンプリングを行う場合

周波数変換機能を持った  $\Delta$ - $\Sigma$  変調器では, 入力された RF 信号 Sin は, 周波数変換器にてベースバンドに周波数変換される。また, 入力 RF 信号が何らかの変調信号であるとする, その帯域幅は搬送波周波数に比べ十分狭いことが一般的に仮定できる。このような場合には, ベースバンドに変換された信号の周波数帯域も当然入力 Sin のバンド幅に等しくなるため, AD 変換器のサンプリング周波数は, サンプリング定理より, 最低入力周波数帯域の 2 倍あれば良いことになる。そこで, ここでは内部 AD 変換器の前段でダウンサンプリングを行うことを考える。

図 6.9 に内部 AD 変換器の前段でダウンサンプリングする場合のブロック図を示す。この構成で, ダウンサンプリング比を 1, 1/2, 1/4, 1/8 とした場合の出力スペクトルのシミュレーション結果を, 図 6.10 に示す。シミュレーション条件は, ダウンサンプリングしない場合と同じである。グラフは, 下よりオーバーサンプリング比が 1, 1/2, 1/4, 1/8 の場合の Sout1 を示している。このグラフでは, 横軸を log スケールとしている。ダウンサンプリング比を 1/2 とするごとに, 雑音レベルが 6dB ずつ上昇しているのが観測できる。ダウンサンプリング比を 1/2

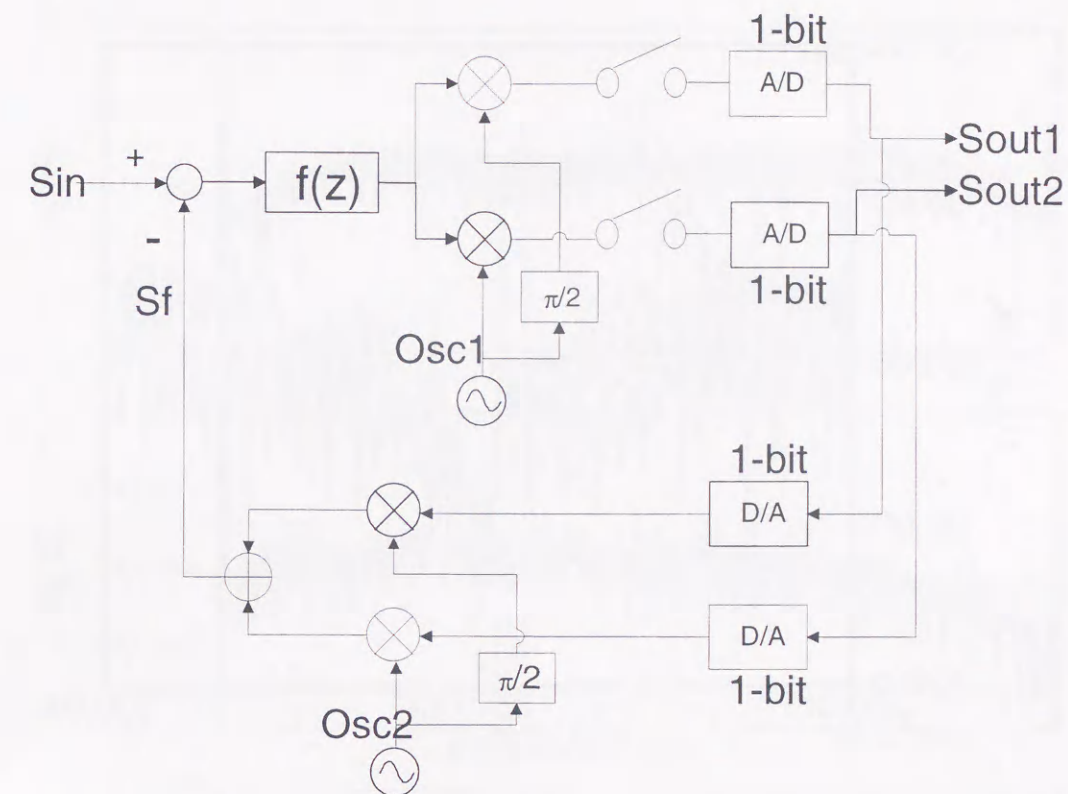


図 6.9: ダウンサンプリングを行う場合のブロック図

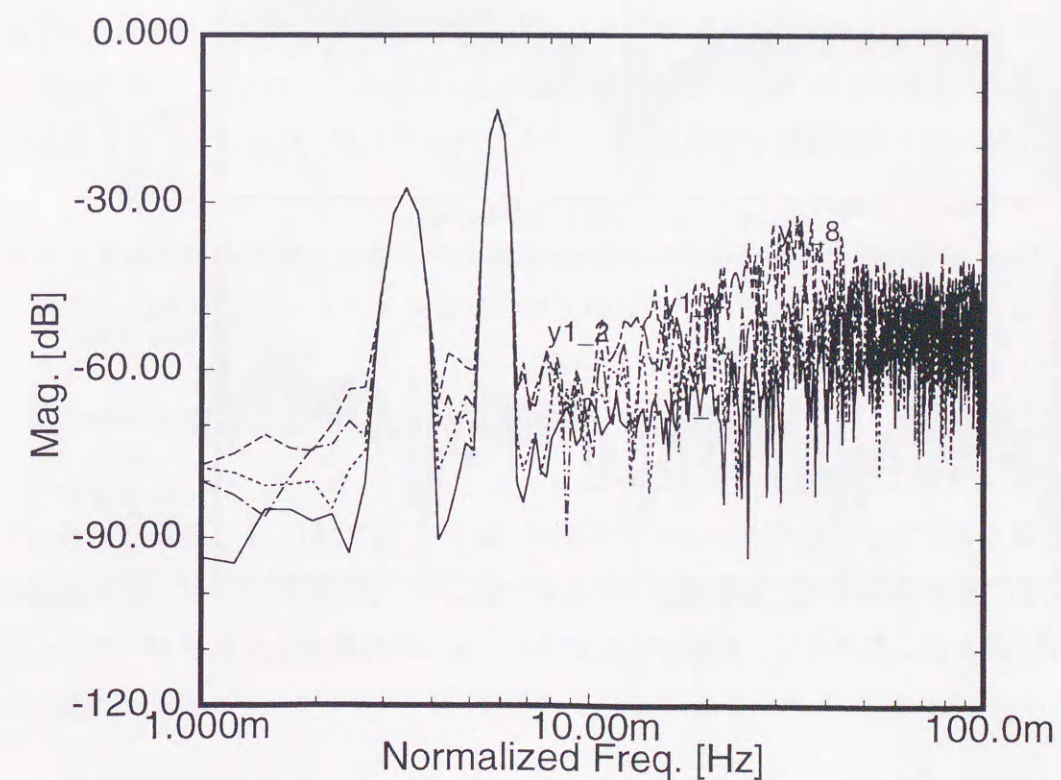


図 6.10: ADC でダウンサンプリングを行った場合の Sout1 ( $f_s$ ,  $f_s/2$ ,  $f_s/4$ ,  $f_s/8$ )

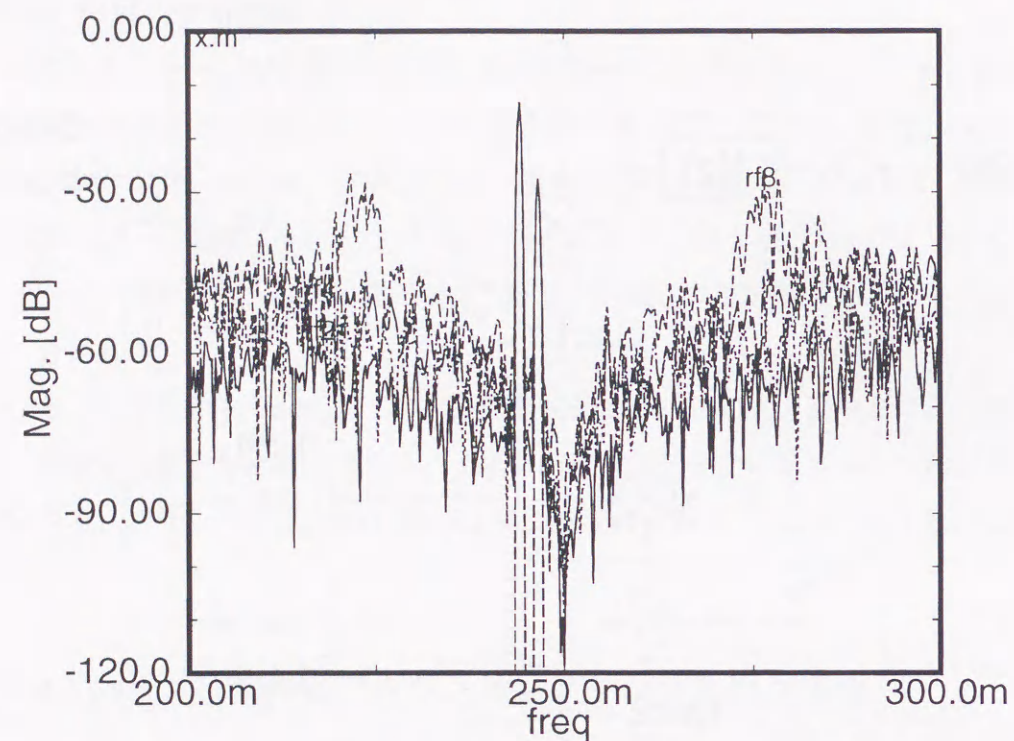


図 6.11: ダウンサンプリングを行った場合の  $S_f$  ( $f_s$ ,  $f_s/2$ ,  $f_s/4$ ,  $f_s/8$ )

とすることによって、AD 変換器および DA 変換器のサンプリング周波数が  $1/2$  になり、最終的に  $S_f$  の更新される周波数が  $1/2$  になる。このため、周波数変換機能を持った  $\Delta$ - $\Sigma$  変調器全体のオーバーサンプリング比が  $1/2$  になり、雑音が 6dB 上昇する。

$S_{out}$  の雑音が増加するため、図 6.11 に示したように、 $S_f$  における雑音も上昇することになる。このグラフにおいても、下よりオーバーサンプリング比が  $1$ ,  $1/2$ ,  $1/4$ ,  $1/8$  の場合の  $S_f$  を示している。

したがって、AD 変換器でのダウンサンプリングは、全体に要求されている SNR を考慮して決定する必要がある。

図 6.12 には、AD のダウンサンプリング比が  $1$ ,  $1/2$ ,  $1/4$ ,  $1/8$  の場合の  $S_{out1}$  の DC から  $f_s/2$  までの周波数スペクトルを示した。 $S_{out1}$  のサンプリング周波数が下がるにしたがって、当然ではあるが折り返し周波数が  $1/2$  に下がっていくの

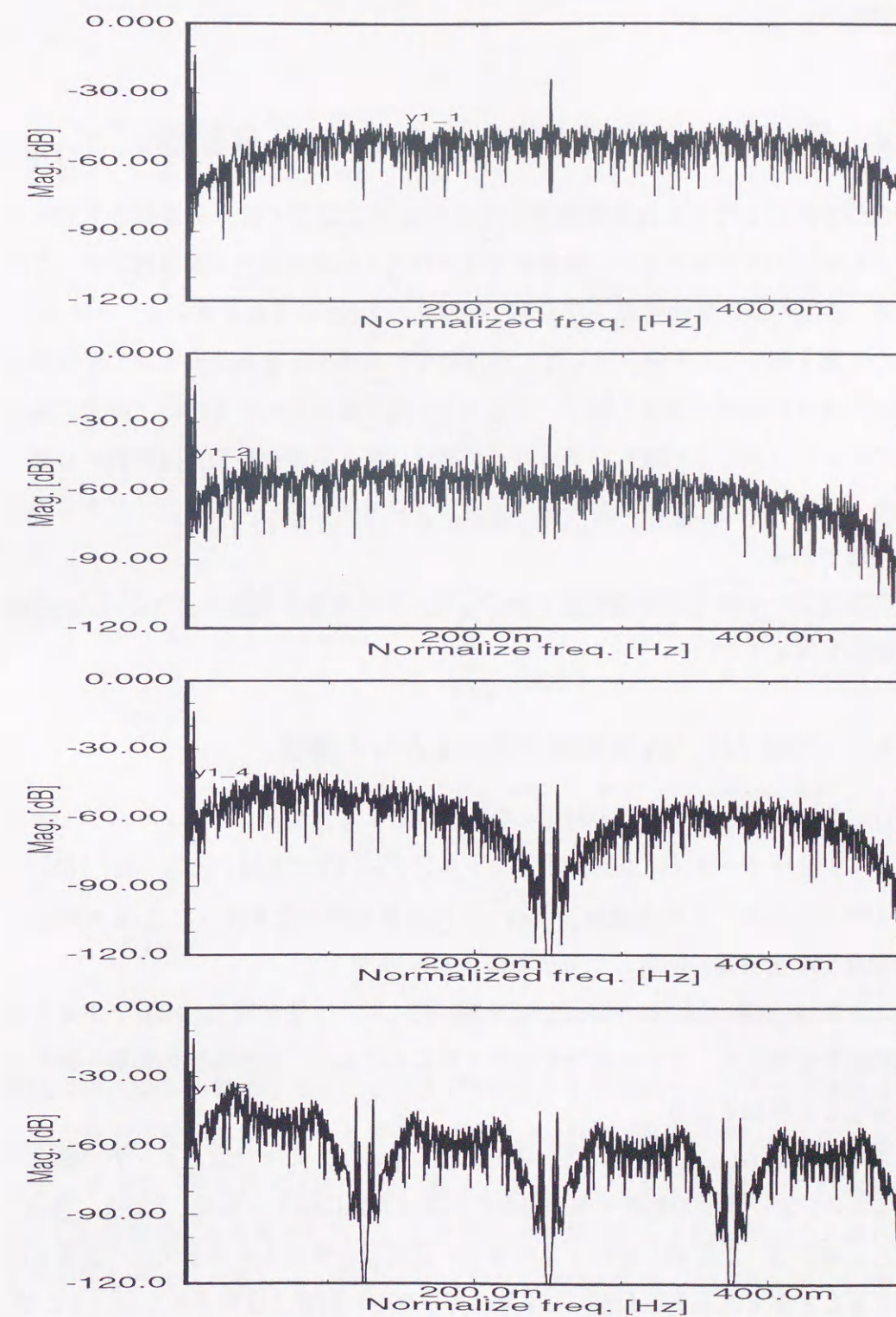


図 6.12: ダウンサンプリングを行った場合の  $S_{out1}$  (上より  $f_s$ ,  $f_s/2$ ,  $f_s/4$ ,  $f_s/8$ )

が観察できる。

#### 6.4 周波数変換機能を持った多-bit $\Delta$ - $\Sigma$ 変調器

前節で提案した周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器では、帰還信号を発生させるためのDA変換器には、最終的な変換精度と同等の精度が要求される。このため、内部のAD変換器およびDA変換器を1-bitのものを用いることにより、この問題を解決した。一方、さらなる高精度化や内部AD変換器およびDA変換器の動作速度の低減を考えた場合、内部のbit数を増加させる方法は、非常に魅力的である。しかし、上述したようにこの場合には、高精度なDA変換器が必要となり、このために、高精度な部品や半導体プロセスを用いたのでは、コストの面で問題がある。

この節では、素子精度の影響を緩和した、周波数変換機能を持った多-bit $\Delta$ - $\Sigma$ 変調器を提案する。

##### 6.4.1 内部AD, DA変換器を多-bitとした構成

DAを構成する素子の素子精度の影響を緩和する方法として、ノイズシェーピング・ダイナミック・エレメント・マッチング法(NSDEM) [27] [31] [35]を第4章で示した。この方法を、前述した周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器の帰還用DA変換器に応用した方法を図6.13に示す。

ここでは、DAの前段にNSDEMを用いたセレクタを配置し、セレクタからの選択信号を用いて、DAの素子を選択することにより、素子精度の影響を緩和させることが可能となる。

さて、内部AD, DA変換器を1-bitとした場合は、ミキサはスイッチで構成できるため、素子精度の影響や非線型性の影響は大幅に緩和された。しかし、多-bit化した場合は、上記の方法により内部DA変換器を構成する素子精度の影響を緩和することが可能となったが、ミキサの素子精度の影響は緩和されない。そこで、次にミキサの素子精度や非線型性の影響をも緩和する方法を図6.14に示す。この

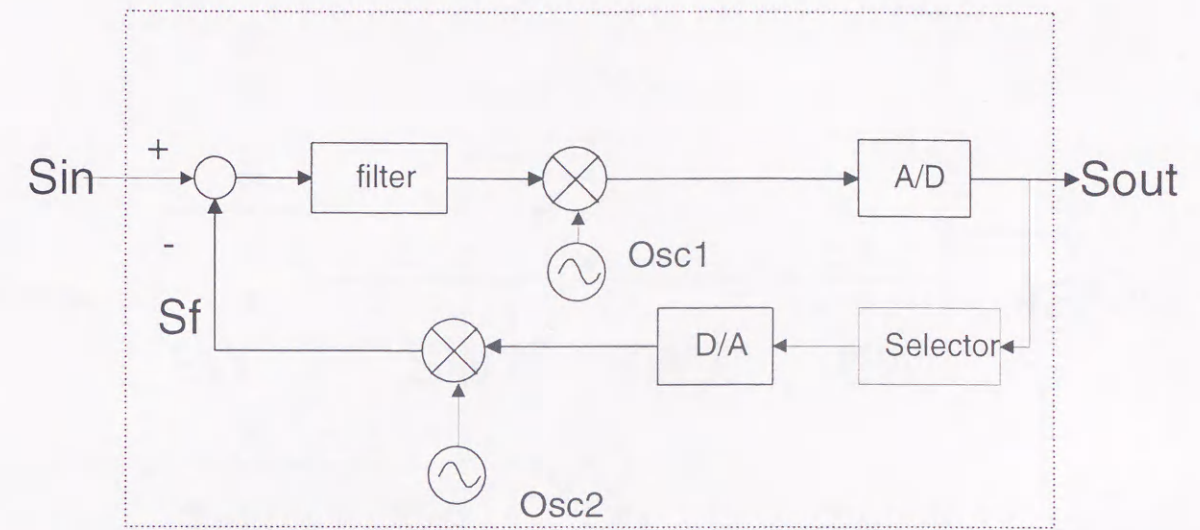


図 6.13: 内部AD, DA変換器を多-bitとした構成

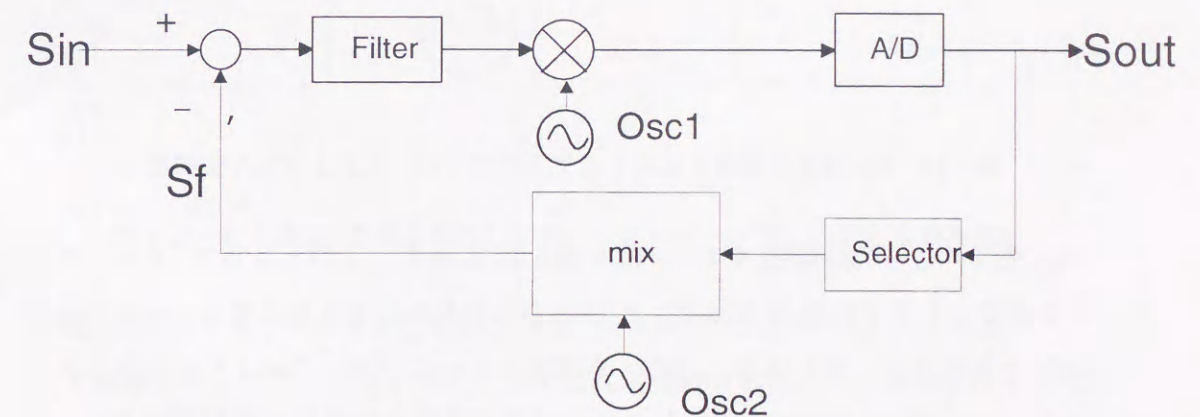


図 6.14: アップコンバータの素子精度の影響を緩和した構成

構成では、図6.13におけるミキサおよびOsc2により構成されるアップコンバータおよびDA変換器を構成する素子の選択をNSDEMを用いたセレクタの出力によって行う。図6.13においては、セレクタによって素子の選択が行われるのは、DA変換器のみであったため、ミキサの非理想性による性能の劣化を防ぐことができなかった。図6.14の構成ではミキサを構成する素子のバラツキの影響による変換精度の劣化を低減することができ、高精度な変換が可能となる。図6.14

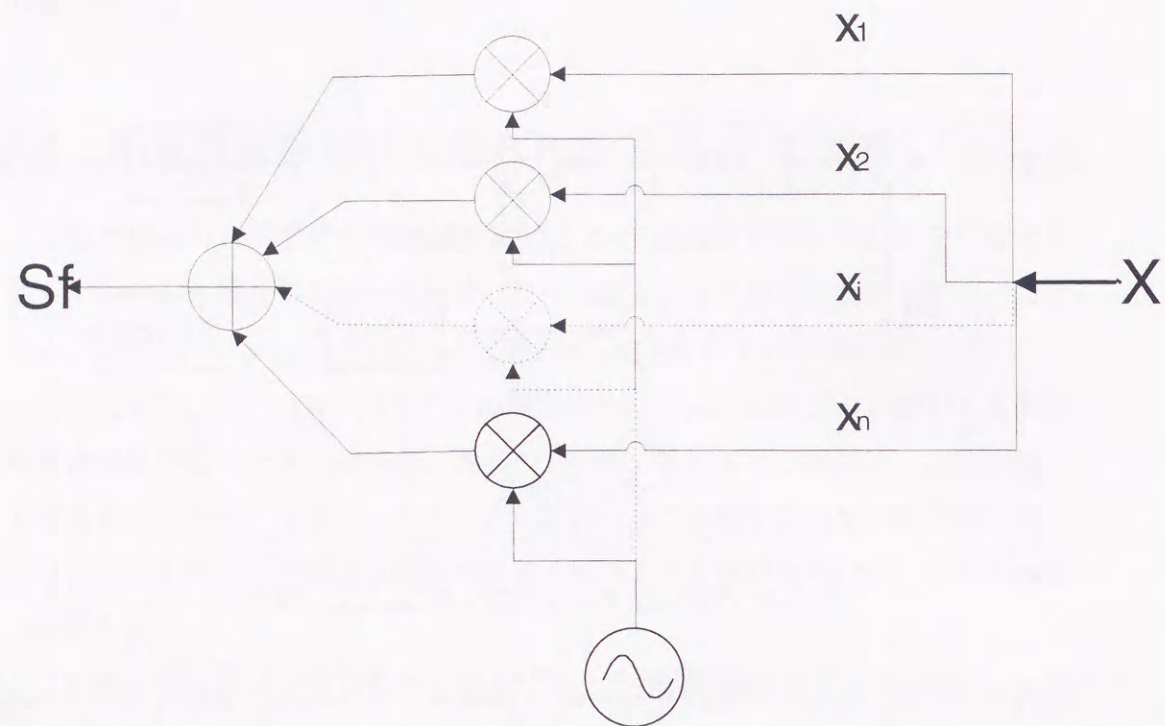


図 6.15: 素子精度の影響を緩和したアップコンバータおよび DA 変換器 (1)

のミキサのさらに詳細なブロック図を図 6.15 に示す。このミキサは、0 もしくは 1 を表すセレクタの出力  $X_1 \sim X_n$  と Osc から基準信号とを乗算し、それぞれの出力を加算することにより、出力する構成となっている。このように構成することにより、図 6.14 の AD 変換器の出力が示す信号に比例した大きさの基準信号を発生することが可能となる。これは、AD 変換器からの出力と Osc の出力とを乗算したことに等価である。さらに、使用される乗算器は、セレクタにより選択されるため、所定の周波数における複数の乗算器の特性のバラツキによる雑音の影響を低減することが可能となる。ここで、 $X_i$  は 0 もしくは 1 の 2 値のみを示す信号であるため、ミキサはスイッチのみで構成することができる。スイッチのみで構成した場合、ミキサを構成する非線型性などの非理想性の影響を排除することが可能となる。したがって、本構成を用いることによりミキサの非理想性による影響を抑圧することが可能となり高精度な変換が可能となる。

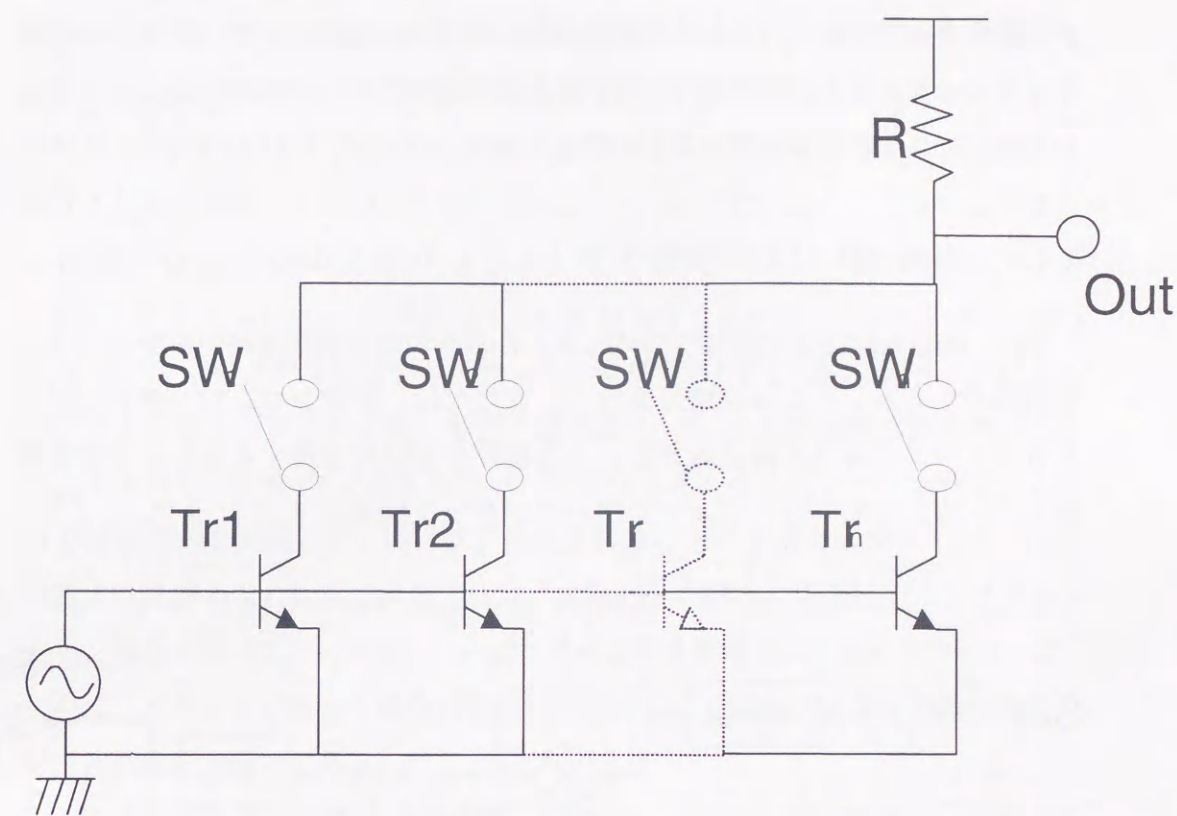


図 6.16: 素子精度の影響を緩和したアップコンバータおよび DA 変換器 (2)

図 6.16 にミキサの具体的な回路図を示す。Osc の出力はトランジスタのベースに接続され、トランジスタのエミッタは共通接続されている。また、トランジスタコレクタは一端が共通接続された複数のスイッチに接続され、この接続点には一端が電源に接続された抵抗に接続され、このスイッチの共通接続された電圧を出力する構成となっている。複数のトランジスタのコレクタには Osc から信号に応じた電流が流れる。このコレクタ電流は、複数のトランジスタの特性が完全に一致していれば同じ値となるが、実際には製造精度等に起因するバラツキによって、完全には一致しない。したがって、通常の方法でスイッチのオンオフを制御した場合、このバラツキによる電流誤差によって、出力端子には誤差が生じる。しかし、提案する回路では、セレクタの出力信号  $X_i$  に基づいてスイッチを制御することによって、所定の周波数における雑音の影響を大幅に低減すること

が可能となる。したがって、この回路を用いた場合、複数のトランジスタの特性を完全に一致させる必要がなくなり、安価な半導体プロセスを用いることが可能となり、コストの低減を図ることが可能となる。

#### 6.4.2 内部 AD, DA 変換器を多-bit とした場合のシミュレーション

次に、内部 AD, DA 変換器を多-bit とした場合の周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器のシミュレーション結果を行う。ここでは、ダウンコンバータに前置されるフィルタは4次の共振器とし、入力信号を DC に変換するために平衡変調器を用いる。シミュレーションに用いたブロック図を図 6.17 に示す。ここで、

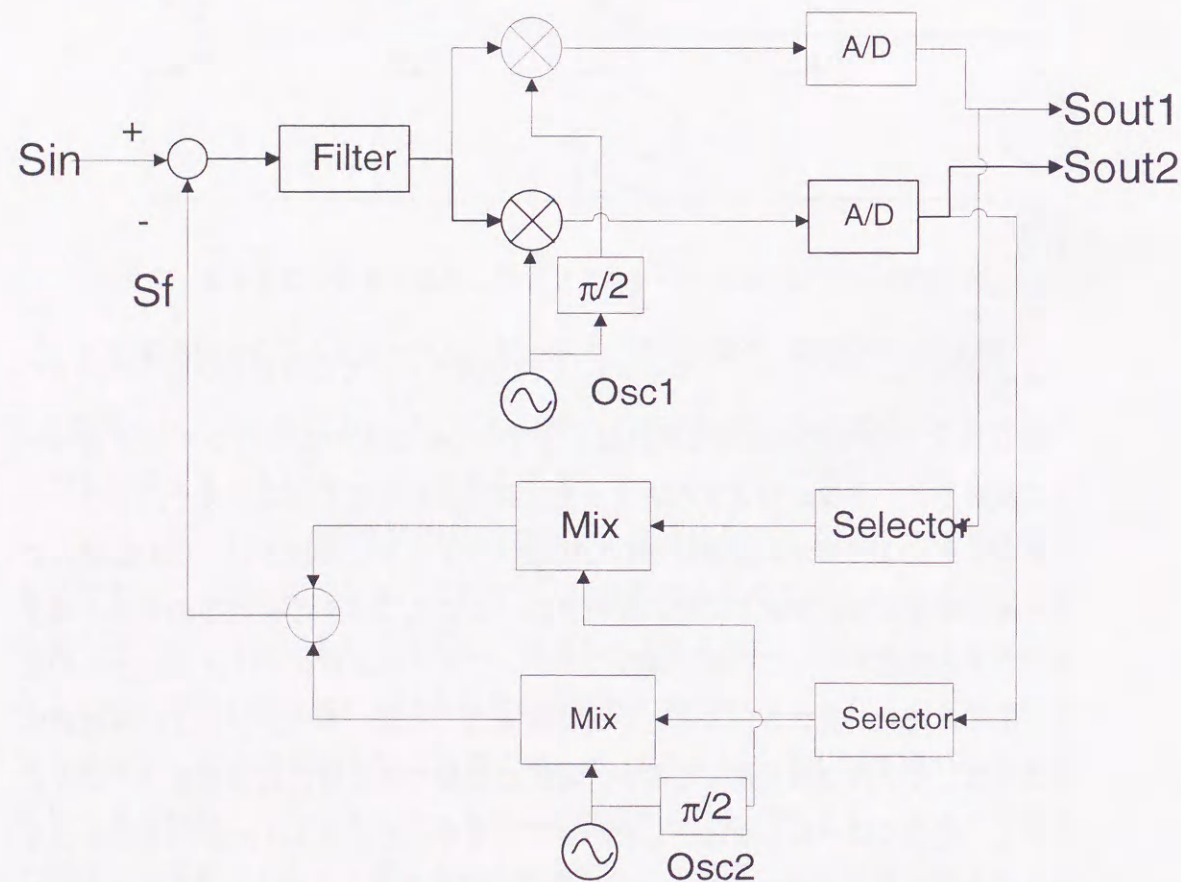


図 6.17: 平衡変調器を使用した構成

フィルタには、サンプリング周波数  $f_s$  の  $1/4$  の周波数に極を持った共振器と  $f(z) = \frac{1}{(1-z^{-2})^2}$  とする。AD および DA 変換器の bit 幅は 4-bit とする。入力信号には、周波数  $1000 \times f_s/4096$ 、振幅 0.5 および周波数  $1010 \times f_s/4096$  振幅 0.1 のサイン波に加え 0.1 の DC 信号を印加している。また、Osc1, Osc2 には周波数  $f_s/4$  のサイン波を用いた。

Sout1 のシミュレーション結果を図 6.18 に示す。このシミュレーションでは、4096 ポイントのデータにブラックマン窓を掛けを FFT している。グラフにおいて、下より素子バラツキが無い場合、素子バラツキ 0.1% で提案方法を用いた場合、素子バラツキ 0.1% で提案を用いない場合を示している。バラツキがある場合で提案方式を使用しない場合は、低周波領域において雑音のフロアが  $-90\text{dB}$  付近より下がらなくなっている。一方、提案方式を用いた場合は、バラツキがなかった場合と同様に、ノイズシェーピングが低周波領域まで正常にかかっている。これは、バラツキがあった場合には、バラツキによる雑音が高周波領域においては支配的になるためである。

これを示すグラフを図 6.19 に示す。このシミュレーションでは、バラツキによる誤差信号のみを取り出し、FFT 解析したものである。上が NSDEM を用いた場合で、下が NSDEM を用いない場合である。グラフより明らかなように、NSDEM を用いない場合は、バラツキ誤差による雑音はほぼホワイト雑音となっているのに対し、NSDEM を用いることにより、DC および  $f_s/2$  の雑音が低減されている。

ここで注意すべき点は、NSDEM では、 $f_s/2$  に対しても零点を配置させていることである。DA 変換器で発生した雑音は、いったん周波数変換されて  $f_s/4$  だけ周波数シフトし、再び AD 変換器に前置された周波数変換器で  $-f_s/4$  だけ周波数シフトする。この過程で、 $f_s/2$  の雑音はまず  $3 \cdot f_s/4$  にシフトする。これは離散時間系のため  $f_s/2$  に折り返してくる。次にこの成分は DC にシフトする。つまり、 $f_s/2$  の成分も DC に折り返してくることになる。これを防ぐためにここでは、NSDEM の零点を  $f_s/2$  にも配置し、 $f_s/2$  周辺の雑音に対してもノイズシェーピングをかけている。

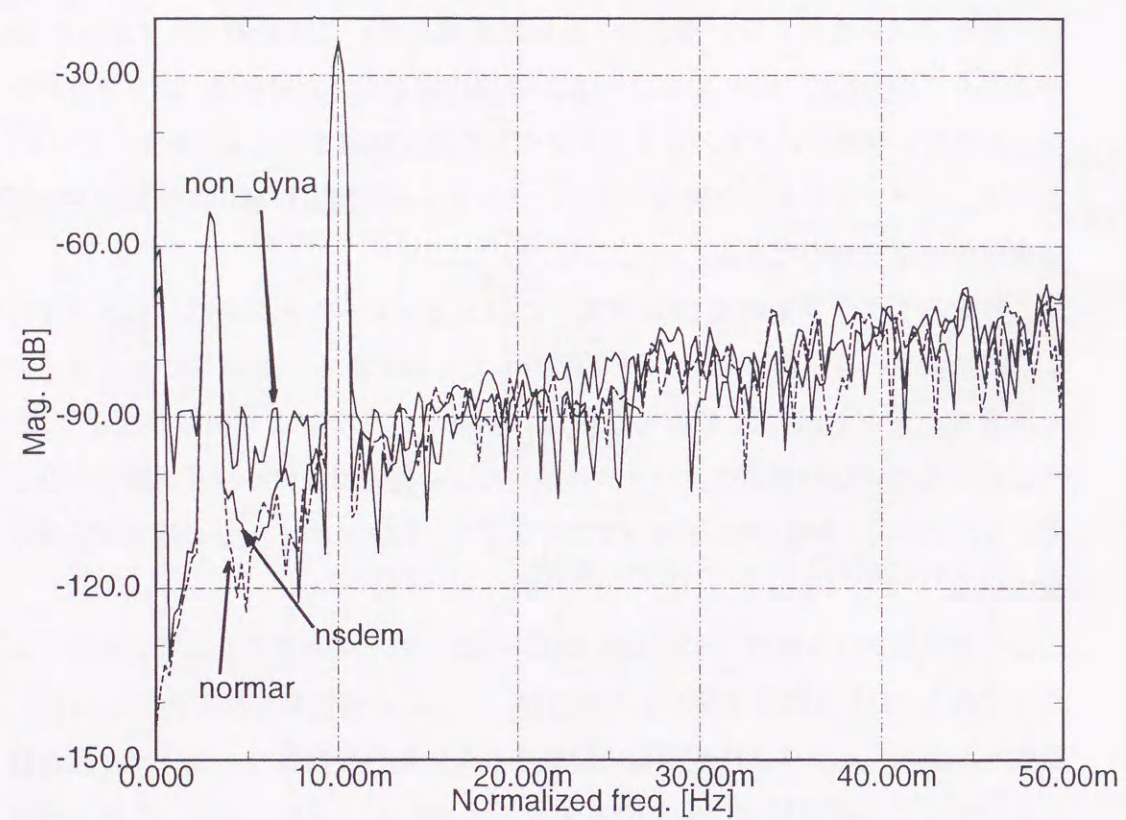


図 6.18: アップコンバータの素子精度の影響を緩和した構成のシミュレーション結果 (Sout)

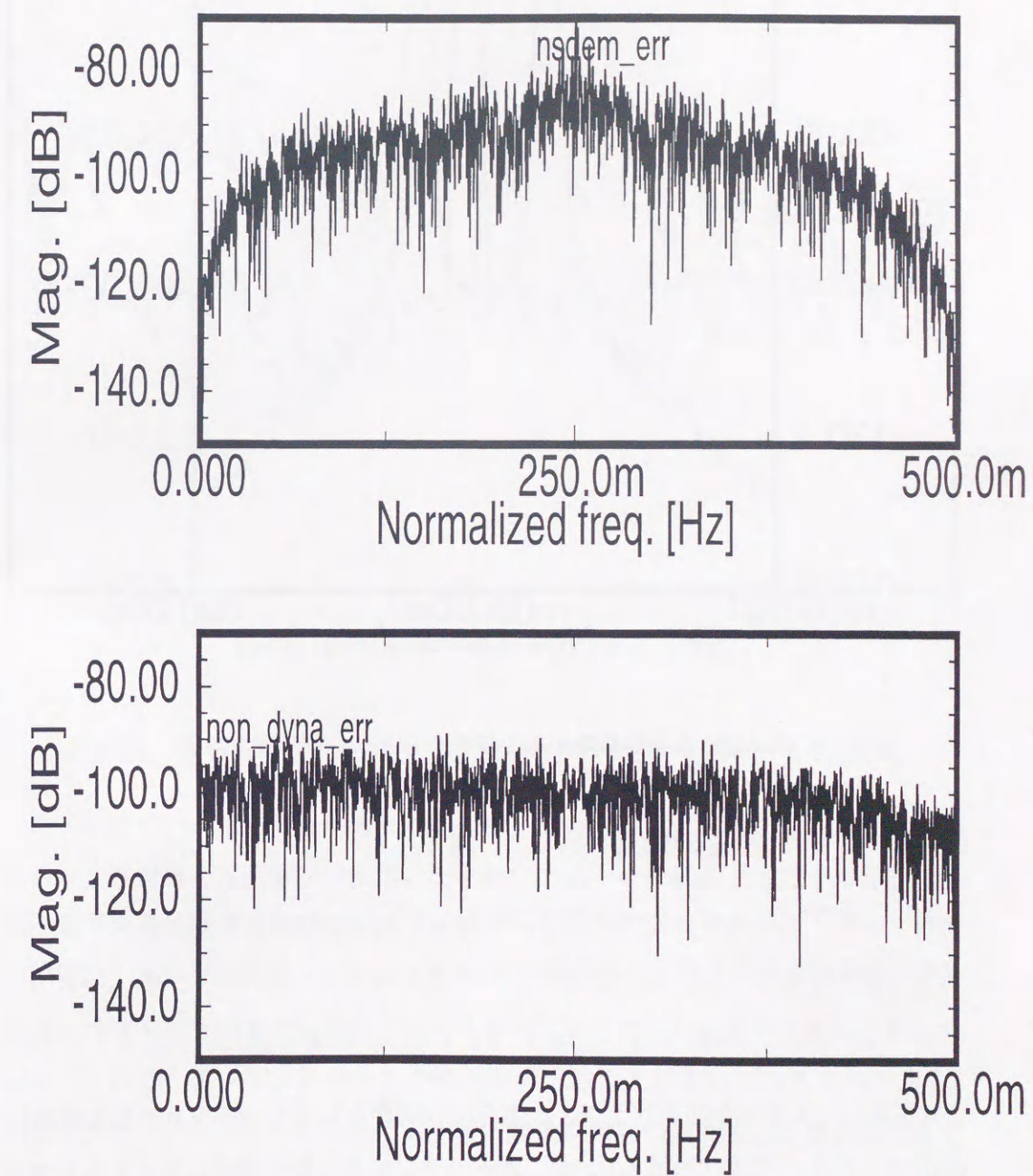


図 6.19: 素子バラツキによる雑音のシミュレーション結果



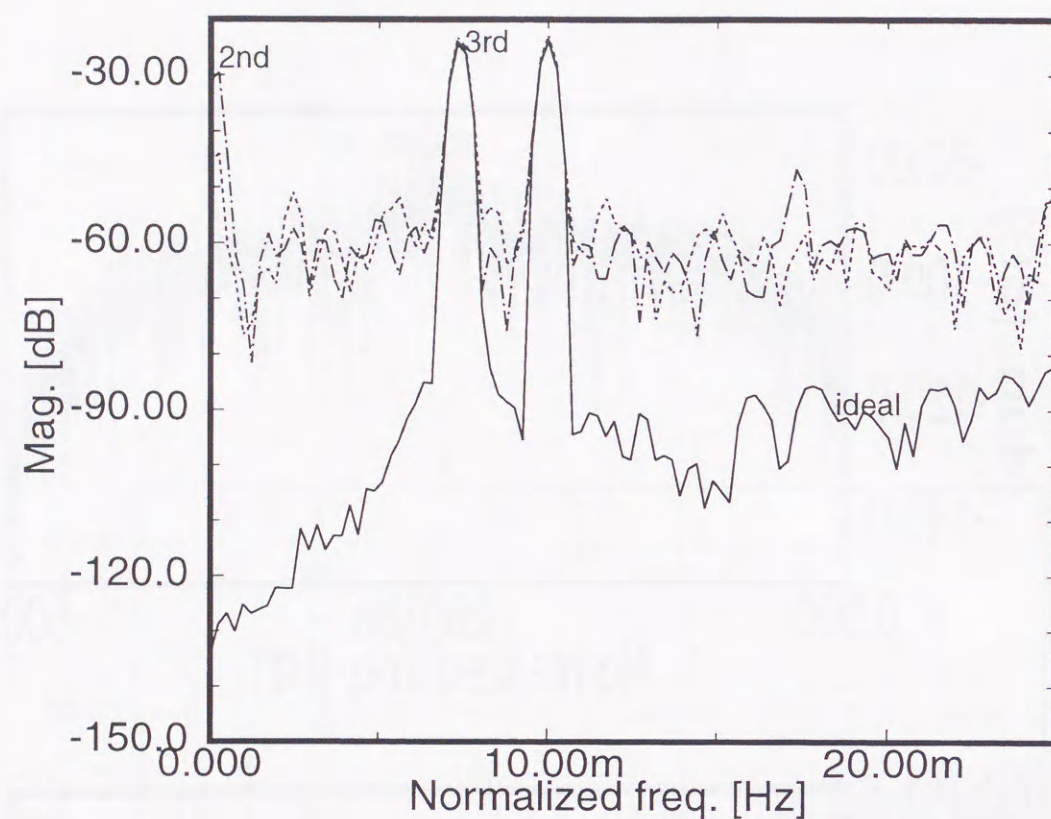


図 6.20: ミキサに歪がある場合のシミュレーション結果

### 6.4.3 ミキサの歪の影響

次に、ダウンコンバータの歪の影響をシミュレーションする。ここでは、次のような単純なミキサのモデルを用いる。

$$Mix(x, y) = xy + A(x + y)^2 + B(x + y)^3 \quad (6.6)$$

これを用いてミキサが2次および3次歪を持つ場合をシミュレーションした結果を図 6.20 に示す。グラフの下より、歪、素子バラツキ共に無い場合、 $A = 0.0, B = 0$  の場合、 $A = 0.1, B = 0$  の場合、 $A = 0, B = 0.1$  の場合を示している。ここで、入力信号には、周波数  $0.26 \times f_s$  および  $0.2574 \times f_s$  振幅 0.3 のサイン波を印加している。

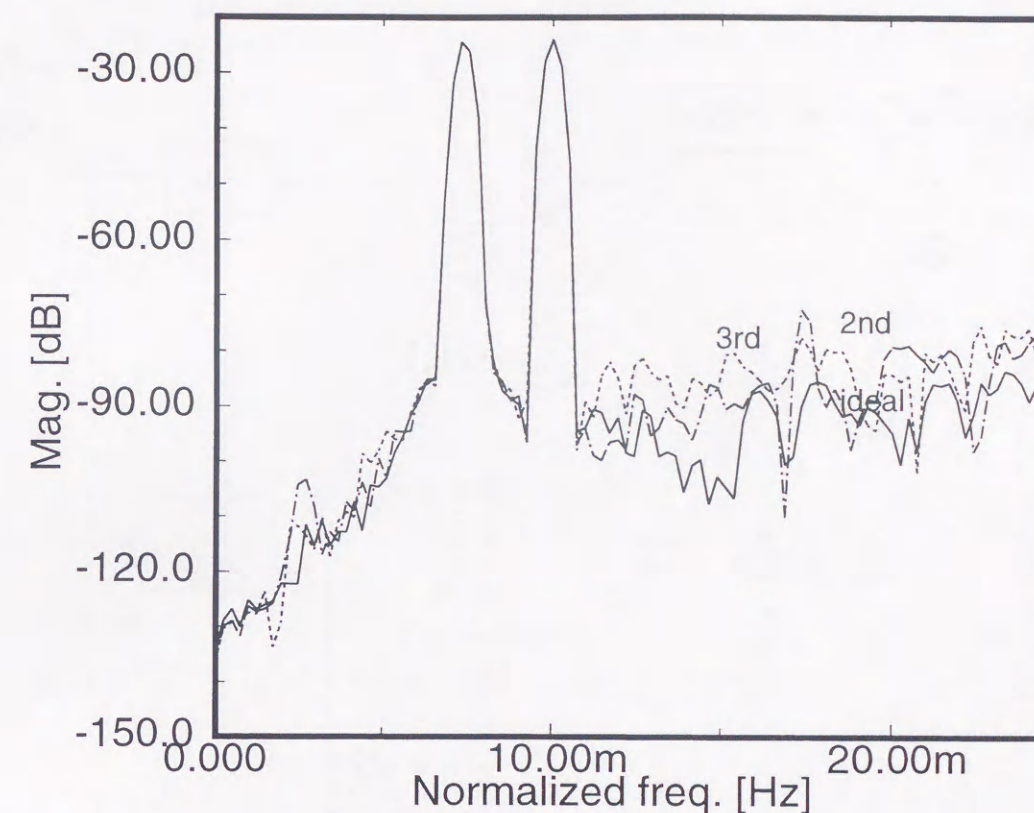


図 6.21: ミキサに歪がありデータ補正を行った場合のシミュレーション結果

アップコンバータに歪があった場合は、その影響は、通常のみキサと同様であるが、本提案の方法を用いれば、ミキサはスイッチで構成することができるため、素子の非線型性の影響は極めて小さい。このため本来であれば、みキサの歪の影響は、ループ利得によって抑圧され、この程度の歪では、歪がない場合変わらない特性を示すはずであるが、シミュレーションでは、雑音が大幅に上昇している。これは、アップコンバータの特性が理想動作と異なっているためである。つまり、アップコンバータにおいて、周波数変換が行われた際に、離散時間系であるために信号に折り返し雑音が生じ、この折り返し雑音を含めて  $S_f$  と  $S_{in}$  が等しくなるようにフィードバックループが動作するためである。つまり、観測している  $S_{out1}$  および  $S_{out2}$  は、平衡変調器および局部発振器により構成されるアッ

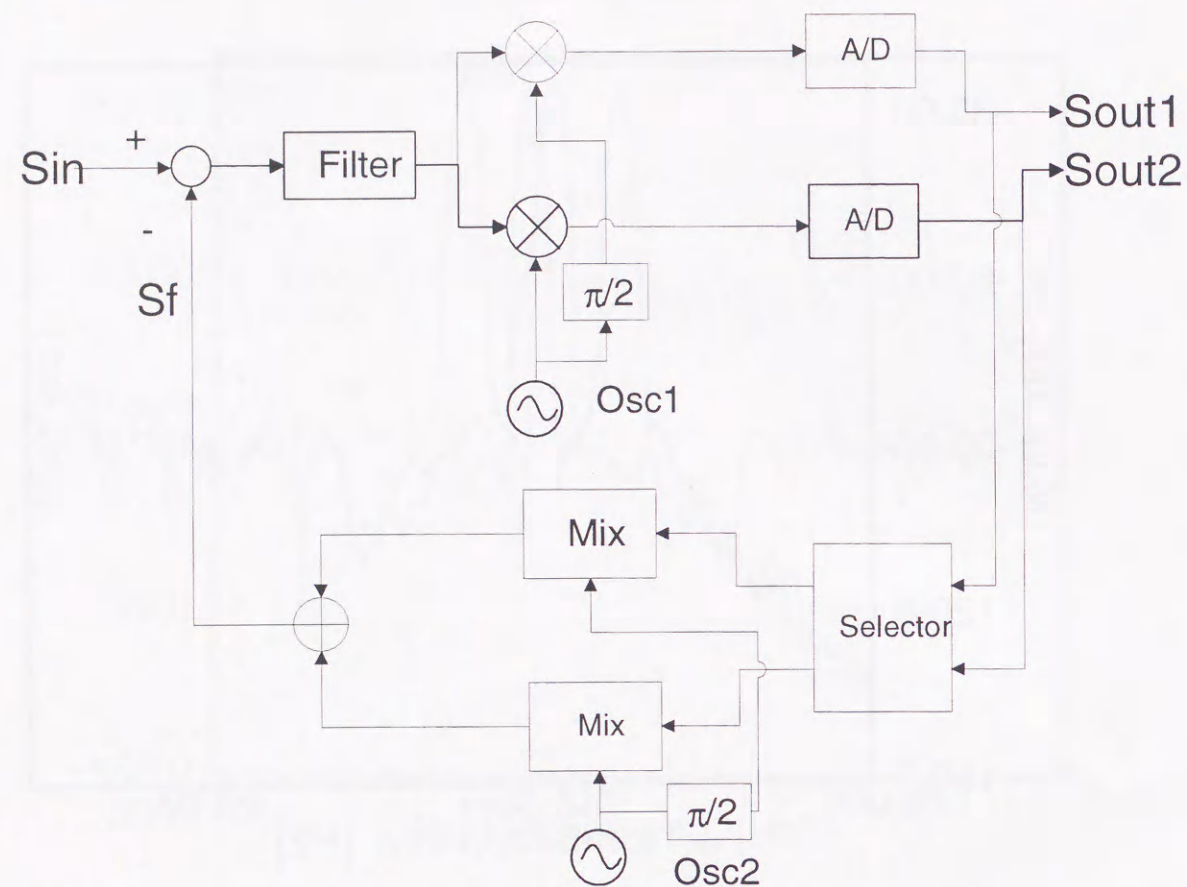


図 6.22: 平衡変調器の I, Q チャンネルで素子を共用した構成

プコンバータの逆特性が見えているのである。

そこで,  $Sout1, Sout2$  を用いて,  $Sf' = Sout1 \cdot Osc2(\pi/4 \text{ シフト}) + Sout2 \cdot Osc2$  を再現し, これを再び平衡変調してベースバンドに変換した場合のシミュレーション結果を図 6.21 に示す. このように補正を行うことにより, ダウンコンバータの歪の影響は抑圧されることが分かる. ここで, 内部 DA 変換器に用いられる素子のバラツキの影響は, 上述したように NSDEM によってノイズシェピングによる抑圧効果分だけ低減されている.

さらに, シミュレーションした場合のように, 平衡変調器を用いる場合は, I, Q の二つのミキサのゲイン mismatch が問題となるが, これについても, I, Q それぞれを構成する素子を共用し, その選択を 1 つの NSDEM で行うことにより,

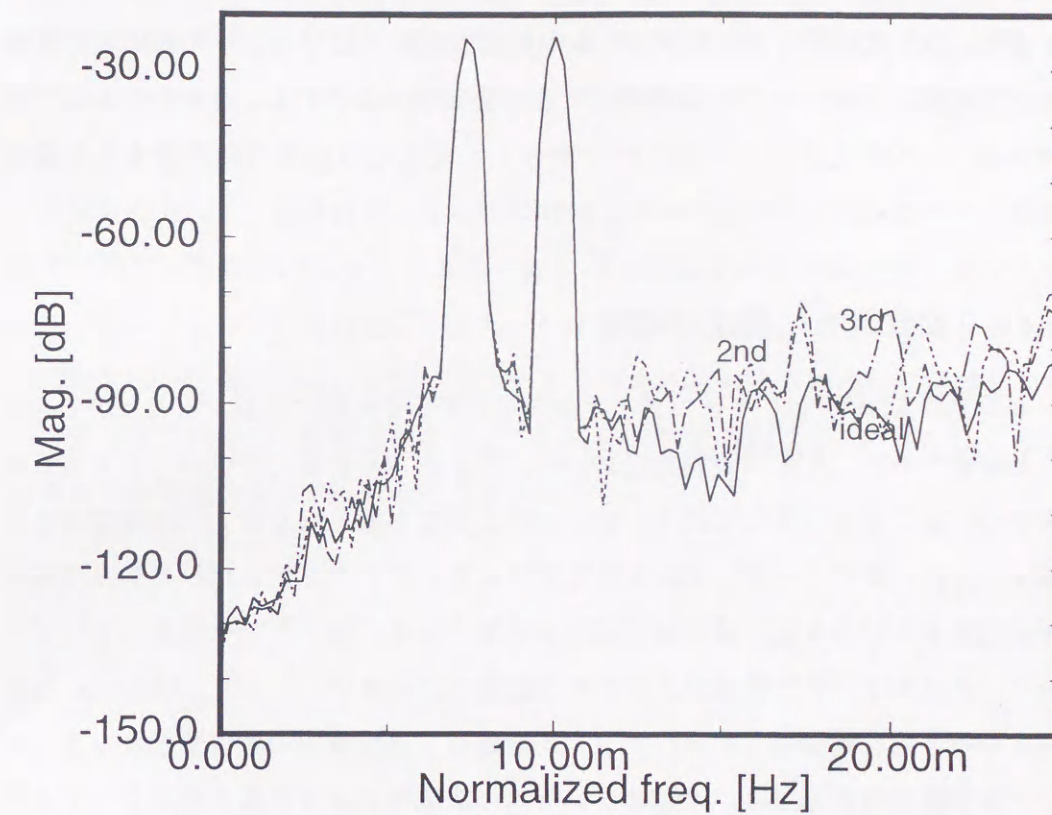


図 6.23: OSC に不要周波数成分があった場合のシミュレーション結果

I, Q のバランスを完全にとることができ, その影響を NSDEM の効果分だけ低減することが可能となる. この場合のブロック図を 6.22 に示す. 図 6.20, 6.21 はこの構成を用いてシミュレーションした.

ここで, もう一つ特性の劣化原因がある. ここまでの議論で, ミキサの特性は NSDEM を用いることにより大幅に低減されることが分かったが, OSC の信号精度に関しては考えていなかった. ここでは, OSC の 1.005 倍の周波数に  $-60\text{dBc}$  の不要信号が含まれている場合に, 上記のシミュレーションと同様に, アップコンバータによる折り返し雑音の影響を補正するシミュレーションを行った. その結果を図 6.23 に示す. 2 つの入力信号の間に OSC の不要信号によるスペクトルが現れている. このように, アップコンバータ用 OSC の不要信号の影響は, 従

来のミキサの場合と同様である。

また、DA変換器にDCオフセットがあると、キャリアリークの原因となるため、NSDEMを使ったDA変換器やミキサを実現するには、0を中心として±フルスケール出力型としてDCオフセットの発生しないように注意する必要がある。

#### 6.4.4 消費電力に関する考察

本提案のADCでは、アナログミキサの歪の影響を大幅に低減することができることが分かった。ミキサの設計において、歪を小さくすることはバイアス電流を大きくすることを意味しており、歪に対する要求が軽くなることは消費電力を低減する方向に働く。一方、本提案の方式では新たにアップコンバータやNSDEM用の回路および折り返し雑音補正回路が必要となる。前述したとおり、アップコンバータはスイッチで構成できるため消費電力は小さい。しかし、NSDEM回路および折り返し雑音補正回路のデジタル回路は、消費電力の増加要因となる。デジタル回路の消費電力は、半導体プロセスの微細化および低電圧化によって大幅に削減される。したがって、本報告の方法の消費電力は、将来的には低減されていく方向にある。また、本方式と従来方式の消費電力における優劣は、デジタル回路の消費電流低減とミキサの歪低減のための消費電力増加とのトレードオフによって決まり、詳細は回路方式等にも依存する。

### 6.5 まとめ

本章では、従来の受信システムに $\Delta$ - $\Sigma$ 変調器の概念を導入し、周波数変換器を持ったAD変換器およびこれを用いた新しいタイプの受信機の構成法を提案し、この方法の効果をシミュレーションにより確認した。この構成を用いることにより、ダウンコンバート用ミキサの歪の影響が緩和され、新たに必要となるアップコンバータの歪やDA変換器の雑音の影響は、NSDEMを用いることにより低減されることが示された。また、アップコンバータは、NSDEMを用いることによ

りスイッチで構成可能となり、その歪の影響は大幅に緩和される。さらに、この構成ではシステム全体が $\Delta$ - $\Sigma$ 変換器として動作するため、内部ADのbit-数を必要とされるbit-数よりも少なくすることが可能となり、ハードウェア規模の削減を図ることが可能となる。

本提案の方法は、変調波のような信号帯域は狭いが周波数の高い信号をAD変換する際に有効な手段となりうるものが、システムレベルの解析およびシミュレーションによって示された。しかし、LSI化を考えると、さらに回路レベルでの検討を行う必要がある。また、システムレベルにおいても周波数変換器を含む系の安定性の解析や、設計方法などについての未解決の問題が残っている。今後はこれらの問題について検討を行う必要がある。

## 第7章

### 結論

本論文では、 $\Delta$ - $\Sigma$  変調技術およびデジタル信号処理、アナログ信号処理を効果的に組み合わせることにより、素子バラツキの影響を低減したアナログ/デジタル混載回路の構成法について述べた。また、これを LSI 回路に応用することでアナログ/デジタル混載回路の高性能化が図れることを示した。

第3章では、LSI 上の素子値バラツキによる連続時間系アナログ LPF のカットオフ周波数の変動による性能劣化を低減する、 $\pi/4$  シフト QPSK 信号発生器の構成法について述べた。LSI 上の素子値バラツキによって、カットオフ周波数が高い方向にずれた場合には、隣接チャネル雑音抑圧量が低下し、低い方向にずれた場合には、変調精度が劣化する。これを解決する方法として、アナログ 1bit-FIR フィルタを用いた構成法を提案した。この方法により、素子ばらつきがあった場合でも隣接チャネルの雑音をアナログ FIR フィルタで効果的に抑圧することが可能となった。この場合には、アナログ 1bit-FIR フィルタや  $\Delta$ - $\Sigma$  変調器の周波数特性による変調精度の劣化、ハードウェア規模の増加が問題となるが、それらの周波数特性の逆特性のインパルスレスポンスをルートローloffフィルタのインパルスレスポンスに畳み込んでおくことにより補正しこれを解決した。これらにより、ハードウェア規模が小さく、高精度な信号発生器が実現された。また、試作したチップの評価によりその有効性が確認された。

第4章では、 $\Delta$ - $\Sigma$  変調をベースにしたバラツキ雑音低減方法について述べた。

従来から知られた方法では、素子の相対ばらつき精度を大幅に上回る精度を実現することができなかった。提案したノイズシェーピング・ダイナミック・エレメント法では、素子ばらつきに起因する雑音に対し、任意の形に雑音スペクトルを形成することが可能となり、大幅な性能の向上が可能となった。また、ループフィルタを目的に応じて設計することによりハイパス以外にバンドパス特性なども実現できる。本提案はスイッチトキャパシタ型や抵抗分割型の DAC、また DAC 以外でも素子値に基く信号を加算や減算して用いるの全般に適用できる。バラツキ雑音低減方法は実用上重要な分野であり、今後 LSI デバイスの微細化が進み今以上の信号処理が可能となることを考えた場合、その果たす役割は大きい。

第5章では、ノイズシェーピング・ダイナミック・エレメント・マッチング法を内部 DAC に用いた高次  $\Delta$ - $\Sigma$  変調器について述べた。この構成方法では、理論的に計算される高次  $\Delta$ - $\Sigma$  変調器の SNR に近い特性を容易に実現することが可能になる。また、木構造ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いることにより、ハードウェア規模を削減の増大を削減した。本提案の TNSDEM を用いた方法によって、内部多ビット DAC を用いた  $\Delta$ - $\Sigma$  変調器の高性能化を実現した。この方法を用いることにより、低消費電力で高速高精度な DAC や ADC を実現することが可能となる。また、2次 TNSDEM を用いた、本提案の3次  $\Delta$ - $\Sigma$  ADC および DAC を  $0.6\mu\text{m}$  CMOS 半導体プロセスで試作し評価した。試作した ADC および DAC の  $100\text{kHz}$  帯域のダイナミックレンジは  $5\text{MHz}$  のクロックで、それぞれ  $80\text{dB}$  および  $79\text{dB}$  で、このときの消費電力は、ADC は  $9.6\text{mW}$ 、DAC は  $5.2\text{mW}$  であった。この試作チップの測定結果から、本手法が内部 DAC のバラツキに起因する雑音を低減することに対して有効であることが示された。また、本手法を用いることにより、多-bit 内部 DAC を用いることが可能になるため  $\Delta$ - $\Sigma$  変調器の高速化、低消費電力化にも有効であることも示された。TNSDEM を用いる本提案手法は、TNSDEM がデジタル回路であることから今後半導体プロセスの微細化が進むにつれ、ますます有効な手段となる。

第6章では、従来の受信システムに  $\Delta$ - $\Sigma$  変調器の概念を導入し、周波数変換器を持った AD 変換器およびこれを用いた新しいタイプの受信機の構成法を提

案し、この方法の効果をシミュレーションにより確認した。この構成を用いることにより、ダウンコンバート用ミキサの歪の影響が緩和され、新たに必要となるアップコンバータの歪や DA 変換器の雑音の影響は、NSDEM を用いることにより低減されることが示された。また、アップコンバータは、NSDEM を用いることによりスイッチで構成可能となり、その歪の影響は大幅に緩和される。さらに、この構成ではシステム全体が  $\Delta$ - $\Sigma$  変換器として動作するため、内部 AD の bit-数を必要とされる bit-数よりも少なくすることが可能となり、ハードウェア規模の削減を図ることが可能となる。本提案の方法は、変調波のような信号帯域は狭いが周波数の高い信号を AD 変換する際に有効な手段となりうるということが、システムレベルの解析およびシミュレーションによって示された。

以上  $\Delta$ - $\Sigma$  変調技術およびこれを拡張したノイズシェーピング・ダイナミックエレメント・マッチング法を提案し、さらにデジタル信号処理、アナログ信号処理を効果的に組み合わせることにより、素子バラツキの影響を低減しアナログ回路の高性能化を達成した。

## 謝辞

本論文をまとめるにあたり、ご懇切なる御指導、御鞭撻を賜った法政大学工学部電気電子工学科斎藤利通教授、法政大学工学部電気電子工学科小林尚登教授、法政大学工学部電気電子工学科本間紀之教授、法政大学工学部電気電子工学科壇良教授、上智大学理工学部電気・電子工学科田中衛教授に深甚なる感謝の意を表します。特に、斎藤利通教授には論文の作成にあたり、多くのご教示を賜り心から御礼申し上げます。

本研究は、筆者が株式会社東芝 研究開発センターにおいて集積回路の研究に携わる中で行ったものであり、本論文をまとめる機会を与えて下さいました株式会社東芝 下村 尚久顧問（元東芝 総合研究所所長）、同社 笠見昭信専務（元東芝 研究開発センター所長）、同社 中塚晴夫常務（元東芝 研究開発センター所長）、同社 東芝 研究開発センター東実所長、同社 デジタルメディア機器社鈴木秀夫技師長、同社 情報・社会システム社CE・S Iコンサルティング推進部南正名理事、同社 デジタルメディア機器社モバイルコンピューティング&コミュニケーション開発センター杉山文夫副センター長、同社 研究開発センターモバイル通信ラボラトリー鈴木康夫室長に深く感謝の意を表します。

さらに、本論文をまとめる機会を与えて下さると共に本分野の研究を共に進められた同社 開発センターモバイル通信ラボラトリー谷本洋研究主幹に深く感謝の意を表します。また、本分野の研究を共に進められた同社 セミコンダクター社システム LSI 事業部システム L S I 設計技術統括部ミックスシグナル CMOS 設計技術担当飯田哲也主幹、同社 開発センター研究企画室板倉哲郎経営変革エキスパート、同社 セミコンダクター社システム LSI 事業部システム L S I 設計

技術統括部設計インフラ技術担当山口明参事，岩手東芝エレクトロニクス株式会社マイクロプロセッサ・メモリ応用技術担当高橋誓主務，株式会社東芝 開発センターモバイル通信ラボラトリー上野隆氏，元株式会社東芝 半導体事業本部システム LSI 事業部 LSI 設計第二担当小田孝子氏に感謝致します。

また，集積回路回路開発に多大なるご協力を頂いた同社 セミコンダクター社システム LSI 事業部システム L S I 設計技術統括部通信システム L S I 設計技術担当小泉正幸主務，同社 セミコンダクター社システム LSI 事業部システム L S I 設計技術統括部ミックスシグナル CMOS 設計技術担当濱西直之氏，同社 セミコンダクター社システム LSI 事業部システム L S I 設計技術統括部通信システム L S I 設計技術担当伊東由紀子氏に感謝致します。さらに本分野の研究を共に進められた同社 開発センターモバイル通信ラボラトリー奥村万規子主務，鶴見博史主務，大高章二主務，山路隆文主務，藤本竜一主務，上野武司氏に感謝いたします。

## 参考文献

- [1] H. Inose, Y. Yasuda, and J. Murakami, "A Telemetry System by Code Modulation  $\Delta$ - $\Sigma$  Modulation," *IRE Transactions Space Electron. Telemetry*, Vol. SET-8, pp. 204-209, 1962.
- [2] V. D. Plassche, "Integrated an Analog-to-Digital and Digital-to-Analog Converters," Kluwer Academic Publishers.
- [3] R. M. Gray, "Oversampled Sigma-Delta Modulation," *IEEE Transactions on Communications*, Vol. 35, No. 5, pp. 481-489, 1987.
- [4] J. C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters," *IEEE Transactions on Communications*, Vol. 22, No. 3, pp. 298-305, 1974.
- [5] J. C. Candy and O. J. Benjamin, "The Structure of Quantization Noise from Sigm-Delta Modulator," *IEEE Transactions on Communications*, Vol. COM-29, No. 9, pp. 1316-1323, 1981.
- [6] S. Hein, "Exploiting Chaos to Suppress Spurious Tones in General Double-Loop Sigma Delta Modulators," *IEEE Transactions on Circuits and Systems II*, Vol. 40, No. 10, pp. 651-659, 1993.
- [7] S. K. Tewksbury and R. W. Hallock, "Oversampled Linear Predictive and Noise-Shaping Coders of Order  $N > 1$ ," *IEEE Transactions on Circuits and Systems*, Vol. CAS-25, No. 7, pp. 436-447, 1978.
- [8] H. Wang, "A Geometric View of  $\Delta$ - $\Sigma$  Modulations," *IEEE Transactions on Circuits and Systems-II*, Vol. 39, No. 2, pp. 402-405, 1992.

- [9] S. C. Pinault and P. V. Lopresti, "On the Behavior of the Double-Loop Sigma-Delta Modulator," *IEEE Transactions on Circuits and Systems-II*, Vol. 40, No. 8, pp. 467-479, 1993.
- [10] S. Hein and Zakhor, "On the Stability of Sigma Delta Modulators," *IEEE Transactions on Signal Processing*, Vol. 41, No. 41, pp. 2322-2348, 1993.
- [11] W. L. Lee and C. G. Sodini, "A Topology for Higher Order Interpolative Coders," *IEEE ISCAS*, Vol. 4, pp. 459-462, 1987.
- [12] Matsumoto, I. K., E., Yoshitaka, A. K., K., and R. W. Adams, "An 18b Oversampling A/D Converter for Digital Audio," *ISSCC Digest of Technical Papers*, pp. 202-203, 1988.
- [13] A. Yasuda, "Sampling frequency conversion apparatus," *U.S. Patent Number 5191334*, 1993.
- [14] 椿, 本間, 中谷, "PHP用変調(ベースバンド)LSIの開発," 信学会秋季全大, Vol. B, p. 286, 1992.
- [15] Y. Kobayashi, "An Integrated  $\pi/4$ -Shift QPSK Baseband Modulator," *IEEE 1994 Custom Integrated Circuits Conference*, pp. 16.6.1-16.6.4, 1994.
- [16] 楢木, 弥永, 奥秋, 山本, "第2世代コードレス電話用ベースバンド信号処理LSIの開発," 信学会秋季全大, Vol. C, p. 500, 1994.
- [17] H. Quieting and G. S. Moschytz, "Analog FIR Filter with an Oversampled  $\Delta$ - $\Sigma$  Modulator," *IEEE Trans. Circuits Syst.*, Vol. 39, No. 9, pp. 658-663, 1992.
- [18] D. K. Su and B. A. Wooley, "A CMOS Oversampling D/A Converter with a Current-Mode Semi-Digital Reconstruction Filter," *Digest of technical papers ISSCC93*, pp. 230-231, 1993.
- [19] 安田, 谷本, 高橋, " $\Delta$ - $\Sigma$ 変調器を用いた $\pi/4$ シフトQPSK信号発生器," 電子情報通信学会春季大会, Vol. 2, p. 328, 1993.

- [20] A. Yasuda, H. Tanimoto, C. Takahashi, A. Yamaguchi, and M. Koizumi, "A Small-Size Adder-Free  $\pi/4$ -Shift QPSK Signal Generator," *IEEE 1995 Custom Integrated Circuits Conference*, pp. 315-318, 1995.
- [21] 安田, 谷本, 小田, "アナログフィルタ特製への要求を緩和した $\pi/4$ シフトQPSK信号発生器," 電子情報通信学会論文誌 J81A, No. 3, pp. 328-335, 1998.
- [22] 安田, 谷本, 高橋, 山口, 小泉, "加算器を不要にした小型 $\pi/4$ シフトQPSK信号発生器," 電子情報通信学会集積回路研究会, 1995.
- [23] H. Tanimoto, T. Itakura, T. Ueno, A. Yasuda, and K. Oda, "An Offset-Free LPF for  $\pi/4$ -Shift QPSK Signal Generator," *IEEE Journal of Solid-State Circuits*, Vol. 31, pp. 2051-2055, 1996.
- [24] H. Tanimoto, T. Itakura, T. Ueno, A. Yasuda, and K. Oda, "An Offset-Free LPF for  $\pi/4$ -shift QPSK Signal Generator," *IEEE ISSCC Dig. Tech. Papers*, pp. SA17-1, 1996.
- [25] A. Yasuda, H. Tanimoto, C. Takahashi, A. Yamaguchi, and M. Koizumi, "An Adder-Free Method for a Small Size  $\pi/4$  Shift QPSK Signal Generator," *IEICE Trans. Fundamentals*, Vol. E80-A, No. 2, pp. 291-295, 1997.
- [26] H. Tanimoto, T. Itakura, T. Ueno, A. Yasuda, and K. Oda, "An Offset-Free LPF for  $\pi/4$ -Shift QPSK Signal Generator," *IEEE Journal of Solid-State Circuits*, Vol. 31, pp. 2051-2055, 1996.
- [27] A. Yasuda, "Selection apparatus," *U.S. Patent Number 5872532*, 1999 (filed Sep. 1994).
- [28] 安田, 谷本, "ノイズシェーピング・ダイナミック・エレメント・マッチング法," 電子情報通信学会 基礎・境界ソサイエティ大会 A13, p. 13, 1996.
- [29] 安田, 谷本, "ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いた $\Delta$ - $\Sigma$ 変調器の消費電力に関する検討," 電子情報通信学会 基礎・境界ソサイエティ大会 A7, p. 7, 1997.



- [30] A. Yasuda, H. Tanimoto, and T. Iida, "A 100kHz, 9.6mW multibit  $\Delta\Sigma$  DAC and ADC using Noise Shaping Dynamic Elements Matching with a Tree Structure," *IEEE ISSCC Dig. Tech. Papers*, pp. 64–65, 1998.
- [31] A. Yasuda, H. Tanimoto, and T. Iida, "A Third-Order  $\Delta\Sigma$  Modulator using Second-Order Noise Shaping Dynamic Element Matching," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 12, pp. 1879–1886, 1998.
- [32] 安田, "Δ-Σ 変調器をベースとしたバラツキによる雑音の低減技術," 電子情報通信学会回路とシステム (軽井沢) ワークショップ, pp. 193–198, 1999.
- [33] 上野, 安田, "ノイズシェーピング・ダイナミック・エレメント・マッチングを用いた高精度 DAC におけるロバスト性の実証," 電子情報通信学会エレクトロニクスソサイエティ大会, p. 112, 1999.
- [34] A. Yasuda, "High Speed ADC/DAC Using  $\Delta\Sigma$  Modulation -Toward SDR Tranceiver-," *IEICE MWE1999*, pp. 221–226, 1999.
- [35] A. Yasuda and H. Tanimoto, "Noise Shaping Dynamic Element Matching Method using Tree Structure," *IEE Electronics Letters*, Vol. 33, No. 2, pp. 130–131, 1997.
- [36] 安田, 谷本, "木構造ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いた  $\Delta\Sigma$  DAC," 電子情報通信学会基礎・境界ソサイエティ大会 A1-14, p. 14, 1998.
- [37] O. J. A. P. Nys and R. K. Henderson, "An Analysis of Dynamic Element Matching Techniques in Sigma Delta Modulation," *Proceedings of the 1996 IEEE International Symposium on Circuits and Systems*, pp. 231–234, 1996.
- [38] R. J. and V. D. Plassche, "Dynamic Element Matching for High-Accuracy Monolithic D/A Converters," *IEEE Journal of Solid-State Circuits*, Vol. 6, pp. 795–800, 1976.
- [39] 湯川, "オーバーサンプリング A-D 変換技術," 日経 BP 社.

- [40] L. R. Carley, "A Noise-Shaping Coder Topology for 15 + Bit Converters," *IEEE Journal of Solid-State Circuits*, Vol. 24, No. 2, pp. 267–273, 1989.
- [41] M. J. Story, "Digital to Analogue Converter Adapted to Select Input Sources Based on a Preselected Algorithm Once Per Cycle of a Sampling Signal," *U.S. Patent Number 5138317*, 1992 (filed July 1 1989).
- [42] B. H. Leung and S. Sutarja, "Multi-bit  $\Delta\Sigma$  A/D Converter Incorporating a Novel Class of Dynamic Element matchig," *IEEE Transacton of Circuits and Systems II*, Vol. 39, pp. 35–51, 1992.
- [43] B. H. Leung, "Architectures for Multi-Bit Oversampled A/D converter Employing Dynamic Element Matching Techniques," *IEEE International Symposium on Circuits and System*, pp. 1657–1660, 1991.
- [44] R. T. Baird and T. S. Fiez, "Improved  $\Delta\Sigma$  DAC Linearity using Data Weighted Averaging," *Proceedings of the 1995 IEEE International Symposium on Circuits and Systems*, Vol. 1, pp. 13–16, 1995.
- [45] R. T. Baird and T. S. Fiez, "Linearity Enhancement of Multibit  $\Delta\Sigma$  A/D and D/A Converters Using Data Weighted Averaging," *IEEE J. Solid-State Circuits*, Vol. 42, pp. 753–762, 1995.
- [46] 谷, "1 ビット D/A 変換アレイを用いた D/A 変換方式," 信学技報, Vol. CAS94-9, pp. 63–70, 1994.
- [47] R. Schreier and B. Zhang, "Noise-Shaped Multibit D/A Convertor Employing Unit Elements," *IEE Electronics Letters*, pp. 1712–1713, 1995.
- [48] I. Galton, "Spectral Shaping of Circuit Errors in Digital-to-Analog Converters," *IEEE J. Solid-State Circuits*, Vol. 44, pp. 808–817, 1997.
- [49] L. Hernandez, "A Model of Mismatch-Shaping D/A Conversion for Linearized DAC Architectures," *IEEE Transactions of Circuits and Systems I*, Vol. 45, No. 10, pp. 1068–1076, 1998.
- [50] T. Shui, R. Schreier, and F. Hudson, "Mismatch Shaping for a Current-

- Mode Multibit Delta-Sigma DAC," *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 3, pp. 331-338, 1999.
- [51] C. Takahashi, R. Fujimoto, S. Arai, T. Itakura, T. Ueno, H. Tsurumi, H. Tanimoto, S. Watanabe, and K. Hirakawa, "A 1.9 GHz Si direct Conversion Receiver IC for QPSK Modulation System," *IEEE ISSCC Dig. Tech. Papers*, pp. 138-139, 1995.
- [52] J. J. Price, "A Passive-Laser-Trimming Technique to Improve the Linearity of a 10-bit D/A Converter," *IEEE Journal of Solid-State Circuits*, Vol. 11, No. 6, pp. 789-794, 1976.
- [53] J. R. Naylor, "A Complete High-Speed Voltage Output 16-bit Monolithic DAC," *IEEE Journal of Solid-State Circuits*, Vol. 18, No. 6, pp. 729-735, 1983.
- [54] T. Itakura, H. Tanimoto, T. Ueno, A. Yasuda, and K. Oda, "A 2.7V 200kHz 49dBm-IIP3 28nV/ $\sqrt{\text{Hz}}$  Input-Referred- Noise Fully-Balanced Gm-C Filter IC," *IEEE ISSCC Dig. Tech. Papers*, pp. 14-4-1, 1998.
- [55] P. C. Bruce Kraemer, D. Damerrow, and K. Bacrania, "Advances in Semiconductor Technology Enabling Software Radio," *Software Workshop Brussels*, 1997.
- [56] A. Yasuda and H. Tanimoto, "Bandpass  $\Delta$ - $\Sigma$  Modulator with Frequency Converters in Feedback Loop," *IEE Electronics Letters*, Vol. 34, No. 24, pp. 2293-2295, 1998.
- [57] 安田, "周波数変換機能を有する  $\Delta$ - $\Sigma$  変調器の検討," 電子情報通信学会基礎・境界ソサイエティ大会, pp. 429-430, 1999.

## 発表論文

### 論文

- Akira Yasuda, Hiroshi Tanimoto, Chikau Takahashi, and Akira Yamaguchi, "An Adder-Free Method for a Small Size  $\pi/4$  Shift QPSK Signal Generator," *IEICE Trans.Fundamentals*, Vol. E80-A, No. 2 Feb. 1997, pp. 291-295.
- 安田 彰, 谷本 洋, 小田 孝子, "アナログフィルタ特性への要求を緩和した  $\pi/4$  シフト QPSK 信号発生器," 電子情報通信学会論文誌 A Vol. J81-A, No. 3, 1998年3月, pp. 328-335.
- A.Yasuda, H. Tanimoto, "Noise Shaping Dynamic Element Matching Method using Tree Structure," *IEE Electronics Letters*, Vol. 33, No. 2, 16th Jan. 1997, pp. 130-131.
- A.Yasuda, H. Tanimoto, Tetsuya Iida, "A Third-Order  $\Delta$ - $\Sigma$  Modulator Using Second-Order Noise-Shaping Dynamic Element Matching," *Journal of Solid-State Circuits*, Vol. 33, No. 12, Dec. 1998, pp. 1879-1886.
- A. Yasuda H. Tanimoto, "Bandpass  $\Delta$ - $\Sigma$  Modulator with Frequency Converters in Feedback Loop," *IEE Electronics Letters*, 26th Nov. 1998, Vol. 34 No. 24, pp. 2293-2295.
- Hiroshi Tanimoto, Tetsuro Itakura, Takashi Ueno, Akira Yasuda, Kazuhiro Oda, "An Offset-Free LPF for  $\pi/4$ -Shift QPSK Signal Generator," *IEEE Journal of Solid-State Circuits*, Vol. 31, Dec. ,1996, pp. 2051-2055.

## 国際学会

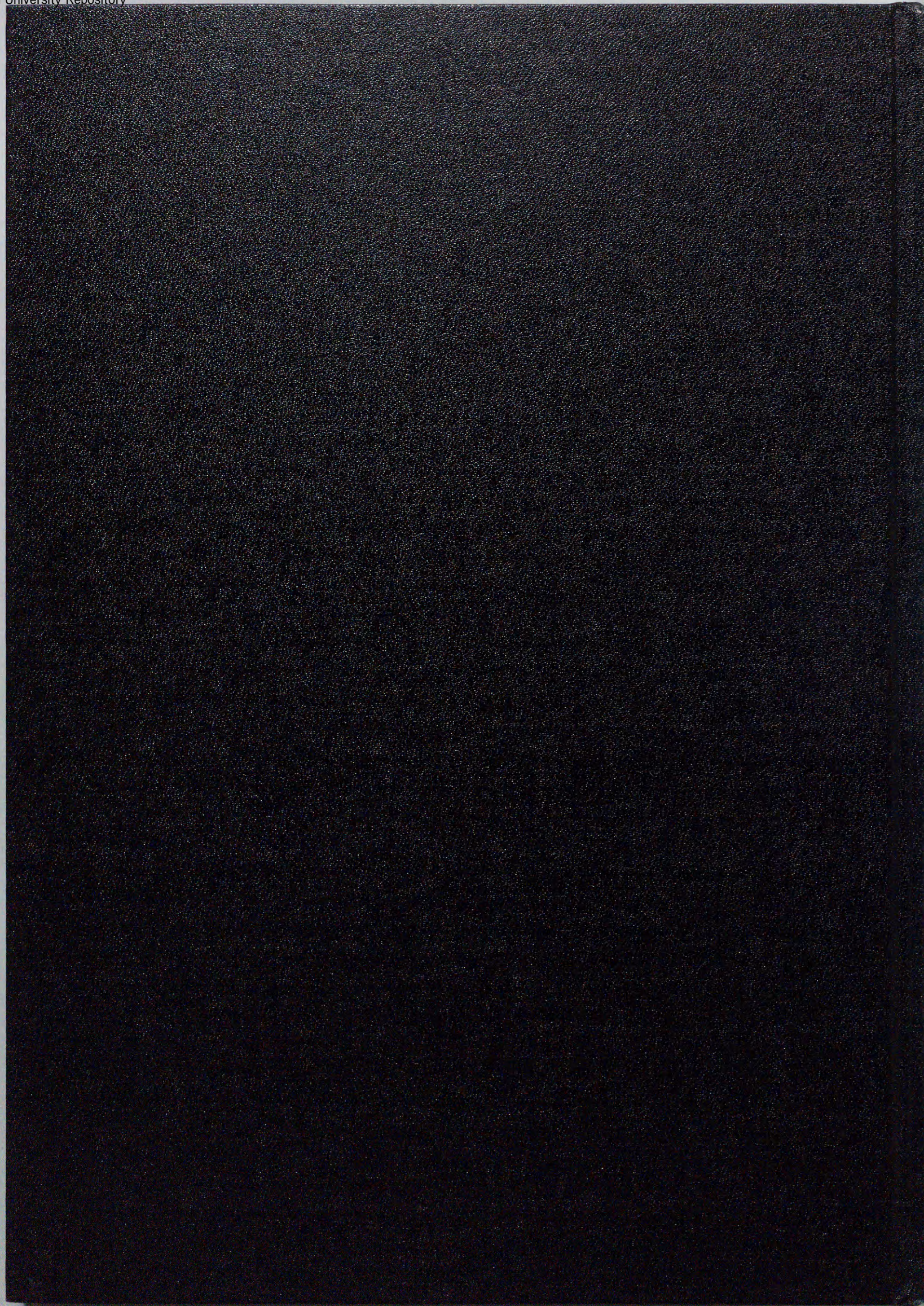
- Akira Yasuda, H. Tanimoto, C. Takahashi, A. Yamaguchi, M. Koizumi, "A Small-Size Adder-Free  $\pi/4$ -Shift QPSK Signal Generator," IEEE, 1995 Custom Integrated Circuits Conference, pp. 315-318.
- Hiroshi Tanimoto, Tetsuro Itakura, Takashi Ueno, Akira Yasuda, Kazuhiro Oda 1, "An Offset-Free LPF for  $\pi/4$ -shift QPSK Signal Generator," IEEE ISSCC Dig. Tech. Papers, Feb. 1996, pp. 284-285.
- Akira Yasuda, Hiroshi Tanimoto, Tetsuya Iida, "A 100kHz, 9.6mW multibit  $\Delta$ - $\Sigma$  DAC and ADC using Noise Shaping Dynamic Elements Matchig with a Tree Structure," IEEE ISSCC Dig. Tech. Papers, Feb. 1998, pp. 64-65.
- T. Itakura, T. Ueno, H. Tanimoto, A. Yasuda, R. Fujimoto, T. Arai, H. Kokatsu, "A 2.7V 200kHz 49dBm-IIP3 28nV/rootHz Input-Referred-Noise Fully-Balanced Gm-C Filter IC," IEEE ISSCC Dig. Tech. Papers, Feb. 1998, pp. 220-221.
- T. Itakura, T. Ueno, H. Tanimoto, A. Yasuda, R. Fujimoto, T. Arai and H. Kokatsu, "A 2.7-V, 200-kHz, 49-dBm, Stopband-IIP3, Low-Noise, Fully Balanced Gm-C filter IC," IEEE Journal of Solid-State Circuits, Vol. 34, No. 8, Aug. , 1999, pp. 1155-1159.
- Hisato Kobayashi, Akira Yasuda, "A Feedback ON-OFF Control Law for DC Motor Position Servo System," IEEE, Proceedings IECON 1986 Vol.2 pp. 579-584.
- Hisato Kobayashi, Akira Yasuda, "A Self-Oscillating Inverter System with Optimal PWM Pattern," IEEE, IECON 1987 Vol.1 pp. 375-382.
- Akira Yasuda, "High Speed ADC/DAC Using  $\Delta$ - $\Sigma$  Modulation -Toward SDR Tranceiver-, " IEICE, MWE1999, pp. 221-226.

## 国内学会および研究会

- 安田 彰, 谷本 洋, 新田 芳憲, "歪率と量子化雑音を改善した多ビット  $\Delta$ - $\Sigma$  変調器," 電気学会, ECT-92-23, pp. 69-78.
- 安田 彰, 谷本 洋, 高橋 誓, " $\Delta$ - $\Sigma$  変調器を用いた  $\pi/4$  シフト QPSK 信号発生器," 電子情報通信学会春季大会, B327, p. 2-328.
- 安田 彰, 谷本 洋, 高橋 誓, 山口 明, 小泉 正幸, "加算器を不要にした小型  $\pi/4$  シフト QPSK 信号発生器," 電子情報通信学会, CAS95-48, ICD95-121(1995-09), Sep., 1995, pp. 17-24.
- 安田 彰, 谷本 洋, "ノイズシェーピング・ダイナミック・エレメント・マッチング法," 電子情報通信学会, 1996 年基礎・境界ソサイエティ大会, A-13, p. 13.
- 安田 彰, "ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いた  $\Delta$ - $\Sigma$  変調器の消費電力に関する検討," 電子情報通信学会, 1997 年基礎・境界ソサイエティ大会, A-7, p. 7.
- 安田 彰, "木構造ノイズシェーピング・ダイナミック・エレメント・マッチング法を用いた  $\Delta$ - $\Sigma$  DAC," 電子情報通信学会, 1998 年基礎・境界ソサイエティ大会, A-1-14, p. 14.
- 安田 彰, "周波数変換機能を有する  $\Delta$ - $\Sigma$  変調器の検討," 電子情報通信学会, 総合大会, SA-1-3, pp. 429-430.
- 安田 彰, " $\Delta$ - $\Sigma$  変調器をベースとしたバラツキによる雑音の低減技術," 電子情報通信学会 回路とシステム (軽井沢) ワークショップ, Aprl, 1999, pp. 193-198.
- 上野 武司, 安田 彰, "ノイズシェーピング・ダイナミック・エレメント・マッチングを用いた高精度 DAC におけるロバスト性の実証," 電子情報通信学会, エレクトロニクスソサイエティ大会, C-12-42, p. 112.

## USP

- Selection apparatus, USP-5872532,  
(ノイズシェーピング・ダイナミック・エレメント・マッチング法に関する基本特許)
- A/D converter apparatus with frequency conversion function and radio apparatus using the same, USP-5841388,  
(周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器の基本特許)
- Signal generating apparatus, USP-5495504,  
( $\Delta$ - $\Sigma$ 変調器を用いたQPSK信号発生器に関する基本特許)
- Equipment for generating a transmit signal from first and second digital signals, USP-5590155,  
(周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器を用いたQPSK信号発生器に関する基本特許)
- Integration type D-A/A-D Conversion apparatus capable of shortening conversion processing time, USP-5373292,  
(バーニアの原理を応用した積分型ADC, DACに関する特許)
- A/D converter utilizing a first reference voltage divider and level shifting of a second voltage divider by input signal, USP-5264851,  
(バーニアの原理を応用したADC, DACに関する基本特許)
- Sampling frequency conversion apparatus, USP-5191334,  
(マルチレートフィルタを用いたデシメーションフィルタに関する特許)
- A/D converter including error correction for a local D/A converter, USP-5101205,  
( $\Delta$ - $\Sigma$ ADCの内部多ビットDACのひずみの補正方法に関する特許)
- Current amplifier and current mode analog/digital converter using the same, USP-5963158,  
(電流モード増幅器およびこれを用いたADCに関する特許)



0004.jp2	Abstract
0004.jp2	Abstract
0005.jp2	目次 / p1
0006.jp2	第1章 序論 / p3
0006.jp2	1.1 研究の背景 / p3
0008.jp2	1.2 研究の目的 / p6
0008.jp2	1.3 概要 / p6
0009.jp2	第2章 $\Delta$ - $\Sigma$ 変調器の基礎理論 / p9
0009.jp2	2.1 はじめに / p9
0009.jp2	2.2 アナログデジタル変換 / p9
0010.jp2	2.3 1次 $\Delta$ - $\Sigma$ 変調器 / p11
0012.jp2	2.4 2次 $\Delta$ - $\Sigma$ 変調器 / p15
0014.jp2	2.5 高次 $\Delta$ - $\Sigma$ 変調器 / p18
0015.jp2	2.6 高次 $\Delta$ - $\Sigma$ 変調器の安定化 / p21
0018.jp2	2.7 デシメーションフィルタ / p26
0020.jp2	2.8 まとめ / p30
0020.jp2	第3章 $\Delta$ - $\Sigma$ 変調器を用いた $\pi/4$ シフトQPSK信号発生器 / p31
0020.jp2	3.1 はじめに / p31
0021.jp2	3.2 QPSK信号発生器 / p32
0021.jp2	3.3 デジタル加算器を用いない構成法 / p33
0023.jp2	3.4 QPSK信号発生器におけるLPF特性の影響 / p36
0025.jp2	3.5 アナログFIRフィルタを用いた信号発生器の構成 / p40
0027.jp2	3.6 変調精度の改善 / p45
0029.jp2	3.7 DACおよびFIRフィルタの構成法 / p49
0031.jp2	3.8 本QPSK信号発生器の特性評価 / p52
0034.jp2	3.9 まとめ / p59
0035.jp2	第4章 ノイズシェーピング・ダイナミック・エレメント・マッチング法 / p61
0035.jp2	4.1 はじめに / p61
0036.jp2	4.2 DACにおけるバラツキの影響 / p62
0036.jp2	4.3 高精度変換技術 / p63
0038.jp2	4.4 ノイズシェーピング・ダイナミック・エレメント・マッチング法 / p66
0042.jp2	4.5 NSDEMの実現方法 / p75
0042.jp2	4.6 本構造ノイズシェーピング・ダイナミック・エレメントマッチング法 / p75
0044.jp2	4.7 シミュレーション結果 / p78
0048.jp2	4.8 まとめ / p87
0049.jp2	第5章 NSDEMを用いた高精度・広帯域・低消費電力 $\Delta$ - $\Sigma$ ADCの提案 / p89
0049.jp2	5.1 はじめに / p89
0050.jp2	5.2 多-bit内部DACの非線形性の影響 / p91
0051.jp2	5.3 $\Delta$ - $\Sigma$ ADCの設計 / p93
0055.jp2	5.4 回路設計 / p101
0057.jp2	5.5 本ADC,DACの特性評価 / p105
0060.jp2	5.6 まとめ / p111
0061.jp2	第6章 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器 / p113
0061.jp2	6.1 はじめに / p113
0062.jp2	6.2 従来の受信システム / p114
0062.jp2	6.3 周波数変換機能を持った $\Delta$ - $\Sigma$ 変調器 / p115
0068.jp2	6.4 周波数変換機能を持った多-bit $\Delta$ - $\Sigma$ 変調器 / p126
0074.jp2	6.5 まとめ / p138
0075.jp2	第7章 結論 / p141