

FIRフィルタを用いて信号帯域内雑音を低減した $\Delta\Sigma$ 変調器に関する研究

清川, 佳博 / KIYOKAWA, Yoshihiro

(発行年 / Year)

2012-03-24

(学位授与年月日 / Date of Granted)

2012-03-24

(学位名 / Degree Name)

修士(工学)

(学位授与機関 / Degree Grantor)

法政大学 (Hosei University)

2011 年度 修士論文

FIR フィルタを用いて信号帯域内雑音を低減した $\Delta\Sigma$ 変調器に関する研究

A Delta-Sigma Modulator with a FIR Filter reducing
Quantization Noise in Signal-Band

指導教授 安田 彰 教授

法政大学大学院 工学研究科

電気工学専攻 修士課程

10R3116 清川 佳博

Abstract

This paper presents a novel delta-sigma modulator (DSM) using a finite-impulse-response (FIR) filter in the loop filter. The FIR filter having several DC gain and a low-pass (LP) characteristic suppresses a quantization noise in signal-band. In addition, the poles of noise-transfer-function (NTF) are added by the FIR filter, it is able to modify the gain of NTF near the nyquist frequency. Therefore, the NTF without a large gain peak is realized, it leads to a stability operation. This paper shows the simulation results of proposed first order and second order DSM using the FIR filter, and the effectiveness of the proposed architecture is confirmed.

Key Words : *A/D converter, Delta-sigma modulator, FIR filter*

目次

第1章	はじめに.....	5
第2章	A/D変換器.....	6
2-1	アナログ・デジタル混合システム.....	6
2-2	A/D変換.....	7
2-2-1	標本化.....	7
2-2-2	量子化.....	9
2-3	オーバーサンプリング.....	11
第3章	$\Delta\Sigma$ 変調器.....	13
3-1	1次 $\Delta\Sigma$ 変調器.....	14
3-2	2次 $\Delta\Sigma$ 変調器.....	17
3-3	$\Delta\Sigma$ 変調器の安定性.....	20
3-4	無歪み型 $\Delta\Sigma$ 変調器.....	21
第4章	広帯域 $\Delta\Sigma$ 変調器.....	24
4-1	連続時間型と離散時間型積分器.....	24
4-2	離散時間型 $\Delta\Sigma$ 変調器の広帯域化.....	27
4-2-1	タイムインターリーブ方式.....	27
4-2-2	ダブルサンプリング方式.....	27
4-2-3	問題点.....	28
第5章	提案方式.....	30
5-1	$\Delta\Sigma$ 変調器のNTFに関する制約.....	30
5-2	提案するFIRフィルタを用いた $\Delta\Sigma$ 変調器.....	32
第6章	シミュレーション.....	34
6-1	提案手法を用いた1次無歪み型 $\Delta\Sigma$ 変調器.....	34
6-1-1	伝達関数.....	34

6-1-2 シミュレーション結果.....	36
6-2 提案手法を用いた2次無歪み型 $\Delta\Sigma$ 変調器.....	37
6-2-1 伝達関数.....	37
6-2-2 シミュレーション結果.....	39
6-3 FIRフィルタの係数ミスマッチに対する耐性.....	42
第7章 トランジスタ回路レベルの検討.....	43
7-1 FIRフィルタの回路構成方法.....	43
7-2 提案手法を用いた2次無歪み型 $\Delta\Sigma$ 変調器.....	45
7-3 シミュレーション結果.....	46
第8章 まとめ.....	47
謝辞.....	47
参考文献.....	47
発表論文.....	48

第1章 はじめに

近年、デバイスの微細化が進み、CMOS回路の速度は飛躍的に向上している。その結果、デジタル回路は高集積化が進み、高速・高精度な信号処理が可能となっている。それに伴い、外部のアナログ信号からデジタル信号へ変換するA/D変換器にも、高速、高精度な変換性能が求められる。

A/D変換器の一種である $\Delta\Sigma$ 変調器は、素子のばらつきの影響をオーバーサンプリングという手法を用いて緩和することができる。そのため、プロセスの微細化は $\Delta\Sigma$ 変調器にとって追い風であるといえる。

$\Delta\Sigma$ 変調器の信号対ノイズ比(SNR)は、量子化雑音に対する伝達関数(NTF)により決定される。 $\Delta\Sigma$ 変調器の信号対ノイズ比(SNR)を向上させる方法として、積分器の2相のクロックを利用し、2倍のサンプリング効果を得るダブルサンプリング方式や、並列に複数個の変調器を動作させ、変調器の動作速度を向上するタイムインターリーブ方式が提案されている。しかし、前者は各相のキャパシタ mismatchにより信号帯域内に折り返し雑音が発生し、SNRが著しく損なわれる。そのため、NTFの特性を犠牲にして折り返し雑音を防ぐ必要がある。また、後者は各チャンネル間の mismatchによりSNRが劣化するため、補正回路の追加が必要となる。

本研究では、 $\Delta\Sigma$ 変調器のループフィルタ内部にFIRフィルタを用いることにより、ループフィルタの直流利得を増加させ、NTFの特性を向上することを目的とする。FIRフィルタはスイッチドキャパシタ(SC)回路で簡単に構成することができるため、新たな積分器、量子化器を必要としない。また、一つのループフィルタで信号を処理するため、FIRフィルタの各係数 mismatchが変調器に与える影響が少なく、補正を加える必要がない。

本論文では、MATLAB/Simulinkを用いて、提案手法を用いた $\Delta\Sigma$ 変調器の有効性を確認した。また、SPICEでの提案手法を用いた $\Delta\Sigma$ 変調器の有効性を確認した。

第2章 A/D変換器

2-1 アナログ・デジタル混合システム

現在幅広く用いられている DVD デコーダやテレビ、携帯電話などの多くはデジタル信号処理 (DSP) により実現されている。しかし、デジタル信号処理を行う前には、必ず自然界の信号 (アナログ信号) をデジタルに変換する必要がある。これを A/D 変換器と呼ぶ。反対に、デジタル信号からアナログ信号に変換する装置を D/A 変換と呼ぶ。

図1は、デジタル信号処理系の一般的な構成である。入力のフィルタは「アンチエイリアスフィルタ」と呼ばれる低域通過フィルタ (LPF) である。デジタル信号処理系では、PLL によってジッタの少ないクロック信号に同期している。この場合標本化定理により、扱うことのできる信号の最高周波数はナイキスト周波数を越えることができないので、サンプリング周波数の 1/2 より高い周波数成分を取り除くために、LPF を挿入する必要がある。A/D 変換を実行するとデジタル信号となり、DSP と呼ばれる専用のコンピュータによって信号処理し、DAC で再びアナログ信号に戻す。DAC の出力には、サンプリングクロックの周波数成分が混入しているので、LPF を用いて取り除く

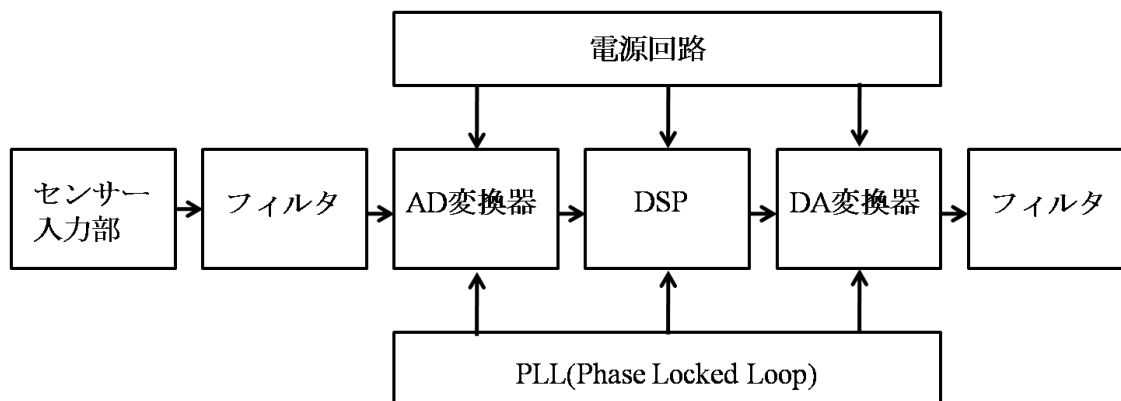


図1 アナログ・デジタル混合システム

2-2 A/D 変換

センサーにより観測したアナログの電圧データは、A/D 変換器により標本化、量子化を行い、デジタル信号に変換する。その様子を図 2 に示す。標本化は時間に対する離散化であり、量子化は電圧に対する離散化を示す。すなわち、2つの離散化を行なっていることに等しい。

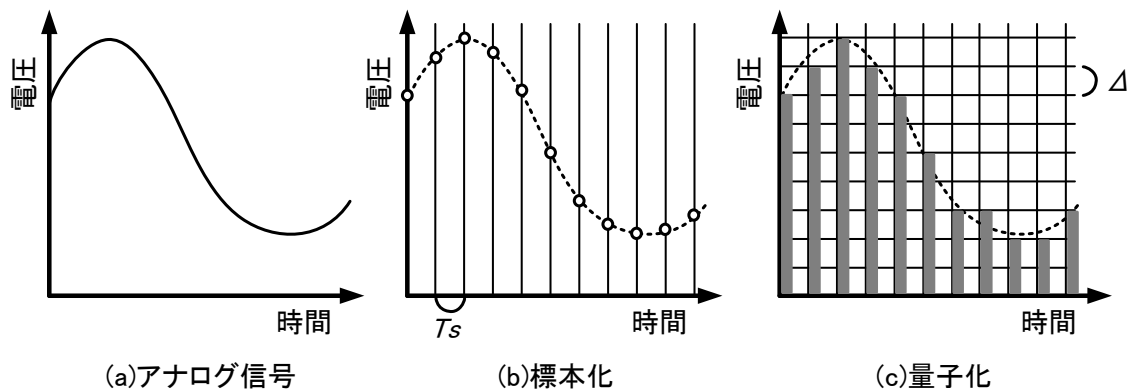


図 2 標本化と離散化

2-2-1 標本化

図 2 に示すように、アナログ信号 $x(t)$ を一定間隔 T_s で標本化することにより、標本化列 $x(n)$ が得られる。

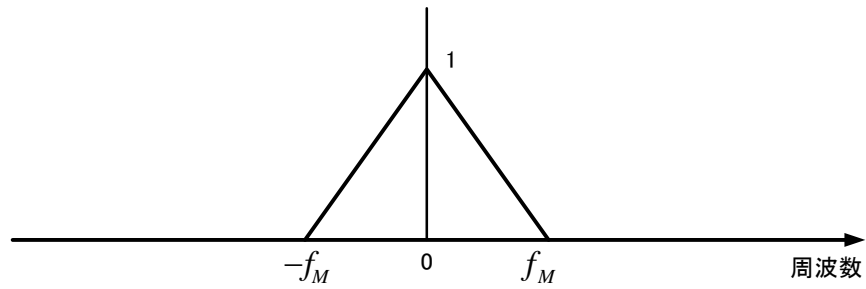
$$x_s(t) = \sum_{n=-\infty}^{\infty} x(n)\delta(t - nT_s) \quad (1)$$

すなわち、サンプリングされた信号は、アナログ信号とインパルス列の乗算としてみなすことができる。すなわち、元のアナログ信号の周波数スペクトルが f_m で帯域制限されている場合 (図 3 (a))、標本化信号のスペクトルは図 3 (b) または (c) のように、サンプリング周波数ごとに元のアナログ信号のスペクトルが現れる。

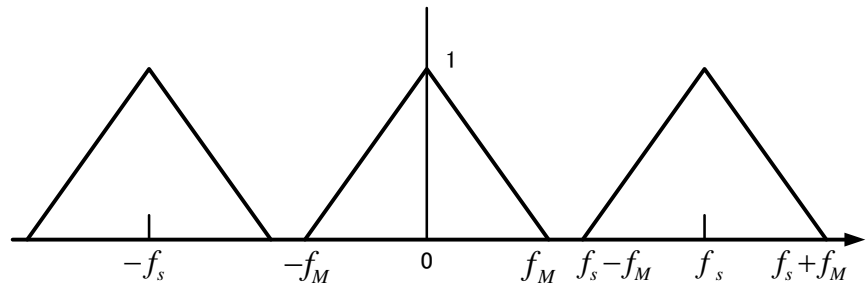
ここで、元のアナログ信号を再生するためには、 T_s を (2) の条件を満たす必要がある。これを標本化定理と呼ぶ。(2)の条件を満たさない場合、図 3 (c) のようにスペクトル同士が重なり、元の信号を再生できなくなる。すなわち、折り返し信号が発生する。

$$T_s \leq \frac{1}{2f_B} \quad (2)$$

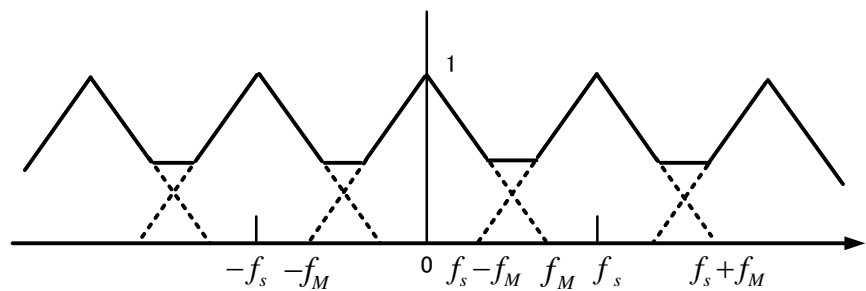
折り返された信号は、信号帯域内にあるため除去することができない。したがって、標本化を行う際には、入力信号に $f_s/2$ 以上の信号が含まれないように、アンチエイリアスフィルタを挿入する必要がある。



(a) アナログ信号



(b) $2f_B < f_s$ の場合



(c) $2f_B > f_s$ の場合

図3 標本化定理

2-2-2 量子化

アナログ・デジタル変換の際には、図 2 に示すように連続的な値から量子化間隔 Δ で量子化された値に変換される。すなわち、電圧の大きさは量子化間隔 Δ で丸められる。その際、必然的に元の電圧との誤差が生じるが、これを量子化雑音と呼ぶ。

ここで、量子化雑音が $-\text{LSB}/2$ と $\text{LSB}/2$ の間に均等に分布していると過程すると、その確率密度関数 $p(x)$ は

$$p(x) = \begin{cases} \frac{1}{q}, & |x| \leq \frac{q}{2} \\ 0, & |x| > \frac{q}{2} \end{cases} \quad (3)$$

で表される。確率平均電力、すなわち量子化雑音 N_q は、

$$N_q = \int_{-q/2}^{q/2} x^2 p(x) dx = \frac{1}{3} \left(\frac{q}{2} \right)^2 = \frac{q^2}{12} \quad (4)$$

となる。

一方、フルスケールの正弦波信号入力を A/D 変換器に加えると仮定すると、信号電力 S は、A/D 変換器の分解能を N として次式で表される。

$$S = \frac{1}{2} \left(\frac{2^N q}{2} \right)^2 = 2^{(2N-3)} q^2 \quad (5)$$

すなわち、信号とノイズの比を取ることで、

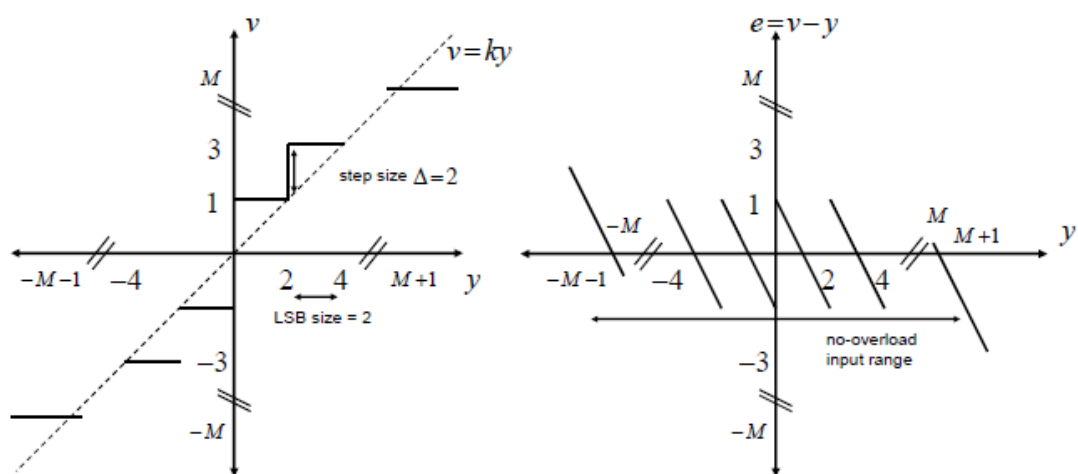
$$\frac{S}{N_q} = 1.5 \cdot 2^{2N} \quad (6)$$

となる。(4)を(6)に代入し、dB表示することにより、SNRは次式で表される。

$$SNR = 6.02N + 1.76[\text{dB}] \quad (7)$$

つまり、分解能を1ビット増加させるごとに、SNRは約6dB向上する。したがって、高いSNRを必要とする場合、ビット数を増加させる必要がある。

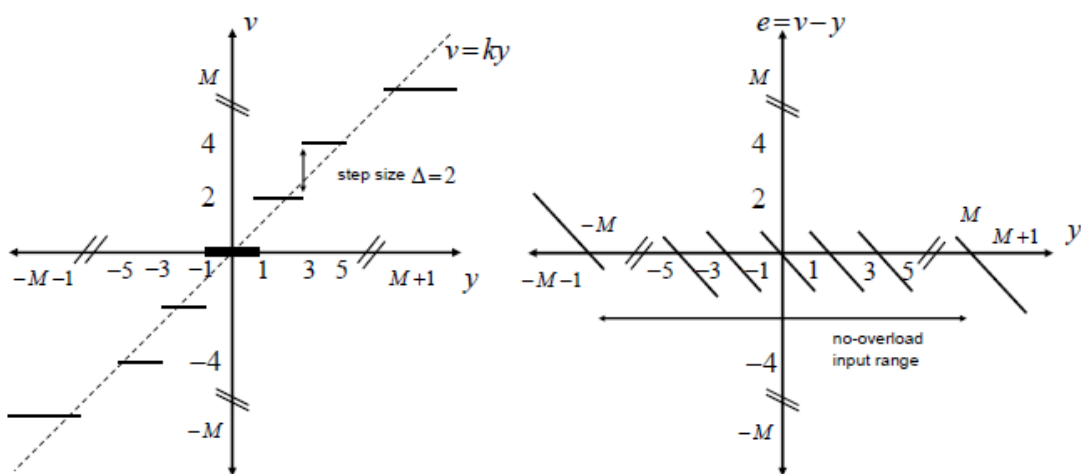
ここで、量子化器の2つのタイプについて考察する。理想 AD 変換の一例として、図 4 は正負の入力を処理できる「バイポーラ」伝達曲線であり、量子化器の出力がステップ的に上昇する。量子化レベルが奇数である場合は図 4 の「ミッドライズ型」量子化器となり、量子化レベルが偶数である場合は図 5 の「ミッドトレッド型」量子化器となる。ミッドライズ型は零点の感度が悪く、ミッドトレッド型は零点付近での雑音に弱いという特徴がある。



(a)伝達曲線

(b)誤算関数

図 4 対象 M ステップミッドライズ量子化器



(a)伝達曲線

(b)誤算関数

図 5 対象 M ステップミッドトレッド量子化器

2-3 オーバーサンプリング

A/D 変換を行う際、前述のように「標本化定理」により、サンプリング周波数 f_s は入力信号の周波数 f_B の 2 倍以上でなければ元の信号を再現できない。ここで、サンプリング周波数が入力信号の周波数よりも大きい時、すなわち $f_s > 2f_B$ を満たし、サンプリングを行う手法をオーバーサンプリングと呼ぶ。オーバーサンプリング方式の利点は、標本化、量子化それぞれについて利点がある。

まず、標本化について焦点を当てる。標本化を行うにあたり、信号帯域の上限とナイキスト周波数が接近している場合、非常に急峻な特性を持つアンチエイリアスフィルタが必要になる。このような高次の特性を持つアンチエイリアスフィルタを使用する場合、群遅延という位相歪みを発生させ、信号を劣化させてしまう問題がある。しかし、オーバーサンプリングを行うことにより f_s をさらに高くすれば、アンチエイリアスフィルタに要求される仕様が低減され、群遅延の少ない低次のアンチエイリアスフィルタで十分となる。

次に、量子化について焦点を当てる。前述のように、量子化雑音の大きさは分解能で決まり、量子化ステップを Δ とすると、次式で表される。

$$P_{qn} = \frac{\Delta^2}{12} \quad (8)$$

また、標本化の理論により、量子化雑音のスペクトルは $\pm f_s/2$ の範囲で一様に分布しているため、雑音スペクトル密度は、

$$S_e(f) = \frac{\Delta^2}{12f_s} \quad (8)$$

となる。ここで、理想帯域制限フィルタにより量子化雑音の帯域を $\pm f_B$ に制限すると、電力は

$$\begin{aligned} P_e &= \int_{-f_s/2}^{f_s/2} S_e^2(f) |F(f)|^2 df \\ &= \int_{-f_B}^{f_B} \frac{\Delta^2}{12f_s} df \\ &= \frac{\Delta^2}{12 \cdot OSR} \end{aligned} \quad (9)$$

となる．ここで $OSR=f_s/2f_B$ はオーバーサンプリング比である．例として， OSR を 2 倍，すなわち f_B を一定として f_s を 2 倍にすると，3dB 量子化雑音が低減し，分解能が 0.5 ビット増加する．したがって， OSR を大きくすればするほど，信号帯域内の量子化雑音を低減することが可能である．

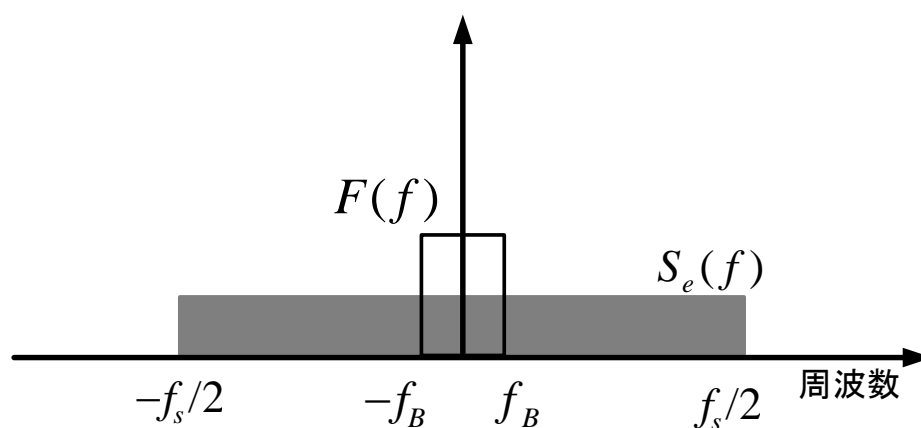


図 6 オーバーサンプリングによる効果

第3章 $\Delta\Sigma$ 変調器

前述のオーバーサンプリング方式を用いて、信号帯域内雑音をさらに減らす手法が $\Delta\Sigma$ 変調である。この手法は、フィルタと負帰還技術を用いて実現される。量子化雑音に対して、周波数特性を持たせることが出来る。そのため、信号帯域内の雑音を信号帯域外にシフト（ノイズシェーピング）することにより、高いSNRを得ることができる。

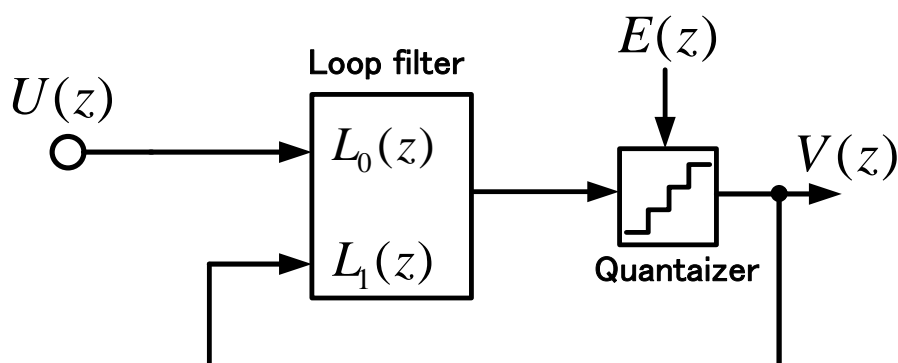


図7 $\Delta\Sigma$ 変調器の基本構成

図7に $\Delta\Sigma$ 変調器の基本構成を示す。ここで、 $E(z)$ は量子化器で発生する量子化雑音、 $L_0(z)$ は入力信号 $U(z)$ に対するフィルタ、また、 $L_1(z)$ は出力信号 $V(z)$ に対するフィルタであり、ループフィルタと呼ぶ。

$\Delta\Sigma$ 変調器の線形システムにおける入出力特性は次式で表される。

$$V(z) = STF(z)U(z) + NTF(z)E(z) \quad (10)$$

ここで、 STF は信号伝達関数、 NTF は雑音伝達関数であり、次式のようになる。

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)} \quad (11)$$

$$NTF(z) = \frac{1}{1 - L_1(z)} \quad (12)$$

したがって、線形解析により、 $\Delta\Sigma$ 変調器の特性は STF 、 NTF により決定され、それらはループフィルタに依存することがわかる。また、 STF は信号帯域では利得が1、 NTF は信号帯域で利得が小さくなることが望ましい。

3-1 1次ΔΣ変調器

ここでは、ループフィルタが1次の積分器の場合について考察する(図8)。線形解析により、量子化雑音は、 $E(z)$ の加算モデルとして表す。入力 $U(z)$ に対して、出力 $V(z)$ が加えられた信号は、1次の遅延積分器により処理され、その後量子化器により量子化された信号が出力 $V(z)$ となる。

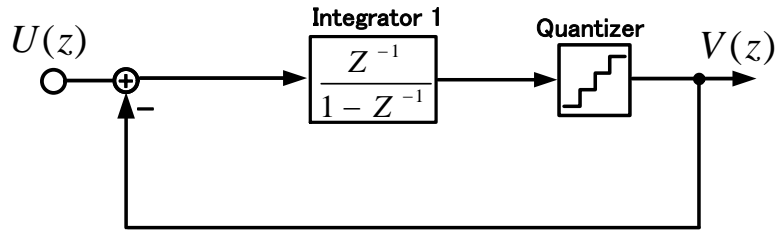


図8 1次ΔΣ変調器

したがって、1次ΔΣ変調器の入出力特性は次式で表される。

$$V(z) = 1 \cdot U(z) + (1 - z^{-1})E(z) \quad (13)$$

ここで、STFは z^{-1} となり、1遅延を持つだけで周波数特性を持たず、利得も1である。また、この時のNTFは $(1 - z^{-1})$ となる。この項はノイズシェーピングを表しており、周波数特性は $z = \exp(2\pi j/f_s)$ を代入することにより求められる(図9)。

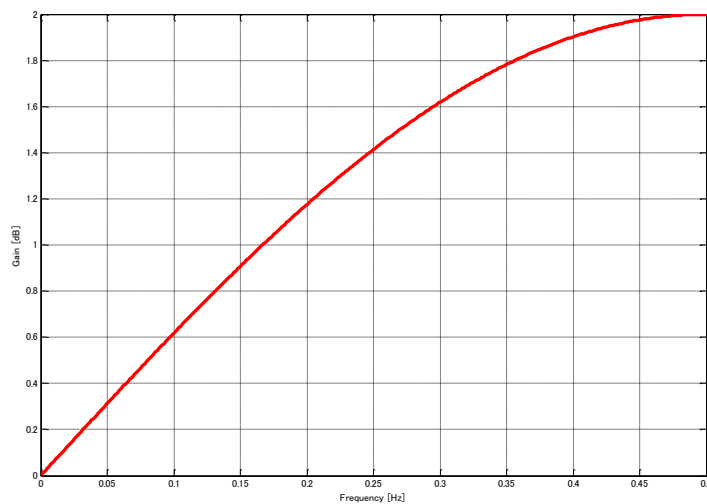


図9 $(1 - z^{-1})$ の周波数特性

量子化雑音に対しては、ハイパス特性を持たせているため、信号帯域内の量子化雑音を高域にシフトしている。このように、量子化雑音の周波数成分を変化させることをノイズシェーピングと呼ぶ。すなわち、ノイズシェーピングにより、サンプリング周波数に対して信号帯域を十分に低くすれば（=OSRを高くする）、信号帯域内の量子化雑音を大幅に抑制することが可能である。

次に、具体的な SNR の計算を行う。信号帯域を f_B とすると、信号帯域内雑音出力は次式のようになる。

$$\begin{aligned}
 P_{qn} &= \frac{\Delta^2}{6f_s} \int_0^{f_B} \left(\left| 1 - e^{-j2\pi f / f_s} \right| \right)^2 df \\
 &= \frac{\Delta^2}{6f_s} \int_0^{f_B} 2 \left(1 - \cos \left(2\pi f / f_s \right) \right) df \\
 &= \frac{2\Delta^2}{3f_s} \int_0^{f_B} \sin^2 \left(\pi f / f_s \right) df \tag{14}
 \end{aligned}$$

ここで、 $OSR \gg 1$ と仮定すれば、 $\sin x = x$ の近似を用いることができ、式(14)は次のように整理できる。

$$P_{qn} = \frac{\Delta^2 \pi^2}{36} \frac{1}{OSR^3} \tag{15}$$

一方、入力信号を正弦波とし、 N を分解能とすると、次式で表すことができる。

$$P_s = \frac{(2^N - 1)^2 \Delta^2}{8} \tag{16}$$

したがって、(15)、(16)式より、SNR は次式となる。

$$SNR = \frac{P_s}{P_{qn}} = \frac{9}{2\pi^2} M^3 (2^N - 1)^2 \tag{17}$$

$$SNR[dB] = 6.02N + 30 \log_{10} OSR - 3.41 \tag{18}$$

(18)式より、1次 $\Delta \Sigma$ 変調器は、OSR を 2 倍にすると SNR が 9dB 増加する。1次 $\Delta \Sigma$

変調器の出力スペクトルを図 10 に示す.

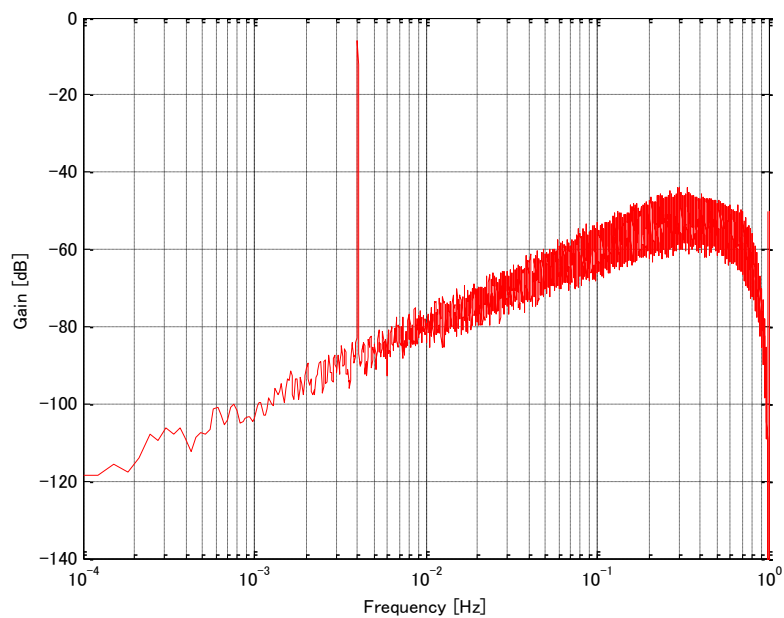


図 10 1次 $\Delta\Sigma$ 変調器の出力スペクトル

なお, 入力信号はハーフスケール, 量子化器のビット数 N は 2 とした. 出力スペクトルより, 20dB/decade の傾きを持つハイパス特性であることが確認できる. また, 入力信号に対しては-6dB であり, 入力した信号が減衰しないで出力に現れていることが確認できる.

3-2 2次ΔΣ変調器

ループフィルタの次数を上げることで、より急峻なハイパス特性を持つNTFを実現できる。ここでは、積分器を2つ有するループフィルタを用いた2次ΔΣ変調器について考察する(図11)。

図11に示される2次ΔΣ変調器の入出力と特性は、次式で表される。

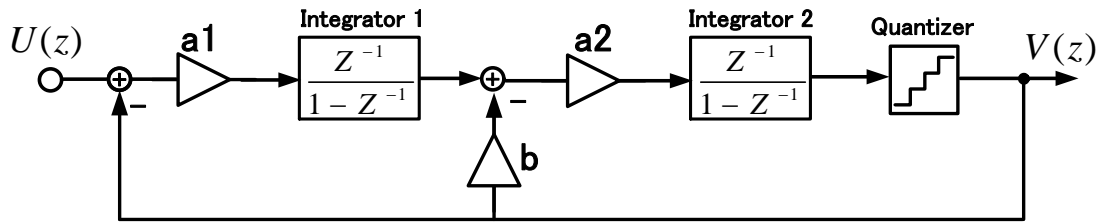


図11 2次ΔΣ変調器

$$V(z) = \frac{a_1 a_2}{DEN(z)} U(z) + \frac{(1 - z^{-1})^2}{DEN(z)} E(z) \quad (19)$$

$$DEN(z) = (1 - z^{-1})^2 + a_2 b z^{-1} (1 - z^{-1}) + a_1 a_2 z^{-2} \quad (20)$$

ここで、係数 $a_1 = a_2 = 1$, $b = 2$ とすると、入出力特性は次のようになる。

$$V(z) = z^{-2} U(z) + (1 - z^{-1})^2 E(z) \quad (21)$$

(21)式より、STFは周波数特性を持たない2遅延、量子化雑音に対しては2次のハイパス特性となる。 $z = \exp(2\pi f/f_s)$ をNTFに代入することにより、図12に示す周波数特性を得る。

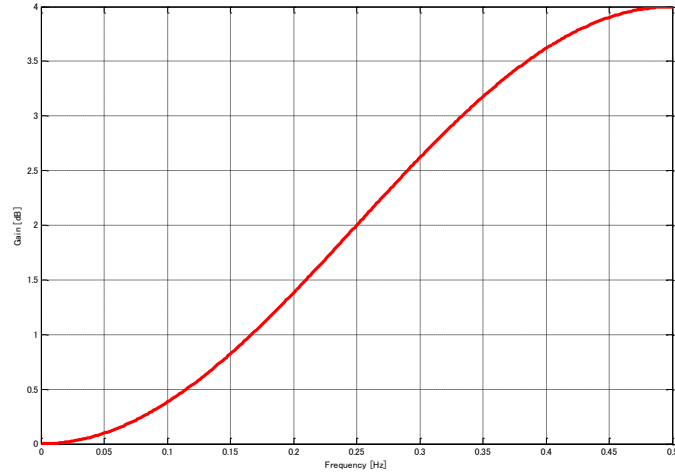


図 12 $(1-z^{-1})^2$ の周波数特性

図 12 より，NTF の特性は，1 次のハイパス特性よりも信号帯域内のゲインが小さく，より強いノイズシェーピングが掛かっていることが確認できる。

1 次の場合と同様に，2 次 $\Delta \Sigma$ 変調器の具体的な SNR を導出する．信号帯域内の雑音電力 P_{qn} は，

$$\begin{aligned}
 P_{qn} &= \frac{\Delta^2}{6f_s} \int_0^{f_B} \left(\left| 1 - e^{-j2\pi f / f_s} \right| \right)^4 df \\
 &= \frac{\Delta^2}{6f_s} \int_0^{f_B} 8 \sin^2 \left(\pi f / f_s \right) df \tag{22}
 \end{aligned}$$

ここで，(15)式と同様に近似を行うことにより，次式を得る．

$$P_{qn} = \frac{\Delta^2 \pi^4}{60} \frac{1}{OSR^5} \tag{23}$$

したがって，(15)，(23)式より SNR は次式で表される．

$$SNR = \frac{P_s}{P_{qn}} = \frac{25}{4\pi^4} M^5 (2^N - 1)^2 \quad (24)$$

$$SNR[dB] = 6.02N + 50 \log_{10} OSR - 11.1 \quad (25)$$

(25)式より、OSRを2倍にすると、SNRは15dB向上することがわかる。すなわち、OSRを倍にすることにより向上されるSNRは、1次 $\Delta\Sigma$ 変調器と比較して6dB良くなる。

また、2次 $\Delta\Sigma$ 変調器の出力スペクトルを図13に示す。入力信号はハーフスケール、量子化器ビット数Nは2である。

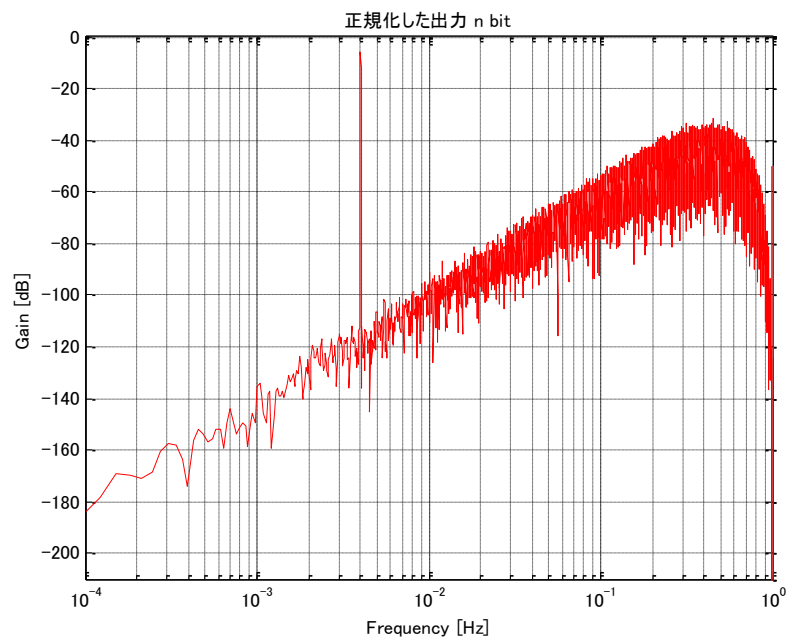


図13 2次 $\Delta\Sigma$ 変調器の出力スペクトル

3-3 ΔΣ変調器の安定性

ΔΣ変調器は高次であるほどノイズシェーピング特性が向上し、帯域を一定とした場合に高いSNRを得ることができる。一方、高次であるほどナイキスト周波数での量子化雑音電力(Out of Band Gain:OBG)が大きくなる。このことは、一般的に変調器の安定性を損なっていると判断でき、OBGは変調器の安定性を議論する一つの指標として知られる[1]。従って、3次以上の高次のΔΣ変調器では、安定性を確保するためにNTFの極を図14に示すように単位円内の実軸のプラス側に極を移動させ、帯域内の雑音抑制効果を犠牲にしてOBGを低く設定する(図15)。

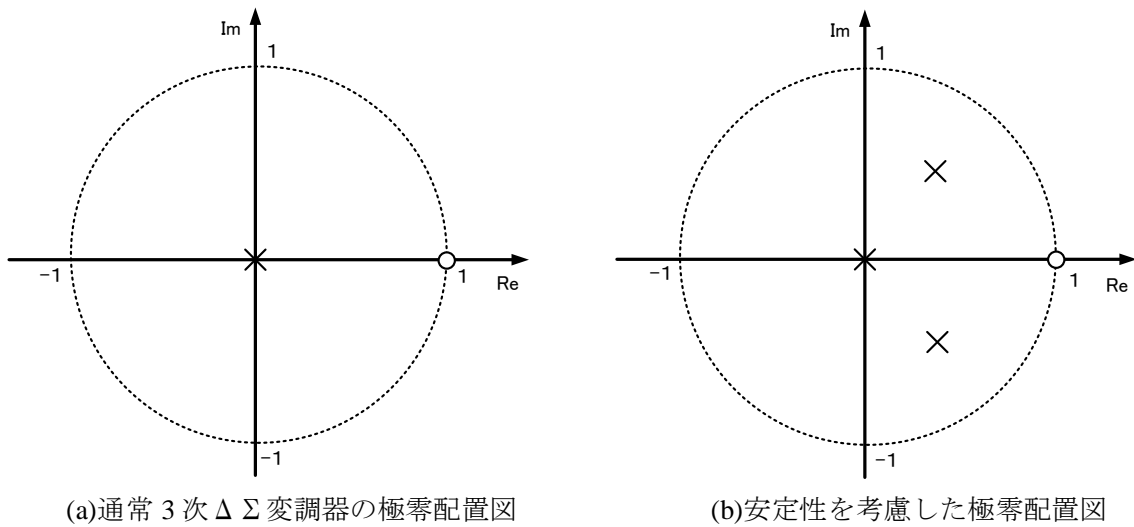


図14 積分器係数を定数倍大きくした場合の極零配置図比較

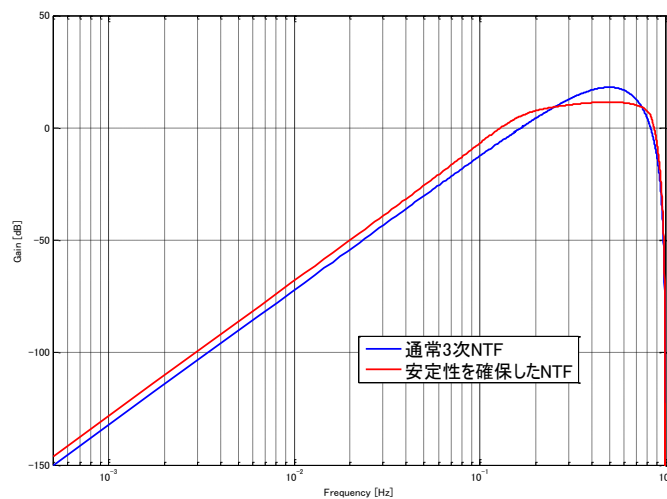


図15 安定性とNTFの雑音抑制効果のトレードオフ

3-4 無歪み型 $\Delta \Sigma$ 変調器

前章で述べたように、 $\Delta \Sigma$ 変調器は図 7 に示したフィードバックシステムで表される。このシステムでは、ループフィルタ内部、すなわち積分器は入力信号と量子化雑音の両方を処理する。一般的に、NTF を積極的に設計する場合、ループフィルタ内部の振幅は大きくなる傾向にあるため、積分器の歪を十分に補償できる振幅に下げるなどの電圧スケールリングを施す必要がある。 $\Delta \Sigma$ 変調器の構成の応用として、無歪み型 $\Delta \Sigma$ 変調器がある (図 16)。

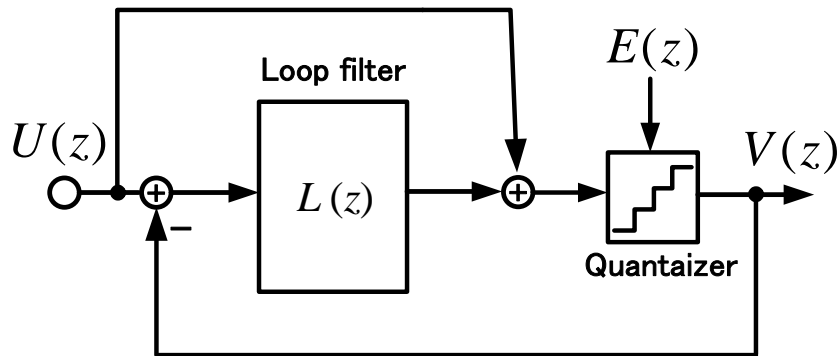


図 16 無歪み型 $\Delta \Sigma$ 変調器の構成

無歪み型構成は、入力信号 $U(z)$ 、フィードバック信号 $V(z)$ に対して同じループフィルタ $L(z)$ を用いる。さらに、ループフィルタの出力に $U(z)$ のフィードフォワードパスを追加することにより無歪構成は実現される。

図 16 の入出力特性は、線形解析により次式で表される。

$$V(z) = STF(z)U(z) + NTF(z)E(z) \quad (26)$$

$$STF(z) = 1 \quad (27)$$

$$NTF(z) = \frac{1}{1 - L(z)} \quad (28)$$

すなわち、ループフィルタに入力される信号は

$$\begin{aligned} L_{in}(z) &= U(z) - V(z) \\ &= U(z) - (1 \cdot U(z) + NTF(z)E(z)) \\ &= NTF(z)E(z) \end{aligned} \quad (27)$$

となり、もはや入力信号を含まない。したがって、ループフィルタ内部で入力信号の処理を行わず、量子化雑音のみを処理することになる。これにより積分器の振幅は大幅に小さくなり、積分器に要求される線形性を緩和することができる。また、一般的な $\Delta\Sigma$ 変調器で必要となることが多い、電圧スケールリングをする必要がなくなる。

次に、2次無歪み型 $\Delta\Sigma$ 変調器を例に、ループフィルタ内部の振幅を考察する(図17)。図中の X_1 、 X_2 は、1段目積分器および2段目積分器の出力である。

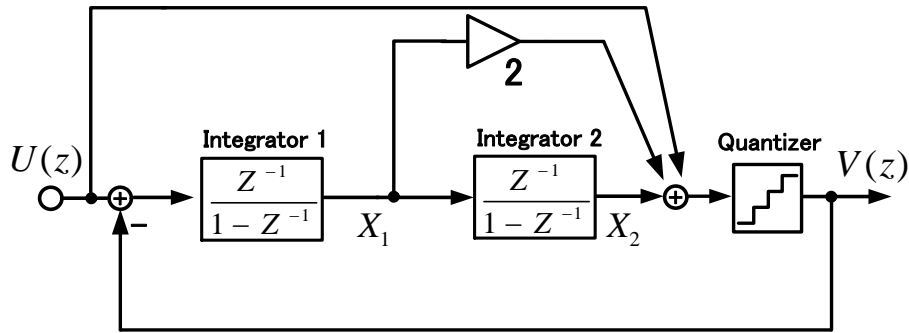


図17 2次無歪み型 $\Delta\Sigma$ 変調器の考察

ここで、各積分器の出力は、線形解析により以下の連立方程式を解くことにより得られる。

$$\left\{ \begin{array}{l} V(z) = 1 \cdot U(z) + NTF(z)E(z) \quad (28) \\ V(z) = X_2(z) + 2X_1(z) + U(z) \quad (29) \\ X_1(z) = -\frac{z^{-1}}{1-z^{-1}}(V(z) - U(z)) \quad (30) \\ NTF(z) = (1-z^{-1})^2 \quad (31) \end{array} \right.$$

(28), (29), (30), (31)式より,

$$X_1(z) = -z^{-1}(1-z^{-1})E(z) \quad (33)$$

$$X_2(z) = -z^{-2}E(z) \quad (32)$$

したがって、一段目の積分器の信号は、1次のシェーピングを受けた量子化雑音が、また、2段目の積分器の出力には2つ遅延された量子化雑音のみが現れる。この様子を、図18、図19に示す。

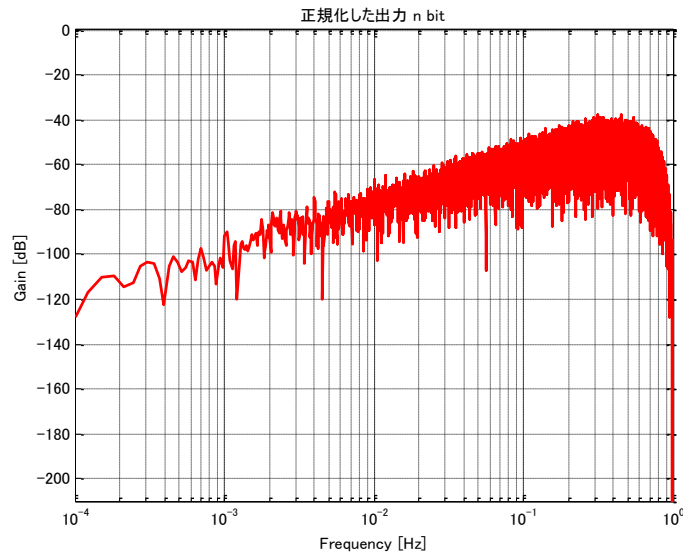


図18 一段目積分器出力 X_1 のスペクトル

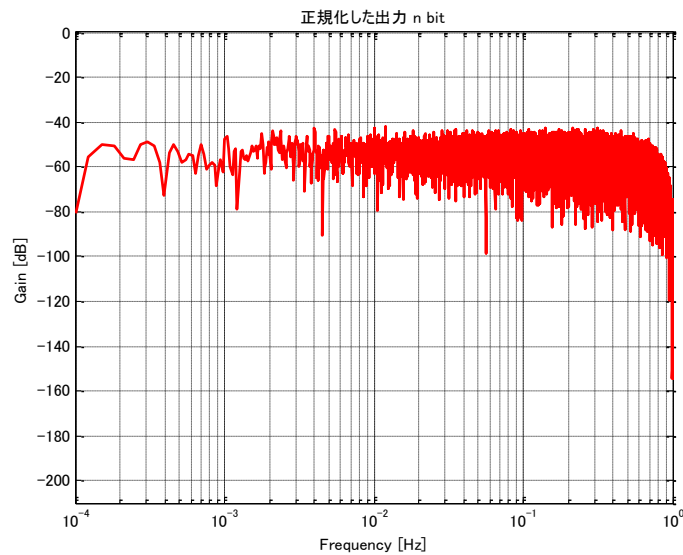


図19 二段目積分器出力 X_2 のスペクトル

線形解析により得た結果と一致しており、どちらの積分器も入力信号を含んでいない。したがって、積分器の出力振幅は、比無歪型 $\Delta \Sigma$ 変調器と比較して大幅に小さくなる。このことは、一般的に変調器の安定動作を導く。

第 4 章 広帯域 $\Delta \Sigma$ 変調器

4-1 連続時間型と離散時間型積分器

$\Delta \Sigma$ 変調器の構成として、連続時間型と離散時間型がある。前者は図 20 に示す RC 構造の積分器を使用する。

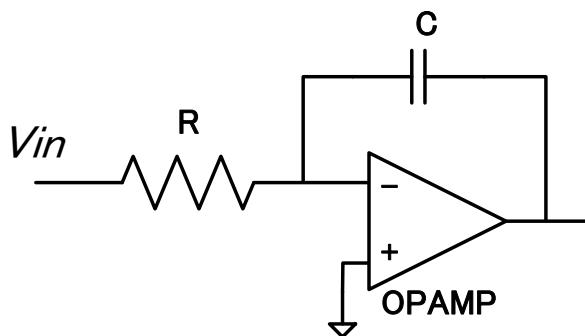


図 20 連続時間型積分器

この積分器の出力は、OPAMP の利得が十分に高ければ次式で表すことができる。

$$V_{out} = -\frac{1}{RC} \int V_{in} dt \quad (33)$$

抵抗 R は入力 V_{in} に対して、電流を流す作用がある。ここで流れる電流は、高入力インピーダンスを持つ OPAMP へは流れ込まずに C へ充電される。したがって、入力に対して入力値を積分することが可能となる。また、この積分器の出力は連続的に変化するため、OPAMP に要求される速度が高い必要がないため、高速な動作に向いている。しかし、積分定数 RC は製造誤差により、最大 20% の誤差が生じるため、精度が低くなるという欠点がある。そのため、実装の際には時定数を調節するためのチューニング回路が必要である。また、連続時間型 $\Delta \Sigma$ 変調器は、クロック周波数のランダムなズレ（ジッタ）の影響を受けるため、高い精度を得るのが困難である。

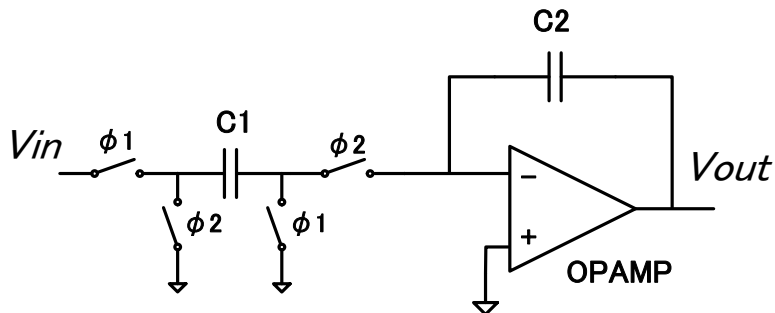


図 21 離散時間型積分器

一方、連続時間積分器の抵抗 R を、スイッチドキャパシタ (SC) 回路に置き換えることにより、図 21 に示す離散時間型積分器を構成することが出来る。SC 回路は 2 相のクロック $\phi 1$, $\phi 2$ で動作する。C2 に転送される電荷量は毎クロックあたり $\Delta Q = C1 \times Vin$ であるので、C2 に流れ込む実効的な電流は

$$I = \Delta Q \times fs = \pm C1 fs Vin \quad (34)$$

となる。ただし fs をサンプリング周波数である。したがって、SC 回路の実効的な抵抗は $R_{eff} = \pm 1/C1 fs$ となり、C1 の値とサンプリング周波数 fs で任意の抵抗値とすることが出来る。すなわち、毎クロックごとに積分器の出力は $V_m(C1/C2)$ ずつ階段状に変化する。そのため、連続時間型で問題となるクロックジッタの影響を受けない。また、キャパシタ C の製造誤差は、相対的であれば $\pm 1\%$ 以下に抑えられるため、RC 回路と比べて誤差は非常に小さくなり、高精度な回路が実現できる。

ここで、階段状に出力が変化する SC 積分器についての過渡応答を考察する (図 22)。

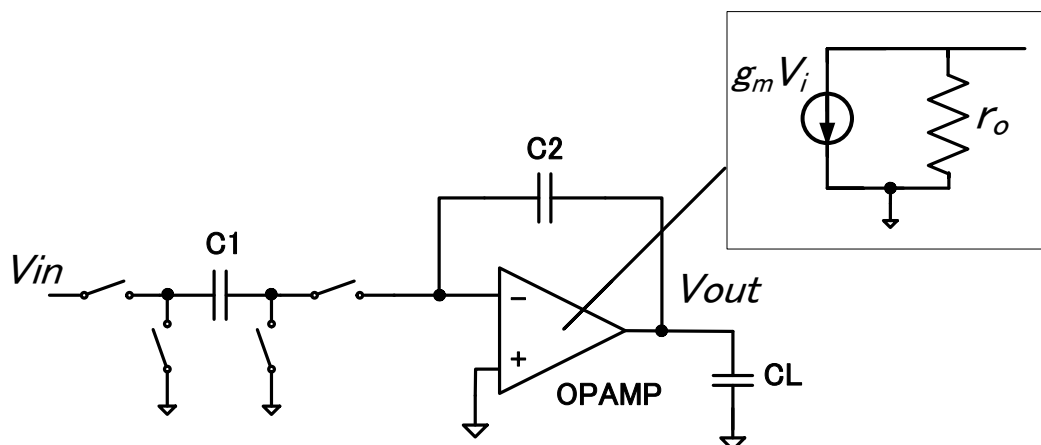


図 22 SC 積分器の過渡応答

図 22 に示す回路の過渡応答を求めると、次式を得る。

$$H(z) = -\frac{C_1}{C_2} \frac{1 - \left(1 + \frac{C_2}{C_1}\right) \exp\left(-\frac{gm}{C_{eff}} t\right)}{1 - z^{-1}} \quad (35)$$

ここで、解析の簡単化のために、OPAMP は 1 次の等価回路で表し、 gm は OPAMP のトラ

ンスコンダクタンス, C_{eff} は実効的な出力に負荷されている容量であり, 次式で表される.

$$C_{eff} = C_2 + C_L + \frac{C_1 C_L}{C_2} \quad (36)$$

(21)式より, 積分器の出力電圧が最終値の 99.9%になるまでの時間は次式となる.

$$t \approx 5 \frac{C_{eff}}{gm} \quad (37)$$

一方, OPAMP のユニティゲイン周波数は次式で表される.

$$\omega_u \approx \frac{gm}{C_{eff}} \quad (38)$$

(37), (38)式より, 積分回路の出力が最終値に到達するためには, ユニティゲイン周波数の逆数の 5 倍程度の時間を必要とすることがわかる.

すなわち, 離散時間型 $\Delta \Sigma$ 変調器の限界動作速度は, 積分回路のセトリング時間により制限される. したがって, 連続時間型と比較すると, 高精度な変換が可能である半面, 高速動作が苦手なため, 帯域性能では劣る.

4-2 離散時間型 $\Delta \Sigma$ 変調器の広帯域化

連続時間型は広帯域化に向いているが変換精度に劣り，一方，離散時間型は高精度変換に向いているが，変換速度（帯域）では劣っていることを示した．そこで，離散時間型の帯域を広げる手法がいくつか提案されている．

4-2-1 タイムインターリーブ方式

図 23 に示す，タイムインターリーブ方式 (TI 方式) は，複数個の $\Delta \Sigma$ 変調器を用いて，並列動作させる手法である [2]．それぞれのチャンネルでは，順番にサンプリングを行い，信号を処理しているため，実際に動作しているサンプリング速度の N 倍の効果を得ることができ，変調器の広帯域化を図れる．一方，視点を考えてみれば，回路の動作速度を $1/N$ にして所望の SNR を得ることができるため，OPAMP のセトリング特性を緩和することが可能である．しかし，2 並列の場合は，積分器が 4 つ，量子化器が 2 つ必要になり，消費電力と回路規模が増加してしまう欠点を持つ．

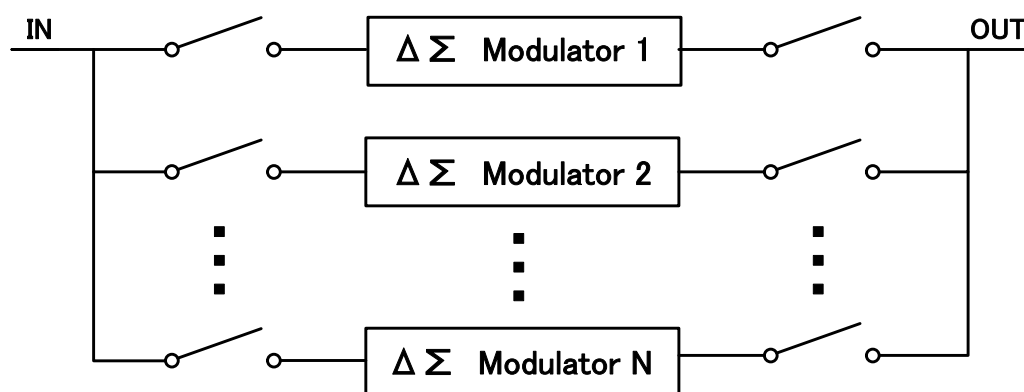


図 23 TI 型 $\Delta \Sigma$ 変調器

4-2-2 ダブルサンプリング方式

他には，図 24 に示すダブルサンプリング型 $\Delta \Sigma$ 変調器が提案されている [3]．この手法は，SC 積分回路の動作をうまく利用した方法である．回路実装を行う場合，前述のように積分回路は 2 相のクロックを使用している．通常の $\Delta \Sigma$ 変調器は， $\phi 1$ のみ入力信号をサンプリングし， $\phi 2$ で積分を行っていた．しかし，この手法は $\phi 2$ 用のサンプリングキャパシタ $C1'$ を新たに設けることで，信号を両相でサンプリングできる．OPAMP への影響であるが，2 相のクロックが交互に積分動作を行うため，実質的な負荷容量は変わらない．したがって，OPAMP の性能要求を変えずに 2 倍のサンプリング効果，すなわち 2 倍の帯域を得ることができる．なお，量子化器のみ 2 倍のクロックで動作させる必要がある．

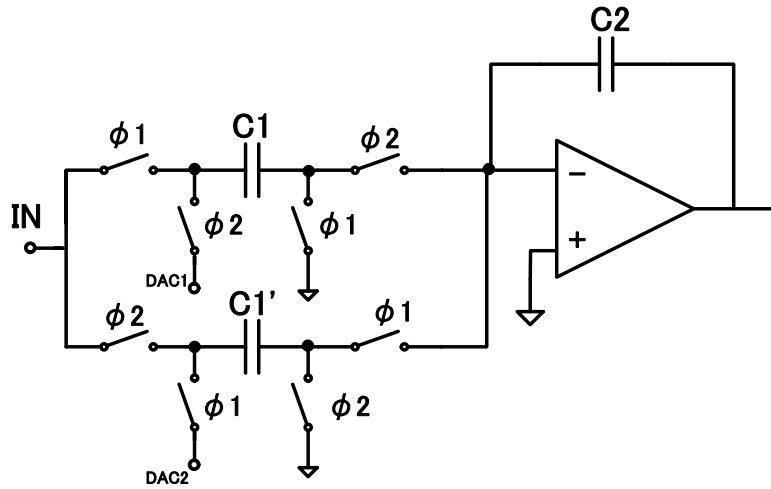


図 24 ダブルサンプリング方式

4-2-3 問題点

前節で挙げた 2 つの手法は、共に mismatches により変換精度が悪化する問題がある。TI 型 $\Delta \Sigma$ 変調器の場合、各チャンネル間の mismatches により、ブロックフィルタのアンチエイリアス特性が崩れる。その結果、ナイキスト周波数の量子化雑音が信号帯域内に折り返してしまい、SNR を悪化させてしまう。

同様に、ダブルサンプリング方式の場合もサンプリングキャパシタ $C1$, $C1'$ の mismatches により、ナイキスト周波数付近の量子化雑音が AM 変調され、信号帯域内に折り返し SNR を大幅に悪化させてしまう (図 25)。図 26 にキャパシタ mismatches を 1% 加えた時の、折り返し雑音の影響を受けたスペクトル図を示す。ナイキスト周波数付近の量子化雑音が信号帯域に折り返し、-100dB のノイズフロアが現れていることがわかる。

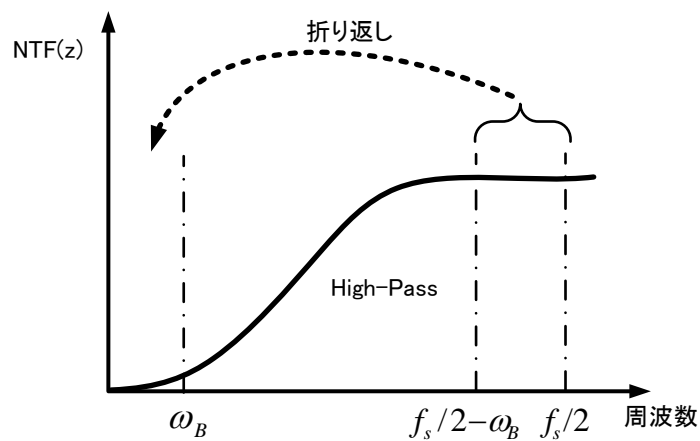


図 25 折り返し雑音の発生

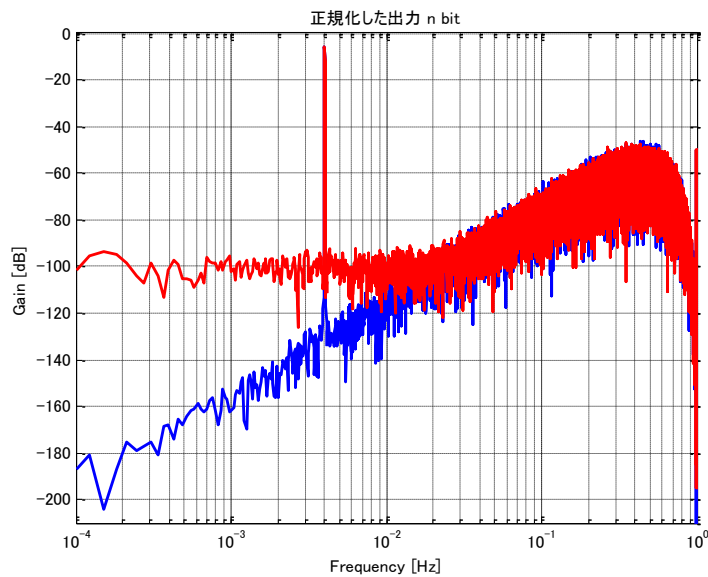


図 26 ダブルサンプリング方式に係数ミスマッチ 1 %を加えた時の
折り返し雑音の影響

この折り返し雑音の影響を緩和するために、図 27 のように NTF の特性をバンドパス特性にした手法が提案されている[4][5]。これは、NTF のナイキスト周波数に零点を挿入することで実現される。

しかし、NTF に零点を挿入することにより、NTF は $H(z)(1+z^{-1})$ のように表され、NTF の直流利得は 6dB 上昇する。その分、雑音抑制力特性が犠牲になる。すなわち、SNR の劣化を代償に、折り返し雑音の影響を緩和している。

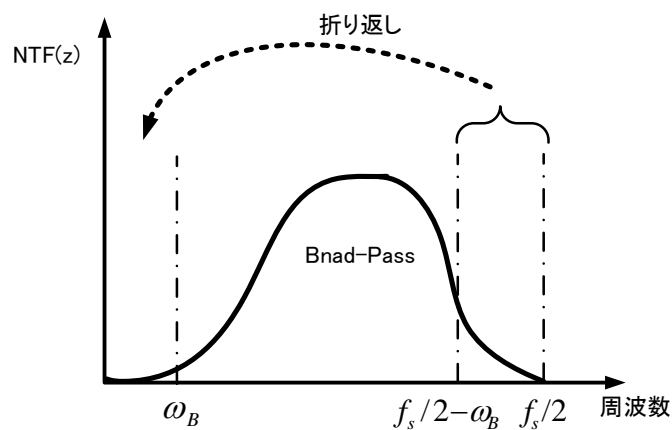


図 27 バンドパス型 NTF による、折り返し雑音の低減

第5章 提案方式

従来手法では，離散時間型 $\Delta\Sigma$ 変調器の広帯域化を実現するためには mismatches に対する補償が必至であった．それには，デジタル回路による補償や，伝達関数をバンドパス型にするなど，変換精度を犠牲にするものもあった．

本稿では， $\Delta\Sigma$ 変調器に特別な mismatch 補償回路を必要とせず，広帯域化を実現する手法を提案する．

5-1 $\Delta\Sigma$ 変調器の NTF に関する制約

本稿では， $\Delta\Sigma$ 変調器の心臓部である NTF の制約を，図 16 に示した無歪み型 $\Delta\Sigma$ 変調器を例に詳しく考察する．

信号帯域内の雑音を抑制することは，サンプリング周波数が一定であるならば帯域を広げることに等しい．3-4 で行なった線形解析により，NTF は (28) 式で与えられることを示した．この式より，信号帯域内の量子化雑音を抑制するためには，信号帯域でループフィルタのゲイン $|L(z)|$ が大きい必要がある．

ここで，図 28 に示す 2 次無歪み型 $\Delta\Sigma$ 変調器を例に取り，ループフィルタ $L(z)$ をいかにして高くできるかを検証する．

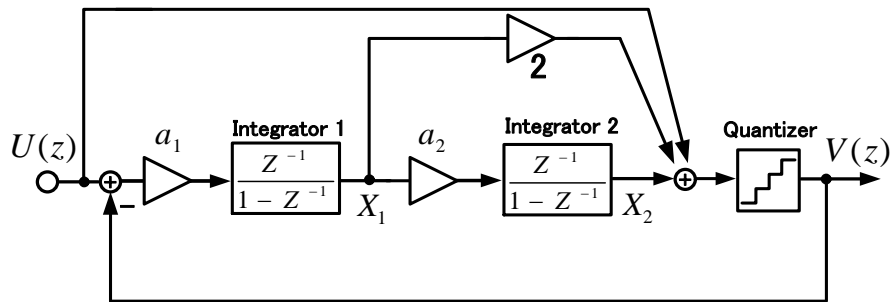


図 28 2 次無歪み型 $\Delta\Sigma$ 変調器

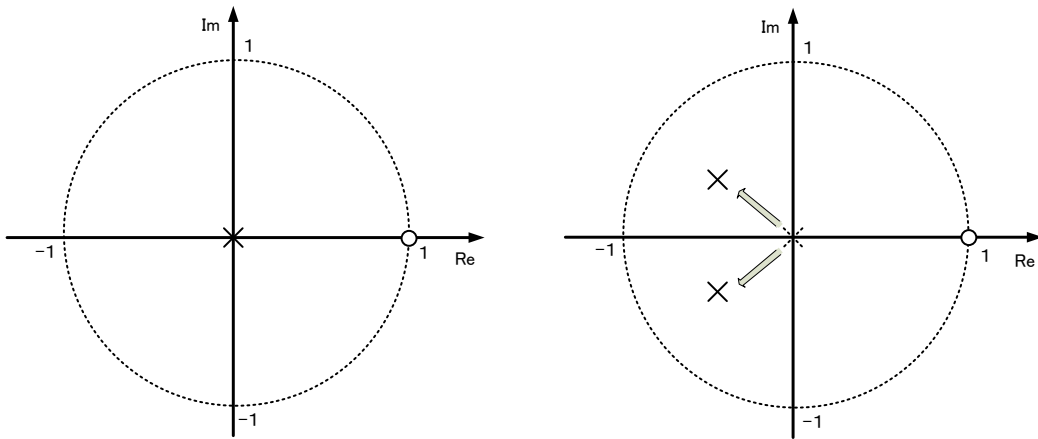
図 28 に示す変調器の入出力特性は，次式で表される．

$$\left. \begin{aligned}
 V(z) &= 1 \cdot U(z) + NTF(z)E(z) & (39) \\
 NTF(z) &= \frac{(1 - z^{-1})^2}{DEN(z)} & (40) \\
 DEN(z) &= (a_1 a_2 - a_1 + 1)z^{-2} - 2(a_1 + 1)z^{-1} + 1 & (41) \\
 |DEN(z)|_{DC} &= a_1 a_2 & (42)
 \end{aligned}
 \right\}$$

ここで、通常の 2 次 $\Delta \Sigma$ 変調器は $a_1=a_2=1$ であり、この時の NTF は $(1-z^{-1})^2$ である。したがって、(42)式より、積分器の係数 $a_1, a_2 > 1$ とすればループフィルタの利得がさらに大きくなり、NTF の雑音抑制が強まることが期待できる。

通常の 2 次 $\Delta \Sigma$ 変調器の NTF の極零配置を図 29(a)に示す。極零配置図より、原点に 2 つの極、直流に零点が 2 つあることが確認出来る。図 29(b)は $a_1=1.8, a_2=1.9$ とした時の極零配置図である。積分器の係数を大きくすることにより、NTF の極は左反面に移動する。

この時の NTF の周波数特性を図 30 に示す。周波数特性より、 $a_1=1.8, a_2=1.9$ とした場合、信号帯域付近の NTF のフロアが $a_1 a_2 = 10.7$ [dB]通常の NTF よりも下がっていることが確認できる。しかし、極が左反面に移動したことにより、ナイキスト周波数付近の利得が大きくなり、ピークが発生している、すなわち、OBG が大幅に大きくなっている。



(a)通常 $\Delta \Sigma$ 変調器の極零配置図

(b) $a_1, a_2 > 1$ の場合の極零配置図($a_1=1.8, a_2=1.9$)

図 29 積分器係数を定数倍大きくした場合の極零配置図比較

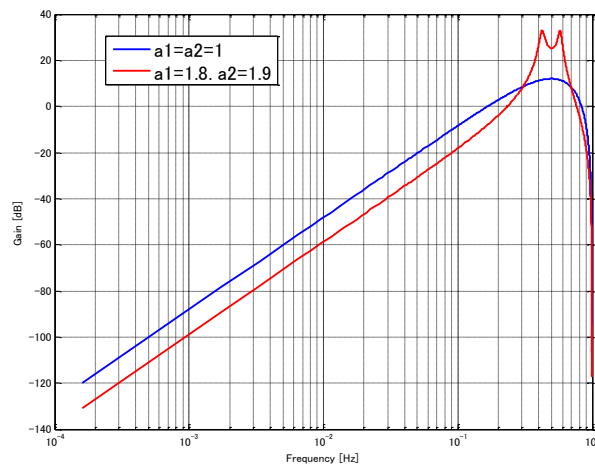


図 30 NTF の周波数特性

ここで、OBGが大きすぎる場合に $\Delta\Sigma$ 変調器に与える影響を確認するため、「フルスケール-1~1, 入力-6[dBFs], 量子化器 bit 数=4」の条件のもと MATLAB/Simulink によりシミュレーションを行なった。なお、積分器出力の振幅の状況を確認するため、特別にフルスケールを超える値でも許可している。

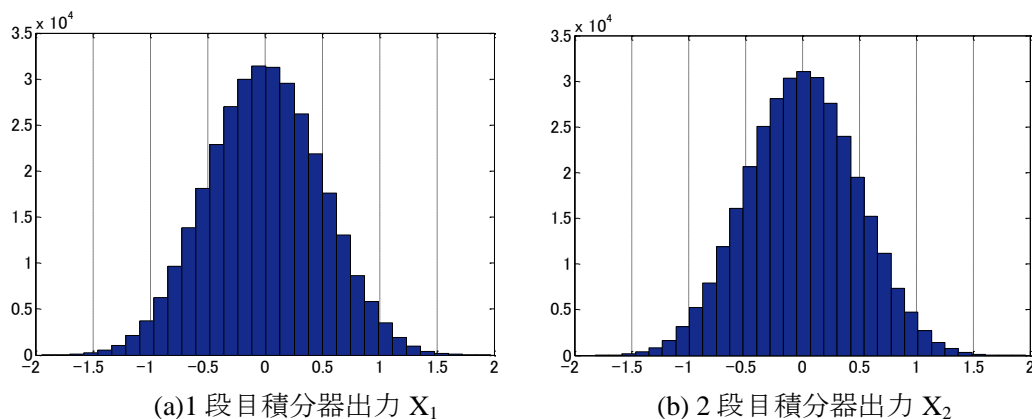


図 31 OBG が極端に大きい場合の変調器への影響

図 31 に示すヒストグラムより、明らかに変調器内部の積分器出力がフルスケール(-1~1)を超えてしまっている。したがって、伝達関数上、すべての極が単位円内に存在するため、このシステムは制御理論上安定であるが、量子化器を用いた、スケールが制限されている $\Delta\Sigma$ 変調器のようなシステムでは安定な動作をすることができずに発振してしまう。

これらの解析により、積分器の定数 a_1, a_2 を定数倍して大きくするだけでは、変調器の安定動作を確保しながら帯域内雑音抑制効果を上げることが不可能であると確認された。

5-2 提案する FIR フィルタを用いた $\Delta\Sigma$ 変調器

前述した通り、ゲインを定数倍してループ利得を上げるだけでは OBG が増大するために、安定性を維持したまま帯域内雑音抑制効果を高めることは不可能であることを示した。これは、NTF のすべての極を単位円の左反面しか配置できないことが原因である。

従って、NTF に極を新たに追加し、ナイキスト周波数付近の振幅特性を修正する方法を考える。本稿では、積分器の係数の代わりに図 32 に示す FIR フィルタを適用する手法を提案する。

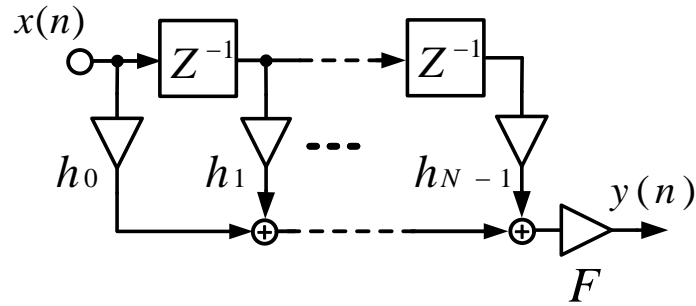


図 32 N タップ FIR フィルタ $F(z)$

図 32 に示す FIR フィルタの伝達関数は次式で表される.

$$F(z) = F \cdot (h_0 + h_1 z^{-1} + \dots + h_{N-1} z^{-(N-1)}) \quad (43)$$

(43)式より, FIR フィルタは係数 h_{0-N-1} を調節し, 周波数特性を調節できる. すなわち, FIR フィルタをローパス(LP)特性となるように係数を設定すれば, ナイキスト周波数付近で利得が変化するため, NTF のナイキスト周波数付近の振幅特性の修正が可能となる. 言い換えると, N タップ FIR フィルタの場合, NTF に(N-1)個の極が追加され, 設計に自由度を与えることができる. それにより, ナイキスト周波数付近のピークの上昇を最小限にでき, 安定動作を保障することができる. さらに, 任意の直流ゲインを持たせることができるので, NTF の雑音抑制効果を高め, 広帯域化を実現できる.

さらに, 通常の $\Delta \Sigma$ 変調器に FIR フィルタを追加するだけなので, 1つのループフィルタで信号は処理されるのは変わらない. そのため, 製造誤差による各経路のミスマッチの影響をほとんど受けない. したがって, 従来手法のようにミスマッチに対する補償を加える必要がなく, FIR フィルタの追加だけという簡単な構成で広帯域化を実現できる.

以下に, FIR フィルタの係数設定条件をまとめる

条件①: NTF のすべての極が単位円内にあり, かつ NTF のナイキスト周波数付近で大きなピークを持たないような係数 h_{0-N-1} および F .

→積分器振幅の増大を防ぎ, 安定動作の確保

条件②: 信号帯域内で雑音抑制効果を高めるために, FIR フィルタが数倍の直流ゲインを持つ係数 h_{0-N-1} および F .

→広帯域化の実現

第 6 章 シミュレーション

6-1 提案手法を用いた 1 次無歪み型 $\Delta \Sigma$ 変調器

6-1-1 伝達関数

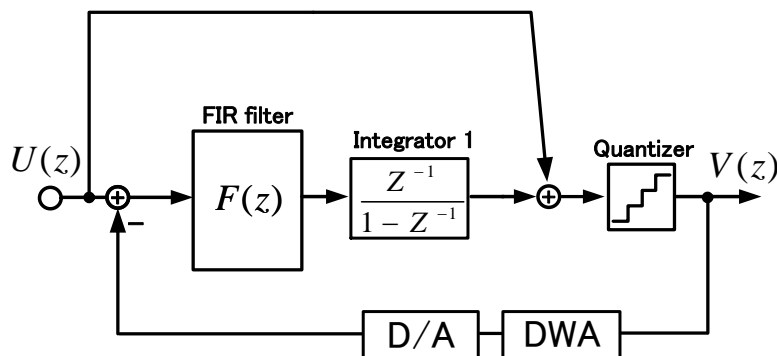


図 33 FIR フィルタを有する 1 次無歪み型 $\Delta \Sigma$ 変調器

1 次無歪型 $\Delta \Sigma$ 変調器に FIR フィルタを用いた提案型 $\Delta \Sigma$ 変調器のブロック図を図 33 に示す。FIR フィルタをループフィルタ内に挿入することにより，入出力特性は次式で表される。

$$V(z) = U(z) + \frac{(1 - z^{-1})}{DEN(z)} E(z) \quad (44)$$

$$DEN(z) = (F(z) - 1)z^{-1} + 1 \quad (45)$$

$f \ll f_s$ の場合

$$|DEN(z)| = |F(z)| \quad (46)$$

(44)式より，原点に極を有する NTF よりも量子化雑音を抑制するためには，(45)式の直流利得を 1 より大きくする必要がある。すなわち，(46)式に示す通り，FIR フィルタの直流利得を 1 よりも大きくすればよい。

ここではタップ数 $N=3$ の FIR フィルタを用いて設計を行った。これにより，NTF の極は 2 つ追加され合計 3 つになる。FIR フィルタの各係数は 6-2 で述べた，「係数設定条件」を満たすように設定した (表 1)。また，この時の NTF の極・零点配置図を図 34 に，FIR フィルタの周波数特性を図 35 に示す。FIR フィルタは直流利得 8.3[dB]を持つ LP 特性のフィルタであることが確認できる。

表 1 FIR フィルタの係数

	h_0	h_1	h_2	F	$DC\ Gain$
FIR Filter	2.5	1	0.5	0.65	8.3[dB]

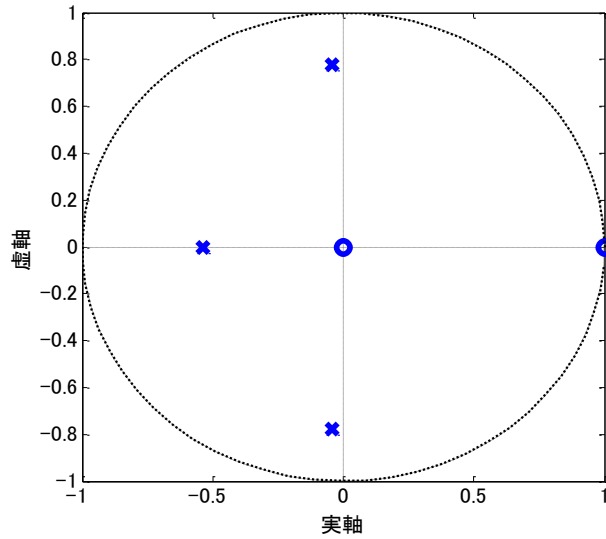


図 34 1次 FIR フィルタ型 $\Delta\Sigma$ 変調器の極零配置

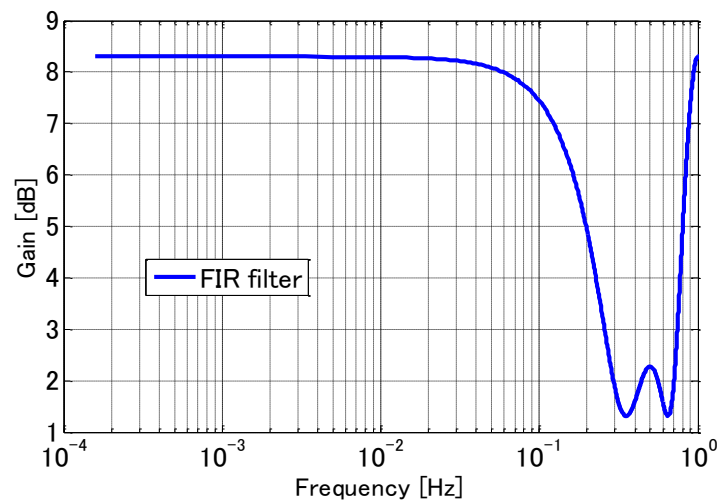


図 35 FIR フィルタの周波数特性

6-1-2 シミュレーション結果

MTALAB/Simulinkにより、表2の条件でシミュレーションを行った。比較対象は、図33の $\Delta\Sigma$ 変調器から FIR フィルタを取り除いたモデルであり、NTF は原点に極を有する($1-z^{-1}$)である。図36の出力スペクトルより、提案手法のNTFのナイキスト周波数付近は、ピークをもたずフラットになっている。そのため、ループフィルタ内部の振幅の増加を防ぎ、安定性を確保している。

一方、提案型のスペクトルは、従来手法と比べてノイズフロアが約8[dB]下がっていることが確認できる。信号対ノイズ比(SNR)は、FIR フィルタを用いないモデルに比べて提案手法を用いた $\Delta\Sigma$ 変調器のSNRは約8[dB]良くなる結果となった(図37)。1次 $\Delta\Sigma$ 変調器の場合、サンプリング周波数を2倍にするとSNRは理論上9[dB]改善される。したがって、提案手法の変調器は、従来の変調器を2倍の速度で動作させた場合と等価なSNRが得られる。

表2 シミュレーション条件

Input	Sampling Time(Ts)	OSR	Quantizer Bit	Plot
-6dBFS	1	50	3	2^{16}

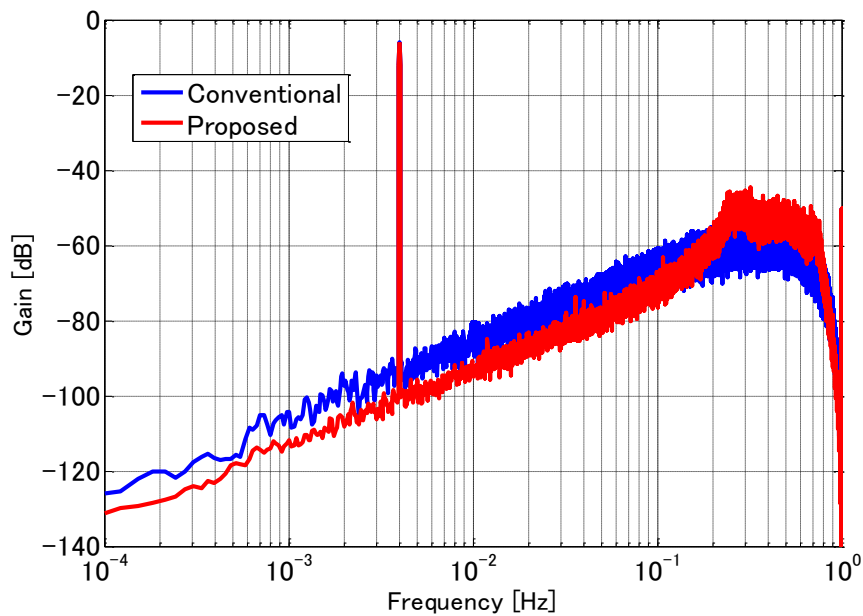


図36 1次 $\Delta\Sigma$ 変調器の出力スペクトル比較

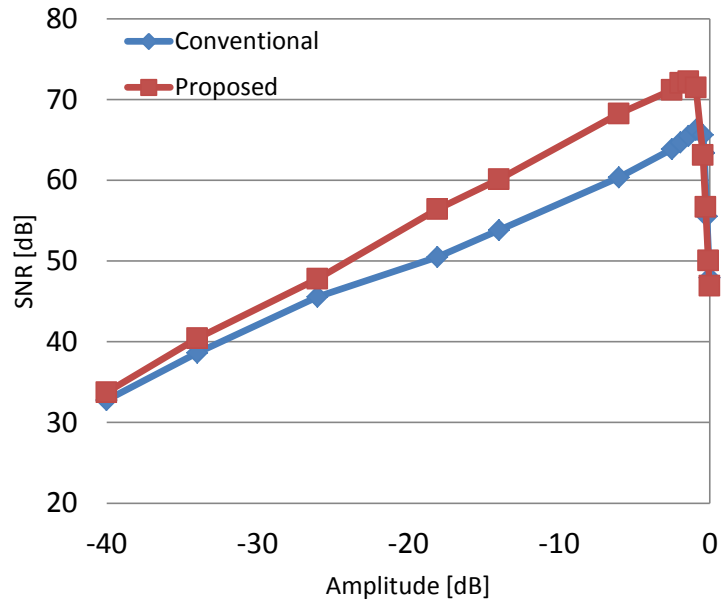


図 37 入力対 SNR

6-2 提案手法を用いた 2 次無歪み型 $\Delta\Sigma$ 変調器

6-2-1 伝達関数

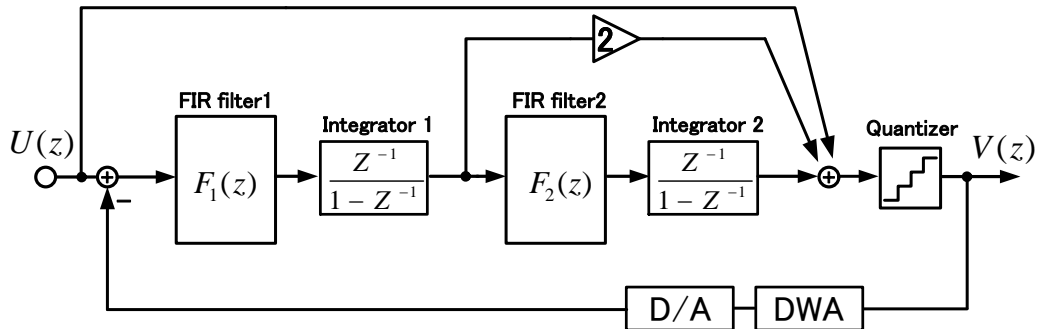


図 38 FIR フィルタを有する 2 次無歪み型 $\Delta\Sigma$ 変調器

2 次無歪み型 $\Delta\Sigma$ 変調器に FIR フィルタを用いた提案型 $\Delta\Sigma$ 変調器のブロック図を図 38 に示す。入出力特性は次式で表される。

$$V(z) = U(z) + \frac{(1 - z^{-1})^2}{DEN(z)} E(z) \quad (47)$$

$$DEN(z) = (F_1(z)F_2(z) - 2F_1(z) + 1)z^{-2} + (2F_1(z) - 2)z^{-1} + 1 \quad (48)$$

$f \ll f_s$ の場合

$$|DEN(z)| = |F_1(z)F_2(z)| \quad (49)$$

NTFの帯域内量子化雑音抑制効果を強めるため, (49)式が1よりも大きくなるように $F_1(z)$, $F_2(z)$ の直流利得を設定する. ここでも, 「係数設定条件」に従い, FIR フィルタの係数を設定する. FIR フィルタの直流利得を上げると NTF のノイズフロアは下がるが, 上げ過ぎると極が単位円からはみ出し, 不安定となってしまう. そのため, 各フィルタの直流利得を 8[dB]以下となるようにパラメータ $h_i F$ を設定した. 加えて, ナイキスト周波数付近での「極までの距離の総積÷零点までの距離」に大きなピークを持たず, ほぼ一定となる位置に極を配置した (図 39). ここでは, 3 タップの FIR フィルタを使用した. 各 FIR フィルタの係数を表 3 に示す. 2 次変調器に 3 タップ FIR フィルタを 2 つ用いることにより, 4 個の極が新たに追加され, NTF の極は 6 つになる. 極の数が増える事により, NTF の設計の自由度が増す.

この条件下での各 FIR フィルタの周波数特性を図 40 に示す. $F_1(z)$, $F_2(z)$ は共に LP 特性になっている事が確認できる.

表 3 各 FIR フィルタの係数

	h_0	h_1	h_2	F	DC Gain
FIR Filter1	4	2	1.2	0.34	7.8 [dB]
FIR Filter2	2.8	1.8	1.2	0.34	5.9[dB]

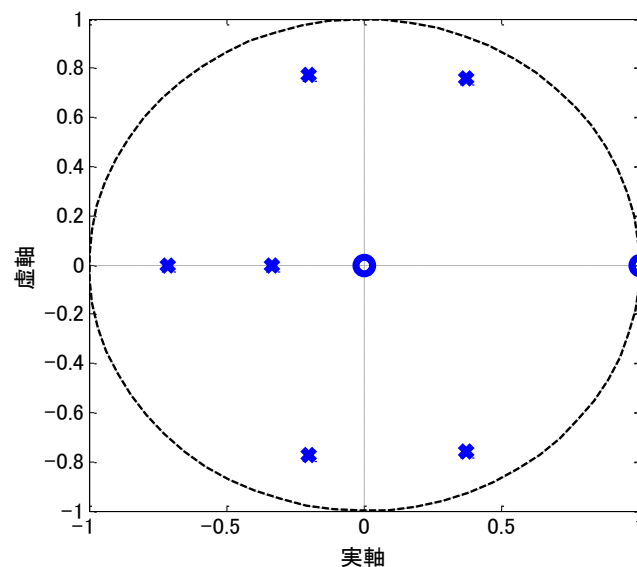


図 39 2 次 FIR フィルタ型 $\Delta\Sigma$ 変調器の極零配置

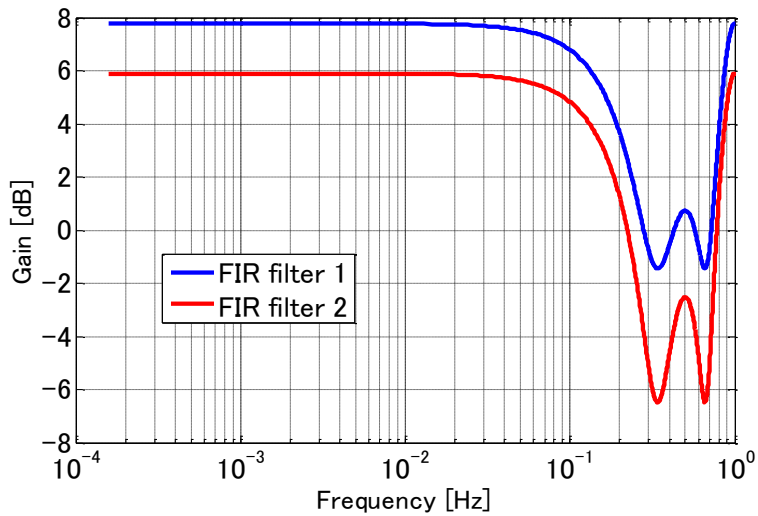


図 40 各 FIR フィルタの周波数特性

6-2-2 シミュレーション結果

表 4 に示す条件でシミュレーションを行った。比較対象は図 38 に示した提案型変調器から FIR フィルタを取り除いた通常のモデルであり、NTF は原点に 2 つ極を有する $(1-z^{-1})^2$ である。図 12 に示す出力スペクトルより、提案手法のスペクトルは通常モデルのスペクトルと比べて、ノイズフロアが約 11[dB]下がっている。これにより、SNR は約 14[dB]提案手法が良くなる結果となった(図 42)。2 次 $\Delta\Sigma$ 変調器の場合、サンプリング周波数を 2 倍にすると SNR は理論上 15[dB]良くなる。したがって、提案手法の変調器は、サンプリング周波数を一定にした場合、従来の変調器の 2 倍の帯域を持つ結果が得られた。

また、FIR フィルタを挿入し、OBG の増加を最小限に抑えたことで、各積分器の出力はフルスケール内に収まっている(図 43)。前述した、積分器の係数を定数倍するだけでは信号振幅が増大されるのに対して(図 31)、大幅に振幅が減少していることから、変調器の安定な動作が保障されていることがわかる。

表 4 シミュレーション条件

Input	Sampling Time(Ts)	OSR	Quantizer Bit	Plot
-6dBFS	1	50	4	2^{16}

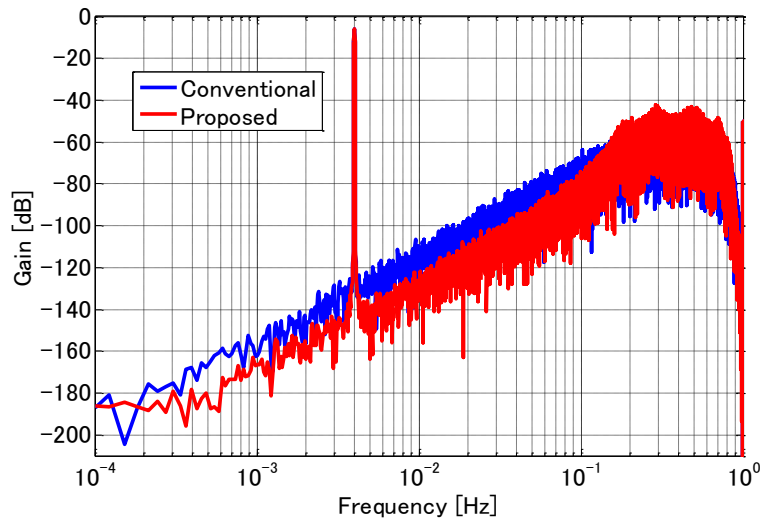


図 41 2次 $\Delta\Sigma$ 変調器の出力スペクトル比較

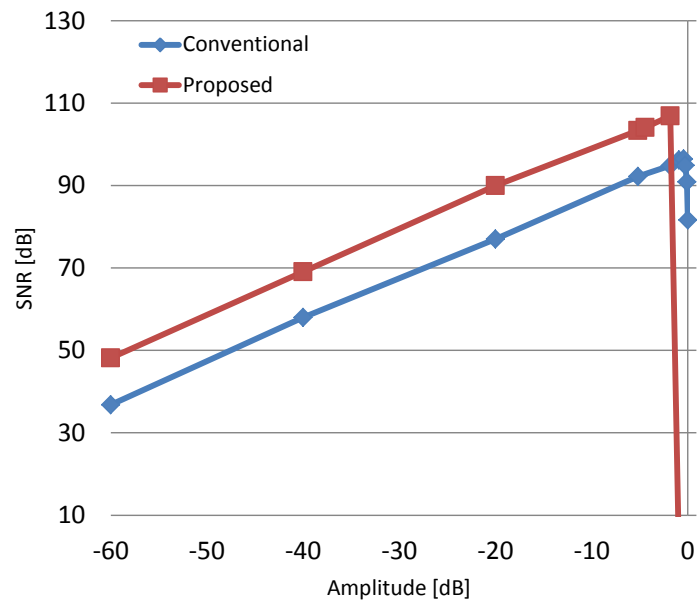
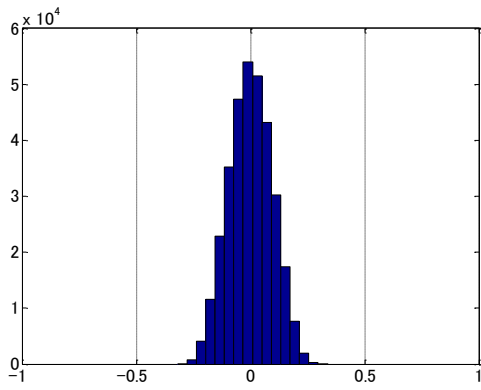
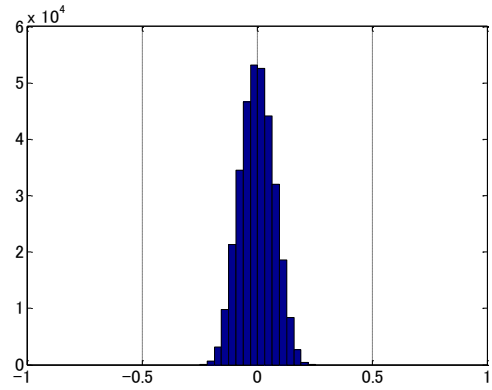


図 42 入力対 SNR



(a) 1 段目積分器出力 X_1



(b) 2 段目積分器出力 X_2

図 43 各積分器のヒストグラム (フルスケール-1~1)

6-3 FIR フィルタの係数ミスマッチに対する耐性

提案型 $\Delta\Sigma$ 変調器を実装する場合、FIR フィルタはスイッチドキャパシタ回路で構成することが出来る。しかし、キャパシタの製造誤差により係数のバラつきが発生する。

そこで、提案手法を用いた1次、2次変調器に対して、各FIRフィルタの経路に $\pm 1\%$ の誤差を加えてシミュレーションを行った(図44、図45)。

両者とも、FIRフィルタの係数ミスマッチに対してほぼ出力スペクトルは変化せず、変調器の特性に影響を与えないことが確認できる。

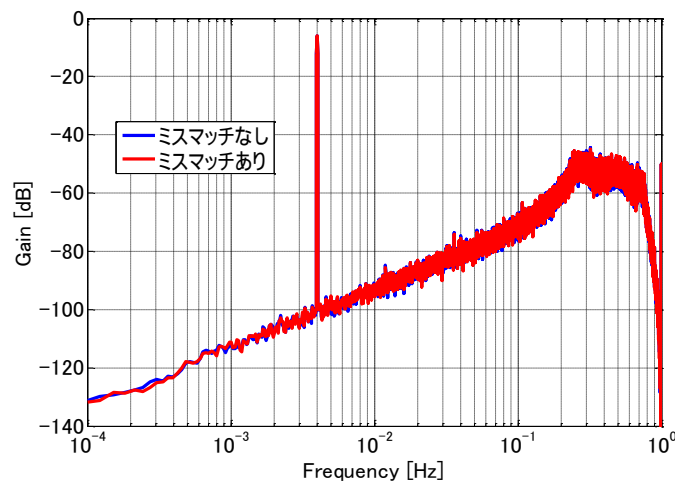


図44 係数ミスマッチあり，なし比較（1次）

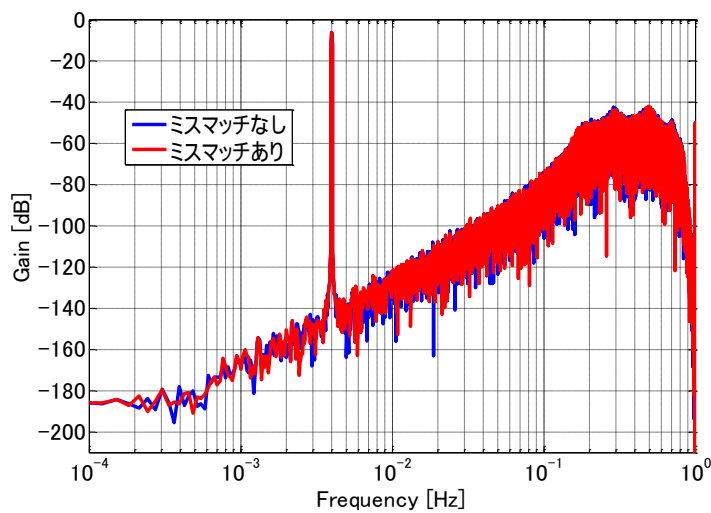


図45 係数ミスマッチあり，なし比較（2次）

第7章 トランジスタ回路レベルの検討

本稿では、提案型 2 次 $\Delta\Sigma$ 変調器のトランジスタ回路レベルで設計を行い、有効性を確認する。

7-1 FIR フィルタの回路構成方法

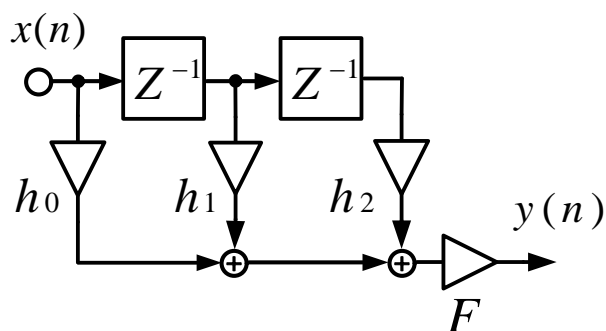
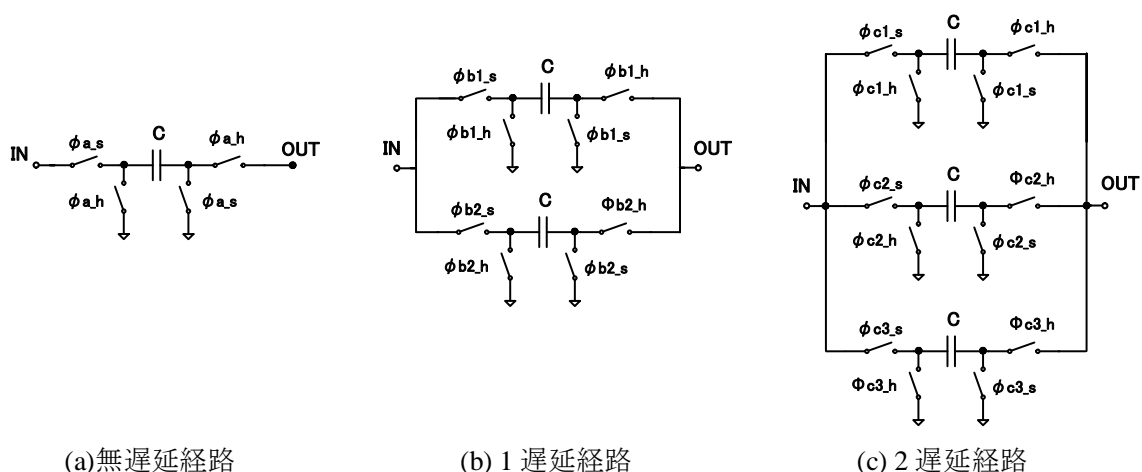


図 46 3 タップ FIR フィルタ

図 46 に示す 3 タップ FIR は、図 47 に示す SC 回路で構成することができる。無遅延の経路 2 相のクロックで電荷の充電、転送を繰り返す。1 遅延の経路は、信号を 1 遅延している間に、サンプリングする必要があるため 2 つの SC を使い、交互に使用することで実現できる。同様の考えで、2 遅延の場合は 3 つの SC 回路で実現できる。このクロックの様子を図 48 に示す。



(a) 無遅延経路

(b) 1 遅延経路

(c) 2 遅延経路

図 47 FIR フィルタ SC 回路

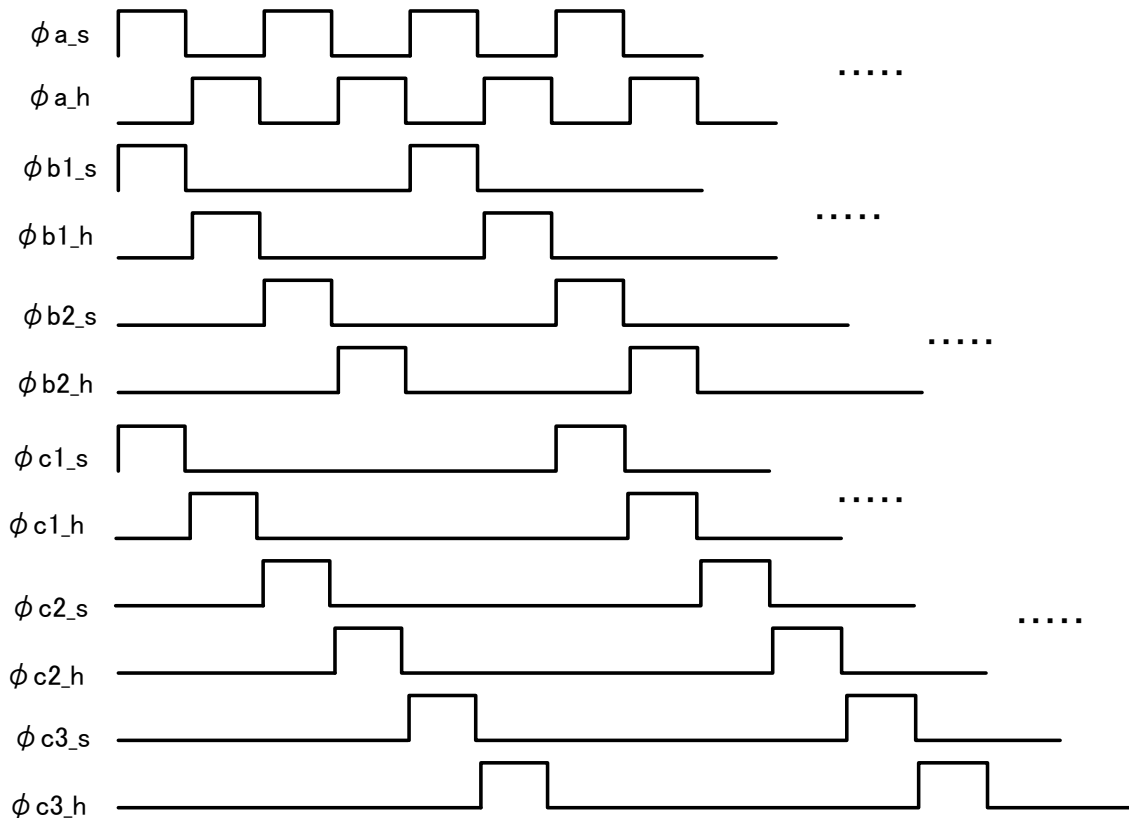


図 48 FIR フィルタ SC 回路のクロックタイムチャート (N=3)

また、FIR フィルタは積分器の前、後ろの 2 種類の構成方法が考えられる。積分器前に FIR フィルタを挿入する場合は、FIR フィルタ回路の出力をそのまま積分器につなげることで、加算+積分の動作がまとめて可能となる。

積分器の後ろに挿入する場合は、後段に積分器もしくは別途加算回路が必要となる。電圧の加算の方法として、2つの方法がある。一つは、OPAMP を用いたアクティブ加算方式である。後段の負荷容量による影響を受けずに加算を行えるが、OPAMP を用いるので消費電力が増加してしまう。もう一つは、キャパシタを並列につなげるだけのパッシブ加算方式である。この方式は、OPAMP を用いないので低消費電力化に向いている。また、加算後の信号が $1/C$ (加算キャパシタ C の比の総和) に減衰する特徴がある。しかし、負荷容量により信号が減衰してしまう問題があるので、加算キャパシタ C はある程度大きくなければならない。

7-2 提案手法を用いた2次無歪み型 $\Delta\Sigma$ 変調器

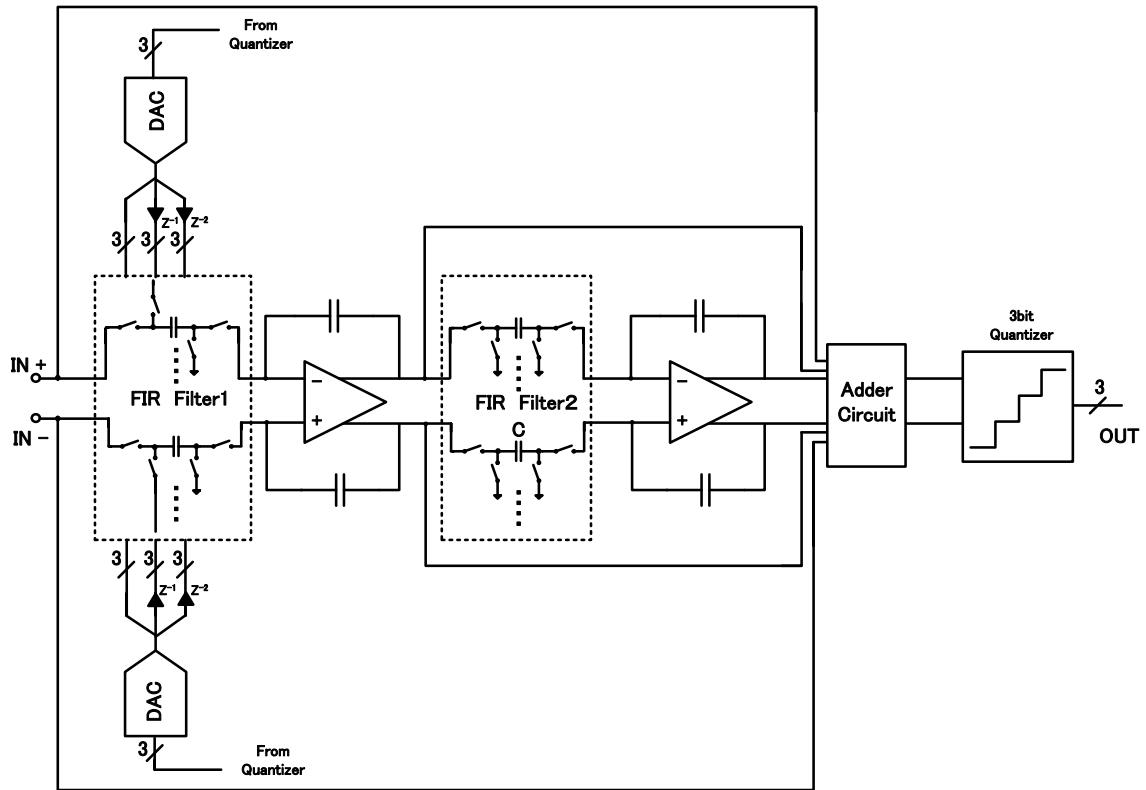


図 49 FIR フィルタを用いた2次無歪み型 $\Delta\Sigma$ 変調器の回路図

図 49 に提案手法を用いた2次無歪み型 $\Delta\Sigma$ 変調器の全体回路図を示す。ここでは、FIR フィルタを各積分器の前段に挿入した回路を提案する。

1 段目の FIR フィルタは、入力と DAC を共用とした。そのため、図 47 に示した SC 回路個々の SC 回路の容量は $C/7$ とし、それらを7つ用いている。そして、それぞれが DAC の温度計7値の出力と接続されている。フィードバックからの信号は、DAC に D-FF を用いて、無遅延、1 遅延、2 遅延の信号を生成している。

また、フィードフォワードパスは、量子化器前のパッシブ加算回路で加算を行なっている。量子化器は3bit としたため、7つのコンパレータを用いたフラッシュ型とした。量子化器で温度計7bit の信号に変換し、DAC でフィードバックを行う。

通常、多ビット量子化器を用いた場合、DAC の素子ミスマッチを、DWA などを用いて補償する必要がある[6]。この DWA はデジタル回路で実現する。ここでは、アナログ回路部分での提案手法の有効性を確認するため、DWA を挿入せず、DAC のミスマッチはないものとして検証を行なった。

7-3 シミュレーション結果

図 49 の，提案手法を用いた 2 次無歪み型 $\Delta \Sigma$ 変調器を表 5 に示す条件で SPICE シミュレーションを行なった．変調器の各係数は，表 ? に示す係数を用い，量子化器の分解能を 3 ビットとした．なお，比較のために通常の 2 次無歪み型 $\Delta \Sigma$ 変調器のシミュレーションも同時に行なった．シミュレーションでは，クロックのみ理想素子を用いた．

表 ? ¥5 シミュレーション条件

Input level	Input frequency[Hz]	clock[Hz]	OSR	Quantizer Bit	Plot
-12dBfs	30k	10M	50	3	2^{14}

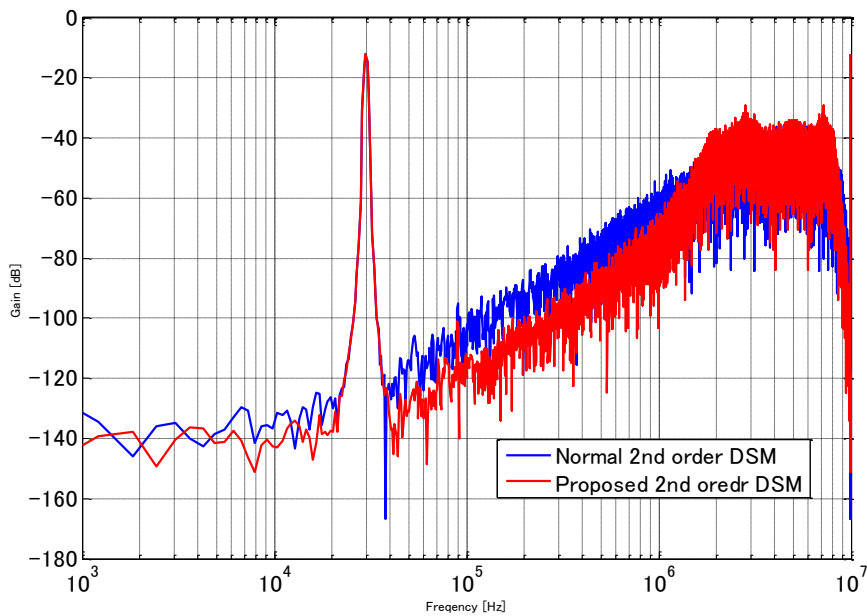


図 50 SPICE によるシミュレーション結果

図 50 の出力スペクトルより，MATLAB/Simulink で行なったシミュレーションと同様に，提案手法のほうが約 12dB ノイズフロアが低い結果となった．これにより，提案手法の有効性を SPICE でも確認できた．

第8章 まとめ

本論文では、FIR フィルタを $\Delta\Sigma$ 変調器のループフィルタ内に用いることにより、安定性を保持しつつ、信号帯域内の量子化雑音を減らす手法を提案した。

MATLAB/Simulink のシミュレーションにより、提案手法を1次および2次無歪型 $\Delta\Sigma$ 変調器に用いて、従来の原点に極を有する変調器を2倍の速度でサンプリングを行ったものと等価なSNRを得られることを示した。すなわち、通常の $\Delta\Sigma$ 変調器にFIR フィルタを追加するだけで、2倍の帯域を得られることを示した。

また、回路実装で問題になりうる、FIR フィルタの各係数バラツキの影響を考慮したシミュレーションを行い、変調器の特性に大きな影響を与えないことを示した。したがって、提案手法を用いた $\Delta\Sigma$ 変調器は、[4]や[5]のような特別な mismatch 補償が不要であり、従来の $\Delta\Sigma$ 変調器にSC回路の追加という、簡単な構成で回路実装できる。

最後に、SPICE で提案手法を用いた2次無歪み型 $\Delta\Sigma$ 変調器のシミュレーションを行い、提案手法の有効性を確認した。

謝辞

本研究を進めるに当たり、多くの指導・助言を頂いた法政大学工学部安田彰教授に深く感謝申し上げます。また、この場をお借りしまして、様々な協力を頂いた同研究室の学生の皆様にも感謝申し上げます。

また、本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes, "Delta-Sigma Data Converters Theory, Design, and Simulation" IEEE PRESS.
- [2] Ramin Khoini-Poorfard, Lysander B. Lim, and David A. Johns "—Time-Interleaved-Oversampling A/D Converters: Theory and Practice," IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING, VOL. 44, NO. 8, (AUGUST 1997)
- [3] H. Yang and E. Elmasry, "Double sampling delta-sigma modulators," IEEE Trans. Circuits Syst. II, vol. 43, pp. 524–529, July 1996.
- [4] P. Rombouts, J. Raman, and L. Weyten, "An approach to tackle quantization noise folding in double-sampling $\Sigma\Delta$ modulation A/D converters," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 50,

no. 4, pp. 157–163, Apr. 2003.

[5] Xiao Yang, Guican Chen, Jun Cheng, Xiaoyun Xu, “A Novel Two-Channel Time-Interleaved Forth-Order Sigma-Delta Modulator Topology,” Circuits and Systems. APCCAS 2008. IEEE Asia Pacific Conference on , pp 1152 – 1155, 2008

[6] Akira Yasuda, Hiroshi Tanimoto and Tetsuya Iida—A Third-Order Δ - Σ Modulator Using Second-Order Noise-Shaping Dynamic Element Matching|| IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 12, (DECEMBER 1998)

発表論文

1. 清川佳博, 安田 彰, 吉野 理貴: “FIR フィルタを用いて信号帯域内量子化雑音を低減した $\Delta\Sigma$ 変調器” 電子情報通信学会, 総合大会, A-1-13, Mar.2012.
2. 本多 俊弥, 安田 彰, 吉野 理貴, 福永 弘恭, 西勝 聡, 清川 佳博: “ベクトルフィルタを用いたカスケード型並列 $\Delta \Sigma$ 変調器”, 電気学会, 電子回路研究会, ECT-11-005, pp23-27, Jan2011.
3. 西勝聡; 安田彰; 吉野理貴; 本多俊弥; 清川佳博; “ベクトルフィルタを用いた並列型 $\Delta\Sigma$ 変調器の提案”, シリコンアナログ RF 研究会, 2010.