

ラッチ型ゲートによる計算機演算回路のパイプライン・ピッチの短縮化の検討

Goto, Eiichi / 能州, 一浩 / 本間, 紀之 / 南部, 博昭 / 中村, 徹 / 後藤, 英一 / Noshu, Kazuhiro / Homma, Noriyuki / Nambu, Hiroaki / Nakamura, Tohru

(出版者 / Publisher)

電子情報通信学会

(雑誌名 / Journal or Publication Title)

電子情報通信学会秋季大会講演論文集 / 電子情報通信学会秋季大会講演論文集

(号 / Number)

2

(開始ページ / Start Page)

173

(終了ページ / End Page)

173

(発行年 / Year)

1994-09-26

ラッチ型ゲート回路による計算機演算回路の
パイプライン・ピッチの短縮化の検討

Reduction of pipeline pitch of
high-speed computer by gates with latch

能州 一浩

Kazuhiro NOSHU

法政大学

本間 紀之

Noriyuki HOMMA

* 日立中央研究所

南部 博昭*

Hiroaki NAMBU

** 理化学研究所、神奈川大学

中村 徹*

Tohru NAKAMURA

後藤 英一**

Eiichi GOTO

Hosei University Hitachi Central Research Laboratory The Institute of Physical and Chemical Research, Kanagawa University

1. はじめに 現在、最も高速のコンピュータであるスーパーコンピュータでは処理性能向上のためにパイプライン演算方式を積極的に採用している。ところで、このようなパイプライン構造の高速処理装置に特に適した論理回路としてラッチ型シリーズゲートを用いたゲート回路が提案されている¹⁾。本報告では、シミュレーションによりこの新しいゲート回路の高速性を検討したのでその結果について述べる。

2. 回路構成 まず、この報告で今回検討した新しい回路方式について説明する。例として、3入力ゲートを考える。図1(a)は従来から使用されてきた3入力ECLゲートである。一方、図1(b)は新しい3入力ECLゲートであり、ラッチ機能を付加している。この例で示すように、新しい方式では使用する全てまたは大部分のゲートをラッチ化し、パイプライン・ピッチをゲート1段単位にまで短縮すると同時に高速のクロックで各段を駆動し処理性能の向上を狙っている。この方式は高速コンピュータのあらゆる部分に適用可能であるが、まず手始めに特に高性能が望まれるスーパーコンピュータの演算器部分への適用を考え、そのフィジビリティをテストするために4ビット加算器を対象として性能を検討することにした。図2は性能評価に用いた4ビットの桁上げ先見並列加算器の回路図である。シミュレーションでは f_T が20GHzのトランジスタを用いた。データ入出力信号の振幅は500mV、クロック信号の振幅は200mV(差動)である。

3. シミュレーション結果 クロック信号はECLバッファを介して給電しているが、シミュレーション結果でのクロック信号の t_r 、 t_f は40psであった。また、データを確実にラッチできるクロックパルス幅は65psであった。この波形の2相クロックを用いて動作可能な最小繰り返し時間は0.4nsであった。従って、最高動作周波数は2.5GHzであることが確認できた。図3に2.5GHzのシミュレーション結果を示す。なお、この4ビット加算器は現在試作中である。

謝辞 4ビット加算器の試作でお世話になっている日立中央研究所AD部の方々に深謝致します。

参考文献 1) 特願 平2 第61881号 「論理回路」

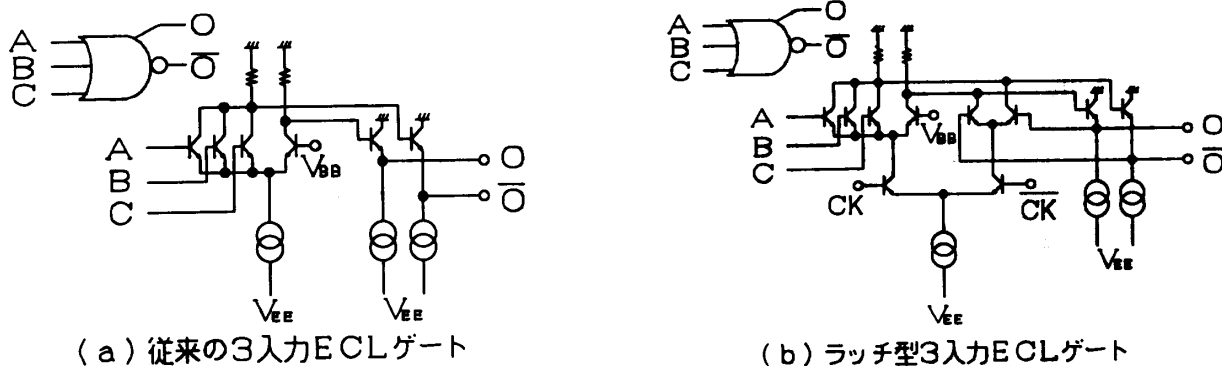


図1. 3入力ECLゲート

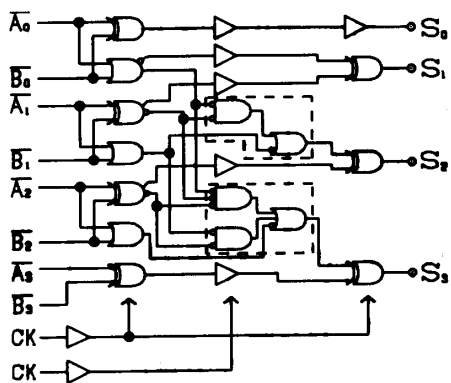


図2. 4ビット加算器

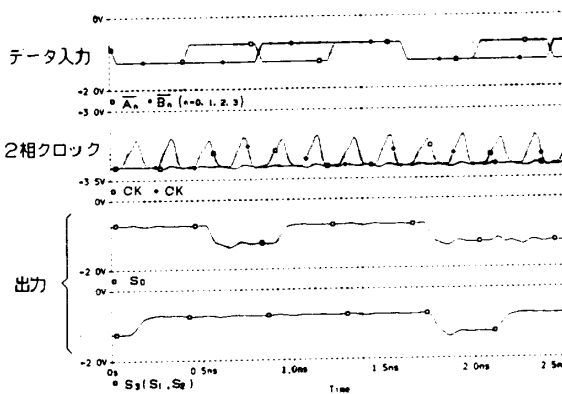


図3. シミュレーション結果