法政大学学術機関リポジトリ
HOSEI UNIVERSITY REPOSITORY

PDF issue: 2025-07-13

超高速シリコンバイポーラデバイスの低消費電力化

NAKAMURA, Tohru / 本間, 紀之 / WASHIO, Katsuyoshi / 中村, 徹 / HOMMA, Noriyuki / 鷲尾, 勝由

(出版者 / Publisher)
電子情報通信学会
(雑誌名 / Journal or Publication Title)
電子情報通信学会ソサイエティ大会講演論文集
(号 / Number)
2
(開始ページ / Start Page)
72
(終了ページ / End Page)
72
(発行年 / Year)
1995-09-05

Institute of Electronics, Information, and Communication Engineers

1995年電子情報通信学会エレクトロニクスソサイエティ大会

C-380

超高速シリコンバイポーラデバイスの低消費電力化
Low Power、High Speed Si Bipolar Devices

中村　徹、鷲尾　勝由、本間紀之*
T. Nakamura, K. Washio and N. Homma
(株) 日立製作所　中央研究所
Central Research Laboraotry, Hitachi Ltd.
*法政大学工学部
College of Engneering, Hosei University

1. はじめに

シリコンバイポーラデバイスは、大型計算機や高速光伝送用集積回路等、高速性を重視した応用分野に主として用いられてきた。図1はシリコンバイポーラデバイスで構成したECL回路の遅延時間のトレンドである。現在では回路の遅延時間10ps/G台の性能が得られており、開発を続行することにより更なる高速化が達成できると予想される。近年、高速性能を特徴とする製品分野においても低消費電力化が必要とされている。本報告では、超高速シリコンバイポーラデバイスの低消費電力化について発表する。

2. 自己整合型バイポーラデバイス技術とスケーリング

現在のバイポーラデバイスは二層ポリシリコン型と呼ばれる構造が主流となっている。この構造はポリシリコンを応用した自己整合技術によってつくられている。そのため、寄生ベース領域が真性ベース領域に比べ非常に小さく形成されているため、コレクタ容量が低減され高速化が実現されている。

このバイポーラデバイスの高性能化には二通りの方法がある。即ち、速度は現状のままで低消費電力化を図る方法と、高速化及び低消費電力化を同時に達成させる方法である。図2にスケーリング方法を示す。前者は平面方向のみを微細化し低電流領域での遮断周波数を向上させる方法である。この方法では、単位面積当たりの寄生容量は一定であり、平面方向の縮小によって寄生容量が減少するため微細化に伴う低消費電力化の効果は大きい。また後者は平面方向と深さ方向を同時に微細化し最大遮断周波数を向上させる方法であるが、プロファイルを高濃度化させるため、単位面積当たりの接合容量は増加する。そのため、低消費電力ＬＳＩへの応用を重視した開発では、平面方向のみのスケーリングにより寄生容量を低減する方法が有効である。

3. 低電力コンプリメンタリバイポーラ回路

高速バイポーラＬＳＩには通常ＥＣＬ回路が用いられているが、消費電力が非常に大きいことが欠点とされている。バイポーラトランジスタを用いて、スイッチング動作時のみに大きな電流が流れるコンプリメンタリ回路の検討は低消費電力化を達成する上で非常に有効である。図3はｐｎｐトランジスタを用いたコンプリメンタリエミッタフォロア回路とその性能予測である。負荷容量0.5psの時、150ps以上の遅延時間において、通常のＥＣＬ回路に比べ１／５も低消費電力化が図られることが分かる。

4. おわりに

バイポーラデバイスの研究開発は市場動向の急激な変化により高速性の追求に加え、低消費電力化が重要になってきた。また、高速性に優れた化合物半導体ＬＳＩも移動体端末応用等で低消費電力化への取り組みがなされ、競合関係になっている。今後は双方のデバイス、回路の利点を生かし、それらの技術を巧みに応用した製品開発が重要となろう。

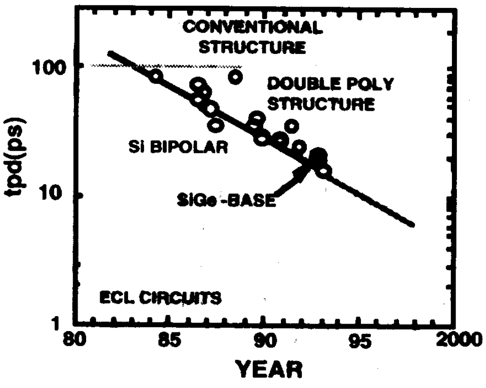
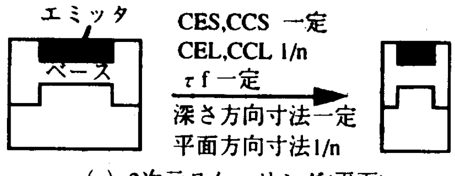
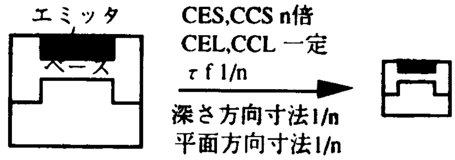


図１遅延時間のトレンド



(a) 2次元スケーリング(平面)



(b) 3次元スケーリング(平面、深さ)

図２スケーリング

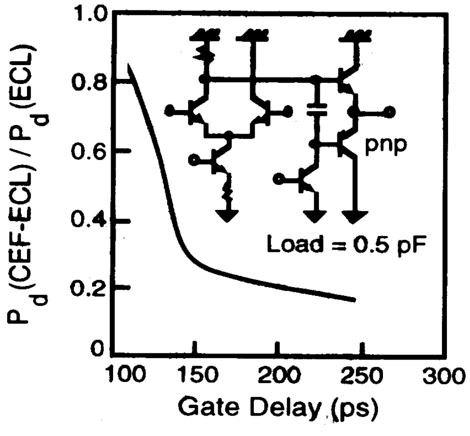


図３コンプリメンタリ回路と性能

NII-Electronic Library Service