

### 超高速微細InGaP/GaAs HBTの特性と回路応用

OUCHI, Kiyoshi / 岡, 徹 / 平田, 宏治 / 大内, 潔 / 内山, 博幸 / 谷口, 隆文 / 望月, 和浩 / 中村, 徹 / OKA, Tohru / HIRATA, Koji / UCHIYAMA, Hiroyuki / TANIGUCHI, Takafumi / MOCHIZUKI, Kazuhiro / NAKAMURA, Tohru

---

(出版者 / Publisher)

電子情報通信学会

(雑誌名 / Journal or Publication Title)

電子情報通信学会技術研究報告. ICD, 集積回路 / 電子情報通信学会技術研究報告. ICD, 集積回路

(号 / Number)

523

(開始ページ / Start Page)

1

(終了ページ / End Page)

6

(発行年 / Year)

1999-01-20

## 超高速微細 InGaP/GaAs HBT の特性と回路応用

岡 徹 平田 宏治\* 大内 潔 内山 博幸  
谷口 隆文 望月 和浩 中村 徹\*\*

株式会社 日立製作所 中央研究所 \*日立超 LSI エンジニアリング株式会社

〒185-8601 東京都国分寺市東恋ヶ窪 1-280

\*\*法政大学工学部電気電子工学科

〒184-8584 東京都小金井市梶野町 3-7-2

TEL: 042-323-1111, E-mail: okatohru@crl.hitachi.co.jp

あらまし 外部コレクタ寄生領域が SiO<sub>2</sub> で埋め込まれた構造を有する微細 InGaP/GaAs HBT の高速動作性能を向上させるため、プロセスの改良およびデバイス構造の最適化を行った。埋め込み SiO<sub>2</sub> 領域で生じる寄生容量は従来比で約 50% 低減することができ、単体の素子の性能としては、エミッタサイズ  $S_E = 0.5 \times 4.5 \mu\text{m}^2$  の素子においてコレクタ電流  $I_C = 3.5 \text{ mA}$  で遮断周波数  $f_T = 156 \text{ GHz}$ 、最大発振周波数  $f_{\text{max}} = 255 \text{ GHz}$  を、また  $S_E = 0.25 \times 1.5 \mu\text{m}^2$  の素子では  $I_C = 0.9 \text{ mA}$  で  $f_T = 114 \text{ GHz}$ 、 $f_{\text{max}} = 230 \text{ GHz}$  をそれぞれ達成した。この微細 HBT を用いて作製した 1/8 分周器は消費電力 190mW/FF において 39.5 GHz の分周動作を達成した。

キーワード HBT, InGaP, GaAs, SiO<sub>2</sub>, 分周器

## Ultra-high-speed Small-scaled InGaP/GaAs HBT's and their Circuit Applications

Tohru Oka, Koji Hirata\*, Kiyoshi Ouchi, Hiroyuki Uchiyama,  
Takafumi Taniguchi, Kazuhiro Mochizuki, and Tohru Nakamura\*\*

Central Research Laboratory, Hitachi, Ltd., \*Hitachi ULSI Engineering Corp.

1-280, Higashi-koigakubo, Kokubunji-shi, Tokyo 185-8601, Japan

\*\*Department of Electronics and Electrical Engineering, Hosei University

3-7-2, Kajino-cho, Koganei-shi, Tokyo 184-8584, Japan

TEL: 042-323-1111, E-mail: okatohru@crl.hitachi.co.jp

**Abstract** We have achieved advanced high-frequency performance in small-scaled InGaP/GaAs HBT's due to the further reduction of the parasitic capacitance by refining the device design and the process technology. An  $f_T$  of 156 GHz and an  $f_{\text{max}}$  of 255 GHz were achieved for an HBT with an emitter size  $S_E$  of  $0.5 \times 4.5 \mu\text{m}^2$  at a collector current  $I_C$  of 3.5 mA, and an HBT with  $S_E$  of  $0.25 \times 1.5 \mu\text{m}^2$  exhibited  $f_T$  of 114 GHz and  $f_{\text{max}}$  of 230 GHz at  $I_C$  of 0.9 mA. A 1/8 static frequency divider using these HBT's operated at a maximum toggle frequency of 39.5 GHz with power consumption per flip-flop of 190 mW.

key words HBT, InGaP, GaAs, SiO<sub>2</sub>, frequency divider

## 1. はじめに

GaAs 系ヘテロ接合バイポーラトランジスタ (HBT) は、電子の輸送特性が Si バイポーラトランジスタ (BJT) よりも優れていることから超高速 IC 用の素子として注目され、40Gbps 級光伝送システムや準ミリ波帯・ミリ波帯無線通信システムなどへの適用が試みられている。しかしながら、これまでに報告されている高周波特性の優れた HBT の多くは、その素子サイズが Si BJT と比較して大きいことから、集積度の高い回路ではチップの発熱や消費電力の増大が問題となっている。この問題を解決するために、エミッタサイズを  $1\mu\text{m}^2$  程度にまで微細化することによって動作電流を低減した HBT も報告されてはいるが、その高周波特性は素子を微細化するにつれて著しく低下している [1-3]。これは、ベース-コレクタ接合面積がエミッタ面積にともなって微細化されず、その結果ベース-コレクタ接合で生じる寄生容量が相対的に大きくなったことに起因している。したがって HBT を低電流でかつ高速動作させるためには、エミッタサイズの微細化と同時に寄生容量も大幅に低減することが重要な課題となると考えられる。

ベース-コレクタ接合における寄生容量を低減する方法として我々は、ベース-コレクタ接合面積を微細化すると同時に寄生領域となるベース電極直下の外部コレクタ領域を誘電率の低い  $\text{SiO}_2$  で埋め込んだデバイス構造を採用し、また、この構造を容易に実現するためにベース電極として加工性に優れた材料である WSi/Ti を用いた微細 InGaP/GaAs HBT を開発してきた [4]。その結果、小さいエミッタサイズでも優れた高周波特性を有する素子を実現した。本報告では、プロセスの改良およびデバイス構造の最適化によって寄生容量をさらに低減し、微細 InGaP/GaAs HBT の高速動作性能を向上させた結果、およびこの微細 HBT を用いて 1/8 スタティック分周器を試作し、回路性能を評価した結果について述べる。

## 2. デバイス構造

我々が開発したデバイスの断面構造模式図を図 1 に示す。このデバイスは以下の 2 点を特徴とする。第一の特徴は、ベース-コレクタ接合の外側

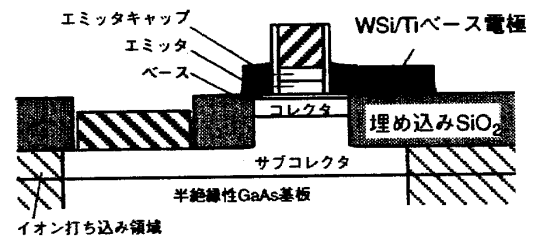


図1 埋め込み絶縁膜構造を有するWSi/Tiベース電極InGaP/GaAs HBTの断面構造模式図

表1 作製したHBTの結晶仕様

Layer	Material	Doping ( $\text{cm}^{-3}$ )	Thickness (nm)
Emitter-cap	$n^+\text{InGaAs}$	$4 \times 10^{19}$	50
	$n^+\text{GaAs}$	$8 \times 10^{18}$	100
	$n^+\text{InGaP}$	$8 \times 10^{18}$	50
Emitter	$n\text{-InGaP}$	$5 \times 10^{17}$	100
Base	$p^+\text{GaAs}$	$1 \times 10^{20}$	30
Collector	$n\text{-GaAs}$	$2 \times 10^{16}$	200
Subcollector	$n^+\text{GaAs}$	$8 \times 10^{18}$	800

が  $\text{SiO}_2$  で埋め込まれ、ベース-コレクタ接合面積が微細化されていることである。 $\text{SiO}_2$  はその比誘電率が GaAs の約 1/3 程度であるため、この構造によってベース電極直下の寄生容量を大幅に低減することができる。このデバイスのもう一つの特徴は、ベース電極が WSi/Ti から形成されていることである。これらの金属はドライエッチングによって制御性良く加工することができるため、従来の Au 系電極材料に比べて、微細なベースコンタクト領域および  $\text{SiO}_2$  埋め込み構造を有するようなデバイスに対して、ベース電極を容易に形成することができる。デバイス作製プロセスの詳細は次章で説明する改良部分を除き、文献 4 と同じである。

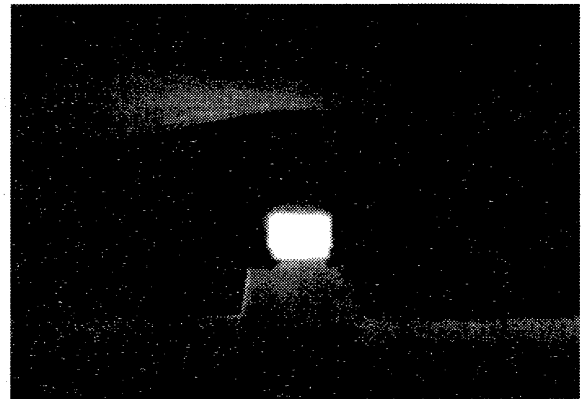
表 1 に今回試作したデバイスのエピタキシャル結晶構造を示す。結晶は半絶縁性(100)GaAs 基板上にガスソース分子線エピタキシー(GSMBE)法を用いて成長した。p 型 GaAs のドーパントには拡散係数が小さい炭素を用いており、ベース層を高濃度 ( $1 \times 10^{20} \text{ cm}^{-3}$ ) かつ薄く (30 nm) することによって、ベース走行時間およびベース抵抗の低減を実現している。コレクタ層の膜厚は、コレクタ走行時間、ベース-コレクタ間容量および耐圧を考慮し、200 nm とした。

### 3. 寄生容量の低減

外部コレクタ領域の埋め込み絶縁膜は、 $\text{SiO}_2$  の堆積とフォトレジストによる平坦化、およびエッチバック工程によって形成される。この時、平坦化時における表面の形状はウェハ上のレイアウトパターンに依存するため、エッチバック時のオーバーエッチングによって歩留まりが低下したり、埋め込み  $\text{SiO}_2$  の膜厚が薄くなることで容量低減の効果が小さくなるという問題があった。そこで、平坦化工程を改良し、ウェハ表面の平坦性向上を試みた。その結果、フォトレジスト塗布後の高温リフローと2重塗布が表面の平坦性向上に有効であることが判明した。図2は1度目のレジスト塗布の後、 $200^\circ\text{C}$ 、5分間のリフローを行う前後での表面の平坦性を比較した SEM 写真であり、高温リフローによって表面の平坦性が大幅に改善されることがわかる。また、リフローを行った後に再度レジストを塗布することにより、平坦性はさらに向上させることができた。その結果、エッチバック後の埋め込み  $\text{SiO}_2$  の膜厚の分散(3インチウェハ面内)は、従来  $100\text{ nm}$  以上であったものが  $40\text{ nm}$  以下にまで低減された。この改善によって、デバイスは  $90\%$ 以上の歩留まりを達成したと同時に、埋め込み  $\text{SiO}_2$  の膜厚を従来より  $25\%$ 厚い  $0.5\ \mu\text{m}$  まで増加させることができた。

次にベース電極の加工に  $\text{CF}_4$  ラジカルによるドライエッチングを用いて、ベース電極面積を低減することを試みた。 $\text{CF}_4$  ラジカルは  $\text{WSi}$  の当方性エッチングが可能なので、 $\text{SiO}_2$  に対して高い選択比が得られることから、電極加工時のサイドエッチング時間を制御することでベース電極面積を微細化することができる。この方法によって電極面積は従来より約  $20\%$ 低減させることができた。

最後にベース層と電極とがコンタクトを形成する領域の幅(以下、ベースコンタクト幅と呼ぶ)の最適化について検討した。ベースコンタクト幅  $W_{\text{BC}}$  の微細化はベース-コレクタ間容量  $C_{\text{BC}}$  を低減させることができるため、遮断周波数  $f_{\text{T}}$  および最大発振周波数  $f_{\text{max}}$  の向上に有効であると考えられる。しかしながら、それと同時にコンタクト抵抗が増加しベース抵抗  $R_{\text{B}}$  の増大を引き起こすことから、 $W_{\text{BC}}$  には  $f_{\text{max}}$  を最大にする最適値が存在すると考



(a) リフロー前

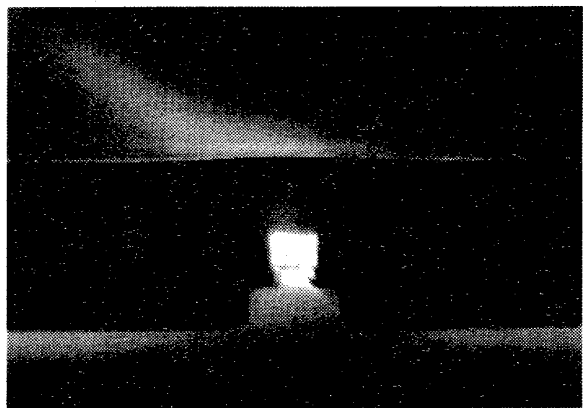
(b) リフロー後 ( $200^\circ\text{C}$ , 5分)

図2 フォトレジストによる平坦化後の表面形状

えられる。そこでこの  $W_{\text{BC}}$  を最適化するために  $R_{\text{B}} \cdot C_{\text{BC}}$  積の  $W_{\text{BC}}$  依存性を計算により求めた。その結果、エミッタサイズ  $S_{\text{E}} = 0.5 \times 5\ \mu\text{m}^2$ 、ベース濃度  $= 1 \times 10^{20}\ \text{cm}^{-3}$  の場合、 $R_{\text{B}} \cdot C_{\text{BC}}$  積を最小にする  $W_{\text{BC}}$ 、すなわち最適値は  $0.25\ \mu\text{m}$  であることが判明した [4]。

以上の結果を用いて、微細  $\text{InGaP/GaAs}$  HBT を試作し、容量低減の効果を評価した。図3にエミッタ幅  $0.5\ \mu\text{m}$  の素子における  $C_{\text{BC}}$  のエミッタ長依存性を従来の素子の結果とともに示す。図には  $C_{\text{BC}}$  を成分分離した結果 ( $C_{\text{in}}$ : 真性容量,  $C_{\text{ex}}$ : 半導体部分の外部コレクタ容量,  $C_{\text{SiO}_2}$ :  $\text{SiO}_2$  埋め込み部分の寄生容量) も同時に示している。今回のプロセス改良によって寄生容量  $C_{\text{SiO}_2}$  は従来比で約  $50\%$ 低減させることができた。この  $C_{\text{SiO}_2}$  低減の効果は素子が微細であるほど大きく、たとえばエミッタ長  $L_{\text{E}} = 1.5\ \mu\text{m}$  の微細素子では  $C_{\text{BC}}$  は約  $20\%$ 低減させることができた。

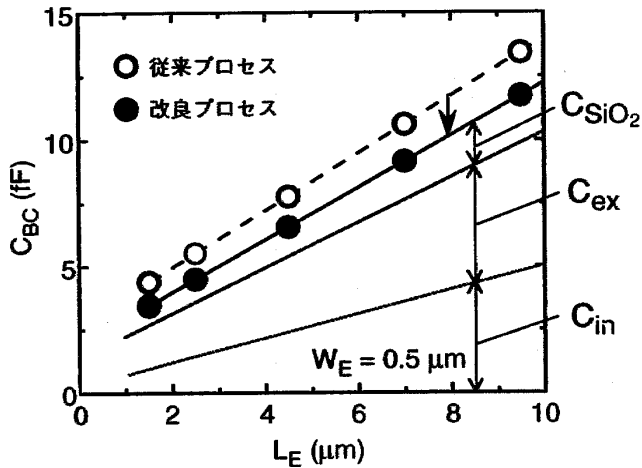


図3 ベース-コレクタ間容量のエミッタ長依存性

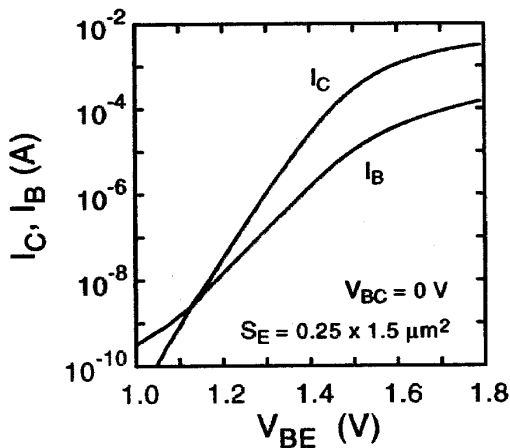
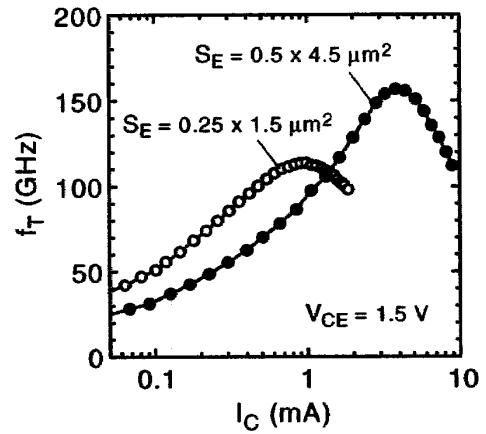


図4 作製したHBTのガンメルプロット

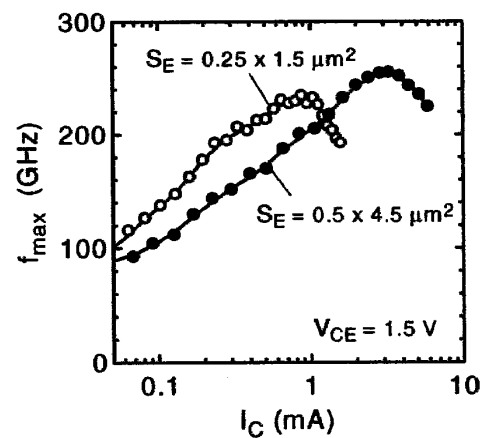
#### 4. デバイス特性

作製した微細 InGaP/GaAs HBT の直流特性としてエミッタサイズ  $S_E = 0.25 \times 1.5 \mu\text{m}^2$  のガンメルプロットを図 4 に示す。エミッタサイズが小さいにも関わらず電流増幅率は高電流領域において 30 という高い値が得られている。また、コレクター-エミッタ間耐圧は、薄いベース(30 nm)および薄いコレクタ(200 nm)を用いているにも関わらず 9.6 V という良好な値が得られた。

作製したデバイスの高周波特性はオンウェハでの  $S$  パラメータ測定(0.1-40 GHz)により評価した。測定時のバイアス電圧  $V_{CE}$  は 1.5 V である。図 5 に  $S_E = 0.5 \times 4.5 \mu\text{m}^2$  および  $S_E = 0.25 \times 1.5 \mu\text{m}^2$  の素子の  $f_T$  および  $f_{max}$  のコレクタ電流  $I_C$  依存性を示す。 $S_E = 0.5 \times 4.5 \mu\text{m}^2$  の素子では、 $I_C = 3.5 \text{ mA}$  におい



(a) 遮断周波数

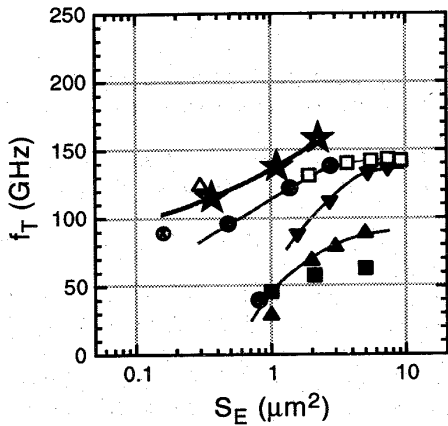


(b) 最大発振周波数

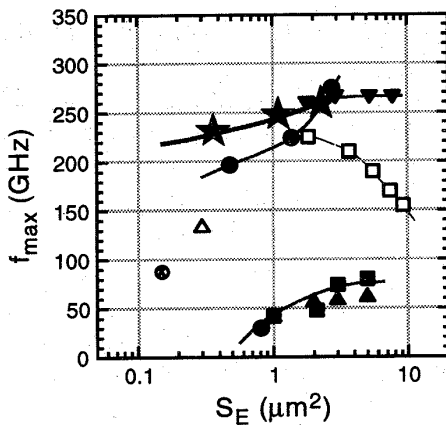
図5 遮断周波数および最大発振周波数のコレクタ電流依存性

て  $f_T = 156 \text{ GHz}$ ,  $f_{max} = 255 \text{ GHz}$  と、ともに高い値を達成した。GaAs 系 HBT で結晶に L-BCT 構造を用いず  $f_T$  が 150 GHz を超えた例にはなく、本デバイス構造が高速動作実現に有効であることがわかる。一方  $S_E = 0.25 \times 1.5 \mu\text{m}^2$  の素子では、 $I_C = 0.9 \text{ mA}$  という低い電流で  $f_T = 114 \text{ GHz}$ ,  $f_{max} = 230 \text{ GHz}$  といずれも 100 GHz を超す良好な値が得られている。これらの値はこれまでに報告されている GaAs 系 HBT において、サブミリアンペアで動作した最高の値であり、微細素子における容量低減の効果が伺える。

図 6 に、これまで報告されている超高速バイポーラデバイスの  $f_T$  および  $f_{max}$  のエミッタサイズ依存性を比較した結果を示す[1-8]。我々の従来結果との比較から、今回のプロセスの改良およびデバイス構造の最適化による寄生容量の低減が素子微細化に伴う高速性能低下の抑制に有効であること



(a) 遮断周波数



(b) 最大発振周波数

図6 遮断周波数および最大発振周波数のエミッタサイズ依存性比較

(★: 本素子, ●: 従来素子, ▼●▲■: GaAs HBT, □△: InP HBT, ○: SiGe HBT.)

がわかる。また、今回作製した素子はこれまでに報告されている他のバイポーラデバイスに比べてより小さいエミッタサイズでより高速で動作しており、本微細 HBT が高速・低電流動作に優れていることがわかる。

### 5. 回路性能

我々が開発した微細 HBT を回路へ応用した場合の性能を把握するために、1/8 スタティック分周器を試作し評価した。用いた素子のエミッタサイズは  $0.5 \times 4.5 \mu\text{m}^2$  である。試作した IC のチップ写真を図 7 に示す。チップサイズは  $0.9 \times 1.8 \text{mm}^2$  である。分周器はエミッタフォロワを用いた入力バッファ、3 段の ECL ゲート構成マスタースレーブ型 T-FF と段間バッファ、および差動アンプによる出力バッファにより構成されている。電源電

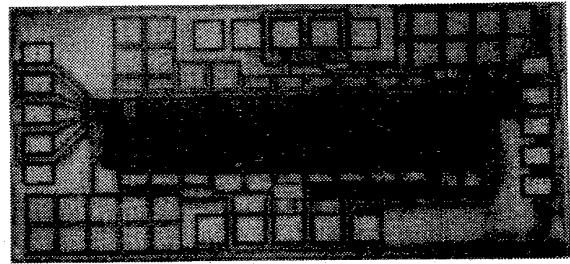


図7 1/8スタティック分周器のチップ写真

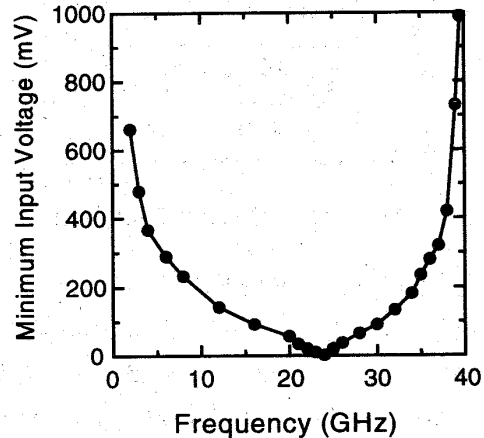


図8 分周器の入力感度周波数特性

圧は  $-6.5 \text{V}$  であり、内部論理振幅は  $400 \text{mV}$  である。

図 8 に試作した分周器の入力感度周波数特性を示す。最小入力電圧以上では安定な動作が得られており、 $500 \text{mV}_{\text{p-p}}$  以下の入力電圧でも  $3 - 38 \text{GHz}$  という広範囲で分周動作している。自励発振周波数は  $24 \text{GHz}$  であり、最高動作周波数は  $39.5 \text{GHz}$  を達成した。図 9 には最高動作周波数における入出力波形を示す。T-FF 1 段あたりの消費電力は  $190 \text{mW}$  であった。この値は、従来報告されている  $40 \text{GHz}$  動作分周器の約  $2/3$  であり、我々が開発した微細 HBT が回路の消費電力低減に有効であることがわかる。なお、本回路は、レイアウトおよび論理振幅の最適化によってさらに高速で動作することが期待される。

### 6. まとめ

埋め込み  $\text{SiO}_2$  構造を有する微細 InGaP/GaAs HBT の高速動作性能を向上させるため、寄生容量の低減を試みた。プロセスの改良およびデバイス構造の最適化により、埋め込み  $\text{SiO}_2$  領域で生じる

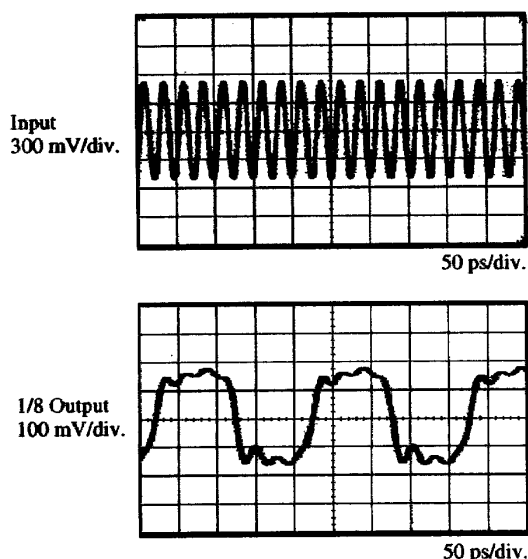


図9 入力周波数39.5GHzにおける入出力波形

寄生容量を従来比で約 50%低減させることができた。その結果、エミッタサイズ  $S_E = 0.5 \times 4.5 \mu\text{m}^2$  の素子においてコレクタ電流  $I_C = 3.5 \text{ mA}$  で遮断周波数  $f_T = 156 \text{ GHz}$ 、最大発振周波数  $f_{\text{max}} = 255 \text{ GHz}$  を、また  $S_E = 0.25 \times 1.5 \mu\text{m}^2$  の素子では  $I_C = 0.9 \text{ mA}$  で  $f_T = 114 \text{ GHz}$ 、 $f_{\text{max}} = 230 \text{ GHz}$  という低電流でかつ高速動作を達成した。この微細 HBT を用いて 1/8 分周器を試作し、最高動作周波数 39.5 GHz を達成した。T-FF 1 段あたりの消費電力は 190 mW で、従来報告されている 40 GHz 動作分周器の約 2/3 であり、本微細 HBT が回路の消費電力低減に有効であることが実証された。

#### 参考文献

- (1) K. Nagata, O. Nakajima, T. Nittono, Y. Yamauchi, and T. Ishibashi, *IEEE Trans. Electron Devices*, vol. 39, pp. 1786-1792, 1992.
- (2) W. S. Lee, T. Enoki, S. Yamahata, Y. Matsuoka, and T. Ishibashi, *IEEE Trans. Electron Devices*, vol. 39, pp. 2694-2700, 1992.
- (3) Y. Ueda, N. Hayama, and K. Honjo, *IEEE Electron Device Lett.*, vol. 15, pp. 66-68, 1994.
- (4) T. Oka, K. Hirata, K. Ouchi, H. Uchiyama, K. Mochizuki, and T. Nakamura, *Tech. Dig. IEEE IEDM*, 1997, pp. 739-742.
- (5) S. Yamahata, K. Kurishima, H. Nakajima, T. Kobayashi, and Y. Matsuoka, *Tech. Dig. 16th GaAs IC Symp.*, 1994, pp. 345-348.
- (6) M. Hafizi, *IEEE Electron Device Lett.*, vol. 18, pp. 358-360, 1997.
- (7) 天宮, 丹羽, 永野, 間々田, 鈴木, 嶋脇, 信学技報, ED98-70, 1998, pp. 53-59.
- (8) K. Washio, E. Ohue, K. Oda, M. Tanabe, H. Shimamoto, and T. Onai, *Tech. Dig. IEEE ISSCC.*, 1998, pp. 312-313.