

### A-1-12 高次ミスマッチシェーパのノイズ 低減法

籠島, 亮 / YASUDA, Akira / 安田, 彰 / KAGOSHIMA, Ryo

---

(出版者 / Publisher)

電子情報通信学会

(雑誌名 / Journal or Publication Title)

電子情報通信学会ソサイエティ大会講演論文集

(開始ページ / Start Page)

12

(終了ページ / End Page)

12

(発行年 / Year)

2003-09-10

A-1-12

## 高次ミスマッチシェーパーのノイズ低減法

籠島 亮  
Kagoshima Ryo

安田 彰  
Yasuda Akira

法政大学  
Hosei University

## 1. はじめに

現在、高精度な A/D, D/A 変換の手法として DWA 方式を用いた多ビット  $\Delta\Sigma$  変調器が用いられている。しかし、DAC を構成する素子のミスマッチに起因するベースバンドトーンの発生などが DWA では問題となり、その改善方法としてエキストラエレメント法[1]やオフセット法[2]などが報告されている。本稿では、これらの手法の高次のミスマッチシェーパー[3]への適用を検討し、その有効性を報告する。

## 2. エキストラエレメントおよびオフセットを用いた高次ミスマッチシェーパーのノイズ低減法

図 1 に示したエキストラエレメントを用いた電流出力型 DAC は、 $M$  個の電流セルおよび  $Me$  個の余剰セルによって構成され、 $M+Me$  個のセルから最大  $M$  個の任意のセルが選択可能な  $M+1$  値 DAC である。各セルは、ミスマッチシェーパー[3]により選択されるが、余剰セルがあるため選択パターンが従来手法より複雑になる。

また、オフセット法は入力信号に微小な直流信号を印加することで、低入力レベル時のベースバンドトーンの低減を図るものである。

## 3. シミュレーション結果

エキストラエレメント法およびオフセット法を 3 次ミスマッチシェーパーに適用した場合について、シミュレーションによりこれらの方法の効果を評価する。

DAC は 16 セルからなる 17 値のエレメント型 DAC とし、加えるエキストラエレメント数  $Me=1$  とする。この DAC は 3 次  $\Delta\Sigma$  変調器により駆動されている。

エキストラエレメント法およびオフセット法 (1LSB の直流電圧を印加) を用いた場合のミスマッチによるノイズ分布のシミュレーション結果を図 2, 図 3 に示す。ここで、DAC のミスマッチ、 $\Delta\Sigma$  変調器の入力信号振幅、入力信号周波数はそれぞれ 5%, -60[dB], 0.026[Fs] である。

図 2, 図 3 いずれの場合においても従来手法に比べノイズフロアは 5~10dB 低減され、このときオーバーサンプリング比 64 の場合のダイナミックレンジは従来手法での 116dB から 122dB に改善されている。

## 4. 終わりに

高次のミスマッチシェーパーにおけるノイズ低減法を提案し、その有効性をシミュレーションにより確認した。素子のミスマッチに起因するノイズの低減は ADC およ

び DAC において重要な課題であり、報告した方法は ADC, DAC のさらなる高精度化に有用であると考えられる。

## 参考文献

- [1] Kuan-Dar Chen and Tai-Haur Kuo, "An Improved Technique for Reducing Baseband Tones in Sigma-Delta Modulators Employing Data Weighted Averaging Algorithm Without Adding Dither," *IEEE Trans. Circuits Syst. II*, vol. 46, No.1, Jan. 1999
- [2] Morteza Vadipour, "Techniques for Preventing Total Behavior of Data Weighted Averaging Algorithm in  $\Sigma\text{-}\Delta$  Modulators," *IEEE Trans. Circuits Syst. II*, vol.47, No.11, nov.2000
- [3] A. Yasuda, "Selection apparatus," U.S. Patent Number 5872532, Feb. 16, 1999 (filed Sep. 1994)

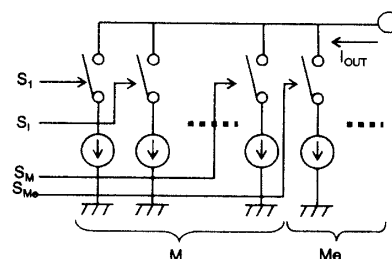


図 1.エキストラエレメントを用いた DAC

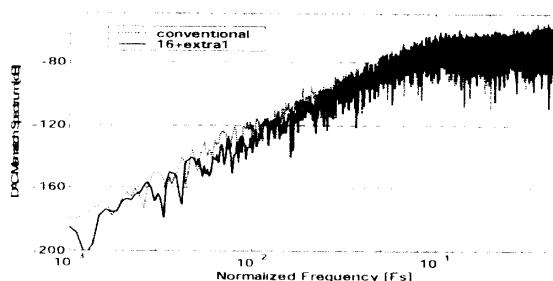


図 2.エキストラエレメント法

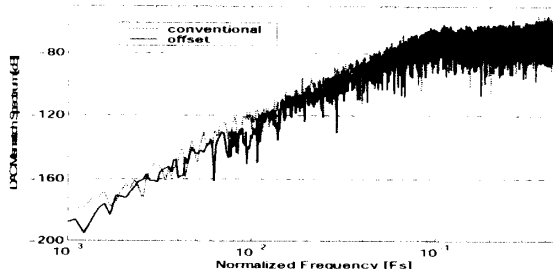


図 3.オフセット法