

AS-1-1 2次ミスマッチシェーピング $\Delta\Sigma$ 型 DAC(AS-1.AD/DA変換回路のモデリング、シ ミュレーション、設計、評価技術, シンポジ ウム)

YASUDA, Akira / 安田, 彰 / KATSUMI, Syunsuke / 勝見, 峻
介

(出版者 / Publisher)

電子情報通信学会

(雑誌名 / Journal or Publication Title)

電子情報通信学会ソサイエティ大会講演論文集 / 電子情報通信学会ソサイエティ
大会講演論文集

(開始ページ / Start Page)

S-1

(終了ページ / End Page)

S-2

(発行年 / Year)

2007-08-29

2次ミスマッチシェーピング $\Delta\Sigma$ 型DAC Second-Order Delta-Sigma DAC with second-order mismatch shaper

勝見 峻介^{*1}
Syunsuke Katsumi

安田 彰^{*2}
Akira Yasuda

^{*1} 法政大学大学院
Graduate School of Engineering, Hosei University

^{*2} 法政大学工学部
Faculty of Engineering, Hosei University

1. まえがき

近年、計測機器やDVDオーディオなど高精度デジタル/アナログ変換器への要求が高まっている。一方、コストダウンを図るため、回路規模の縮小に加え、アナログ素子の精度が低い場合でも高精度変換が可能な方法が求められている。またSoCでは、DACに後置される再構成フィルタをチップに内蔵する必要があり、このフィルタサイズの低減も重要な課題である。本稿では、これらの要求を満たすアナログFIRフィルタを備え2次ミスマッチシェーピング機能を有するカスケード型 $\Delta\Sigma$ DACを提案する。

2. 提案する2次ミスマッチシェーピング $\Delta\Sigma$ 型DAC

図1に従来のアナログFIRフィルタを用いたカスケード型DACのブロック図を示す。初段の量子化雑音を2段目の $\Delta\Sigma$ 変調器で量子化し、初段の $\Delta\Sigma$ 変調器の雑音伝達関数 $H_3(z)$ を乗じ、初段の初段出力から減ずる。これにより、出力は $Y = X + NTF_1(z)NTF_2(z)Q_2$ となる。ここで、 $NTF_1(z)$ 、 $NTF_2(z)$ 、 $Q_2(z)$ は、初段の雑音伝達関数、2段目の雑音伝達関数、2段目の量子化雑音である。このシェーピングされた帯域外の量子化雑音は、最終的には、アナログフィルタで低減する必要があるが、同一チップ上にこのフィルタを集積する場合は、出来るだけこの帯域外雑音を低減する必要がある。そのため、DACの後段にアナログFIRフィルタを配置し、帯域外雑音を低減させる。さて、この方法では、高次のノイズシェーピングを容易に実現することができるが、各段の量子化器を1ビットとした場合でも、内部DACの入力信号は多ビットとなるため、内部DACを構成する素子ばらつきの影響を低減するためには、ミスマッチシェーパ[1]が必要となる。

図2に提案する2次ミスマッチシェーピング機能を有するカスケード $\Delta\Sigma$ 型DACのブロック図を示す。初段及び2段目の雑音伝達関数が $(1-z^{-1})^2$ の場合、アナログFIRフィルタ $H_{FIR}(z)$ が n タップ移動平均フィルタとすると、
$$H_3H_{FIR} = (1-z^{-1})^2(1+z^{-1}+z^{-2}+\dots+z^{-(n-1)})$$
$$= (1-z^{-1})(1-z^{-n})$$

と変形することができる[2]。したがって、 H_3H_{FIR} はFIRフィルタのタップ数に無関係に4タップとなる。ここで、 $(1-z^{-1})$ をアナログ回路で、 $(1-z^{-n})$ をデジタル回路で構成し、その間にDWA[3]回路を挿入する。このように構成することにより、1次のミスマッチシェーピング特性を持つDWAとアナログの1次フィルタの組み合わせにより2次のミスマッチシェーピング特性を得ることが可能となる。2次のミスマッチシェーピング回路は、1次のミスマッチ

シェーピング回路に比べ大きなものになり、DACを構成する素子数の増加に対し、その回路規模は指数関数的に増加する。しかし、本提案回路を用いることで、回路規模の小さいDWA回路とスイッチのみで構成可能なスワッピング回路のみで2次ミスマッチシェーピング特性を実現することが可能となる。

DAC部の回路図を図3に示す。この回路図中点線で囲った部分がスワッピング回路である。スワッピング回路は、サンプリングクロック毎に ϕ と $\bar{\phi}$ が交互に切り替わり、 Y_{2x} からのデータは、左右いずれかのバッファおよび抵抗のみを介して出力される。この際、データが反転されるため、ミスマッチ誤差には $(1-z^{-1})$ がかかり、1次のミスマッチシェーピングが実現される。

図4に本提案で用いるDWA回路の構成を示す。上述したように、 Y_{2x} からのデータは、スワッピング回路の左右いずれかの経路を交互に通過する。このため、この左右それぞれの経路に対して、DWAを接続する。これにより、それぞれのDWAが駆動する素子数は $\text{ad } 1/2$ となる。

3. シミュレーション結果

提案する2次ミスマッチシェーピング $\Delta\Sigma$ 型DACをMatlabを用いてシミュレーションを行った。1段目および2段目の雑音伝達関数を $(1-z^{-1})^2$ 、1段目および2段目の内部量子化器をそれぞれ1ビット、3ビットとした。このときの出力スペクトルを図5に示す。ここで、アナログFIRフィルタは18タップ移動平均フィルタとした。帯域外雑音がアナログFIRフィルタにより30dB程度低減されていることが確認できる。DACを構成する抵抗に1%のばらつきがあった場合のシミュレーション結果を図6に示す。ミスマッチシェーピングを用いない従来の手法では、ノイズフロアが大幅に上昇しているが、提案手法を用いることにより、ミスマッチに起因するノイズに2次のシェーピングがかかり、雑音が-40dBの傾きで低減されている。オーバーサンプリング比128倍では、122dBのSNRが得られる。

4. まとめ

本提案手法では、回路規模が小さいDWAとスイッチで構成したスワッピング回路を用いることで、2次のミスマッチシェーピングが実現でき、また帯域外雑音も30dB低減できることをシミュレーションにより確認した。本方式は、従来方式よりも大幅に小さい回路規模で構成でき、ミスマッチが大きい場合でも高精度なDACを実現できる。本手法は、デジタルプロセスによるSoC等における高精度DACの実現に有効な手法であると考えられる。

参考文献

- [1] A. Yasuda, "Selection apparatus," U.S. Patent Number 5872532, 1999 (filed Sep.1994)
- [2] A. Yasuda, K. Sato, M. Shibata, T. Soga, "A cascaded delta-sigma DAC using an analog FIR filter with a new mismatch shaper," IEEJ International Analog VLSI Workshop, 2004, pp.192-195.
- [3] R.T. Barid, T.S. Fiez, "Improved delta-sigma DAC linearity using data weighted averaging," Proceedings of the 1995 IEEE International Symposium on Circuits and Systems, Vol.1, pp.13-16 (1995-5)

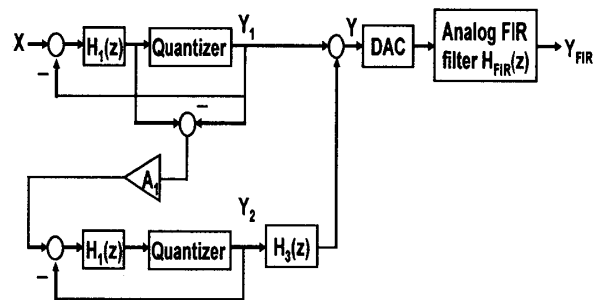


図1 従来のアナログ FIR フィルタを用いたカスケード型 DAC

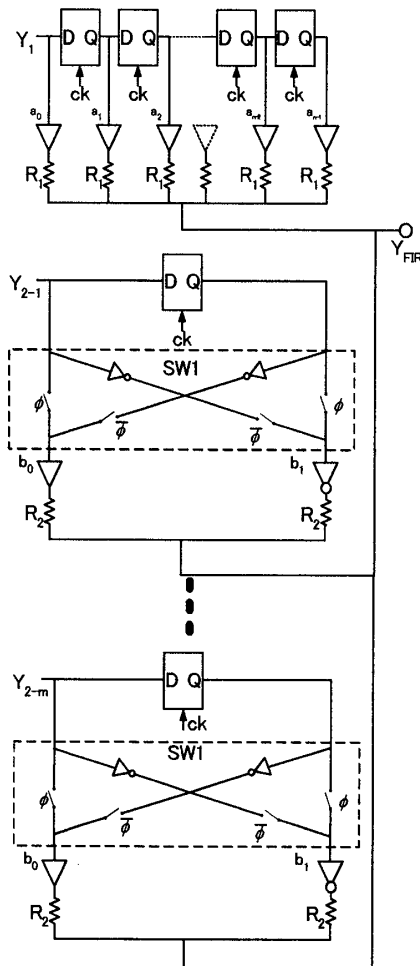


図3 DAC 部回路

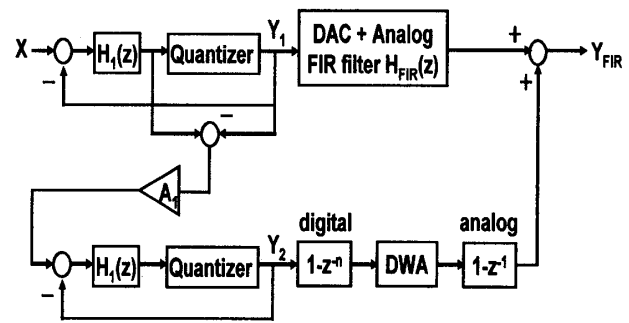


図2 提案する2次ミスマッチシェーピング $\Delta\Sigma$ 型 DAC

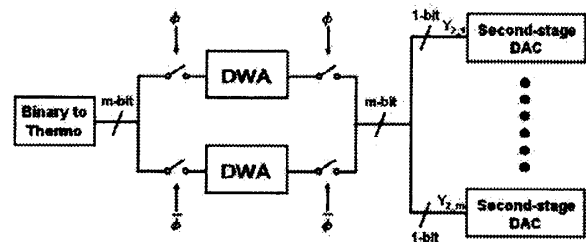


図4 DWA ブロック

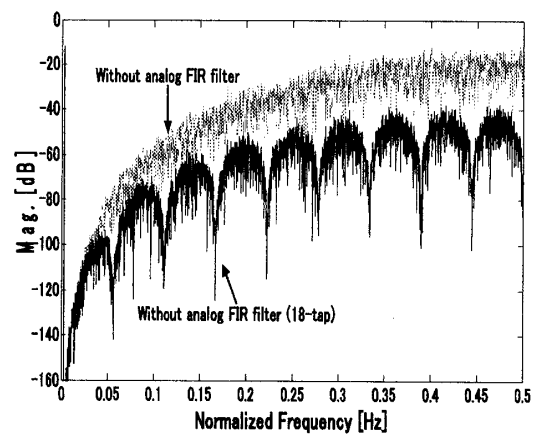


図5 出力スペクトル (ミスマッチ無)

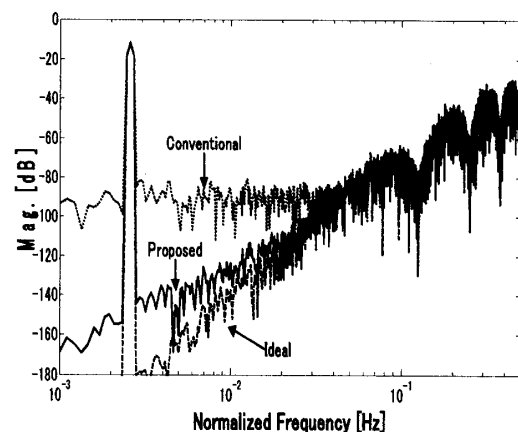


図6 出力スペクトル (ミスマッチ有)