

### プロセスシミュレータ SUPREM-IVにおける LDD-MOSFETの解析

Dang, Ryo / Fujiwara, Keisuke / 藤原, 圭介 / 檀, 良

---

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

法政大学工学部研究集報 / 法政大学工学部研究集報

(巻 / Volume)

30

(開始ページ / Start Page)

7

(終了ページ / End Page)

11

(発行年 / Year)

1994-03

(URL)

<https://doi.org/10.15002/00004305>

## プロセスシミュレータ SUPREM-IV における LDD-MOSFET の解析

檀 良\*・藤原圭介\*\*

### LDD-MOSFET Analysis for Process Simulator SUPREM-IV

Ryo DANG\* and Keisuke FUJIWARA\*\*

#### Abstract

As MOSFET's feature size is reduced continuously to increase the packing density of VLSI circuits, enhancing the accuracy of MOSFET characterization is necessary. In this paper, the computer-aided optimization of a LDD-MOSFET is attempted. For the purpose of obtaining realistic device characteristics, the two-dimensional impurity concentration profile is based on the process simulator SUPREM-IV. The device characteristics are then obtained using a two-dimensional device simulator. Attention will be particularly paid to the optimization of the implant energy for a sub-micron MOSFET of the channel length of  $0.5\mu\text{m}$ .

#### §1 はじめに

あらゆる産業分野で使われている集積回路は、一辺10mm程度の極めて小さなシリコン片にすぎないが、情報の記憶に関しては人間の頭脳にせまろうとしており、また演算速度においては人間の頭脳を遙かにしのぐ優れた性能を有している。しかし、この高度情報化社会において、より性能の高いものが要求されている。今後、飛躍的な性能の向上をはかるには、複雑な処理を短時間に行う集積回路を開発しなければならない。このような事柄を背景として、半導体シミュレーションという新しい技術が1970年代後半から盛んになってきた。

本論文で取り扱う半導体シミュレーションは、計算機を使って素子の製造工程を模擬的に再現するプロセスシミュレーションと、個別の素子特性を予測するデバイスシミュレーションを利用する事によって、計算機端末の前で短時間にプロセス工程から、素子の電気的な特性を予測する事が出来る。すなわち、従来の試行錯誤的な方法で素子製作から電気的特性の評価までに要する期間に比べると、圧倒的に短い時間で素子特性を予測する事が出来る。また、通常デバイスシミュ

---

\*電子情報学科

\*\*工学研究科電気工学専攻

ュレーションでは、素子構造すなわち濃度分布において、ガウス分布と補誤差関数を使用し近似をおこなっている。これを、プロセスシミュレーションを使用し、より実際のデバイスに近づける。

本論文ではこの二次元プロセスシミュレータ SUPREM-IV<sup>(1)</sup>により作成した LDD 構造を取り上げ、簡単なデバイス特性の最適化を行う。このために、以下ではまずプロセスシミュレーション (特に SUPREM-IV) について簡単に紹介し、つづいてデバイスシミュレーション (PISCES-2B) による最適化へ進む。尚、素子特性に対して大きな影響を及ぼすパラメータ群から特に注入エネルギーに的を絞って最適化を行っていく。

## §2 プロセスシミュレーション

プロセスシミュレーションは、集積回路の製造工程を計算機上で模擬的にを行い、実際にデバイスを試作することなく、デバイスの加工形状やデバイス内部の不純物分布を予測する技術である。通常プロセスシミュレーションといえば、シリコン基板表面上の加工形状をシミュレーションするものと、シリコン基板内もしくは表面で生じる各種の物理化学現象を取り扱うシミュレータである。本論文で使用しているプロセスシミュレータ SUPREM-IV は後者に属する代用的なシミュレータである。

### 2.1 構成要素技術

プロセスシミュレータは大きく分けて二つの構成要素から成り立っている。第一にプロセスモデリング技術である。ある限定されたプロセス条件下で行った実験結果をもとにプロセスのモデルが作られているので、必ずしも全てのプロセス条件下でシミュレーションが正しい結果を出すわけではない。従って、そのモデルをシミュレータに組み込むに当たって、モデルの適用範囲に注意しなければならない。

第二に数値計算技術である。プロセスシミュレーションは集積回路製造工程を計算機上で模擬的に再現する技術であるが、計算時間を無視したようなシミュレータであってはならない。特に、シリコンや酸化膜中での不純物原子の拡散現象をシミュレーションするには小さなタイムステップ毎に非平衡状態の原子の流れを偏微分方程式で表し、これを差分化した数百行、数百列の大きな行列方程式を解くことが必要となる。このため、高速の数値計算のアルゴリズムを用いて効率的なシミュレーションが行われている。

### 2.2 物理モデル

SUPREM-IV には、大きく分けて以下のような三つのプロセスモデルがある。第一に、不純物原子拡散行程がある。シリコン単結晶中の不純物原子拡散には点欠陥が大きな影響を及ぼす。このため、点欠陥・不純物原子対の生成割合、点欠陥の発生・消滅場所と量、自由キャリア濃度(不純物原子濃度)などを正確に見積もることが重要となる。実際に使われている不純物原子拡散モデルは、限られた実験条件の下で得られたデータを基に、パラメータ調整を行って作り上げた現

象論モデルである。

第二に酸化膜工程である。シリコン基板を酸化すると体積は約二倍になる。950°C以下の低温酸化では、酸化膜の粘性が大きく、この体積膨張を緩和できないまま酸化膜は成長する。このような低温酸化膜の形状を正確にシミュレーションするには、酸化膜中の酸素分子の拡散、Si/SiO<sub>2</sub>の界面反応、酸化膜の非線形塑性変形、などを考慮する必要がある。また、酸化行程をシミュレーションする上で注意すべき点として、初期増速酸化と高濃度不純物原子濃度領域の酸化がある。

第三にイオン注入工程がある。高速のイオンが半導体のなかでエネルギーを失うメカニズムには、核阻止と電子阻止とがある。核阻止は、理論的にかかなりよくわかっているが、電子阻止に関してはまだ十分な物理モデルがないので、電子阻止は経験的なモデルで代用されている。経験的なモデルを用いると非結晶部への注入イオン分布の計算は比較的簡単な解析式で近似できる。最も簡単なモデルはガウス分布で近似する方法であるが、注入イオンと標的原子の質量とが大きく異なる場合には、散乱の異方性を取り入れたピアソンIV分布が使われる。

### §3 LDD 構造の最適化

Fig. 1 に n<sup>-</sup>ドーズ量が  $1 \times 10^{13} \text{cm}^{-2}$  の標準 LDD 構造<sup>(2)</sup>における、 $L=0.5\mu\text{m}$ ,  $V_d=5\text{V}$  での n<sup>-</sup>拡散層の注入エネルギーを変化させたときの、入力特性と基板電流を示す。基板電流は、注入エネルギーが大きくなるにつれて減少している。これは、低濃度拡散層の濃度が低くなり空乏層が伸び電界が緩和されたためである。入力特性は、どの構造においても同様な特性となった。また、Fig. 2 よりサブスレッシュヨルド特性からみても特に問題のない値となっている。

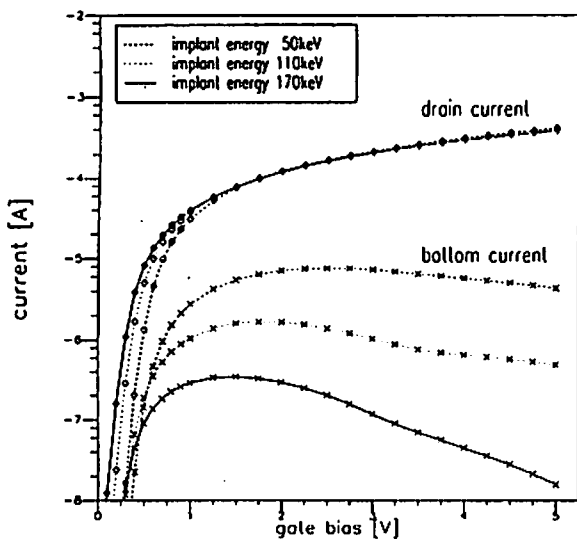


Fig. 1 入力特性と基板電流

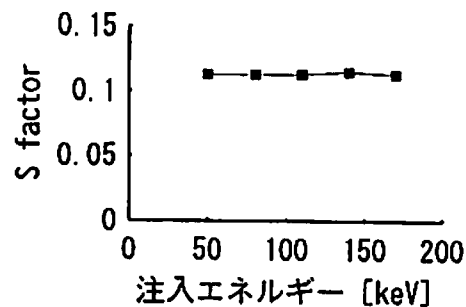


Fig. 2 S factor の注入エネルギー依存性

Fig. 3 に、しきい電圧の注入エネルギー依存性を示す。注入エネルギーが大きくなるにつれ、しきい電圧が小さくなっていることがわかる。これは、注入エネルギーを大きくすると、接合が深くなるためと考えられる。

Fig. 4 に、 $V_d=0.05V$ のときの $g_m$ の注入エネルギー依存性を示す。ただし、 $g_m$ は、ピーク値

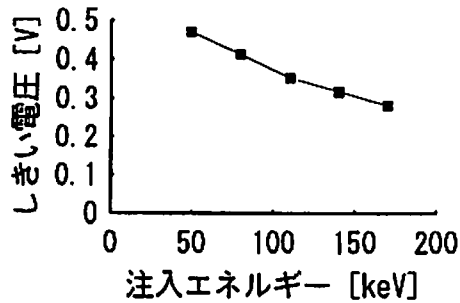


Fig. 3 しきい電圧の注入エネルギー依存性

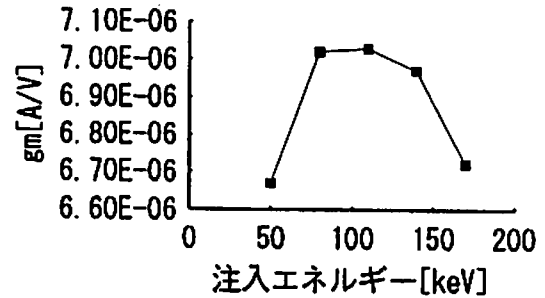


Fig. 4  $g_m$ の注入エネルギー依存性

をとっている。注入エネルギーに対して $g_m$ は、50keVのときには、空乏層が短く電界が支配的であり、110keVのときには、空乏層が伸び電界が下がり、移動度が上がったためと考えられる。また、170keVのときには、表面付近の濃度が下がり寄生抵抗が大きくなったためと考えられる。

#### § 4 む す び

標準 LDD 構造の n-拡散層の注入エネルギーを変化させたときの特性解析の結果について述べた。 $g_m$ が110keVの注入エネルギーで最大になったことにより、基板電流において許容できれば、 $g_m$ の劣化が問題となる LDD 構造においては有用であると考えられる。しかし、注入エネルギーを大きくすると n-拡散層のピーク濃度が小さくなるが、トラップ電荷を考慮した場合 n-拡散層のピーク濃度が低くなるにつれて $g_m$ の劣化が激しくなるという報告<sup>(3)</sup>もあるので、今後、これらも考慮していかなければならないと思われる。また、プロセスシミュレータによってシミュレーションした構造に関しても、実際の構造とは、まだかなり異なっており、モデルの提案やパラメータのフィッティングが必要であると思われる。

#### 謝 辞

論文作成にあたり、多大なるご協力をいただいた林 洋一氏ならびに研究室の皆様方に感謝いたします。

### 参考文献

- (1) SSUPREM4, User's Manual, SILVACO International, Feb. 1993.
- (2) 原 徹 他著, "超 LSI プロセスデータハンドブック", サイエンスフォーラム, 1982.
- (3) 檀 良 他, "ホットキャリアシミュレーションに基づく微細 LDD-MOSFET の最適化", J107-C6, pp. 553-560, 1987.