

U字形ゲート構造MOSトランジスタモデリング (1)しきい値電圧モデル

Dang, Ryo / KOJIMA, Toshiaki / 小島, 敏明 / 檀, 良

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

法政大学工学部研究集報 / 法政大学工学部研究集報

(巻 / Volume)

22

(開始ページ / Start Page)

31

(終了ページ / End Page)

36

(発行年 / Year)

1986-03

(URL)

<https://doi.org/10.15002/00004055>

U 字形ゲート構造 MOS トランジスタモデリング (その 1)

——しきい値電圧モデル——

檀 良・小 島 敏 明

Modeling A U-Shaped Gate MOSFET (1)

—A Model for Threshold Voltage—

Ryo DANG* and Toshiaki KOJIMA*

Abstract

A new threshold voltage formula is derived for a U-shaped gate MOSFET where the gate oxide becomes thicker at both channel ends. It is found that when charge sharing effect due to source/drain-junctions is not accounted for, threshold voltage increases with decreasing channel length, exhibiting an “inverse short channel effect” (ISCE). When charge sharing effect is taken into account, the ISCE is reduced remarkably, resulting in a flat threshold voltage characteristic over a wide range of channel length.

§ 1. パラメータの記号表

q_{ox}	酸化膜中の微少電荷
q_g	微少ゲート電荷
q_{ss}	微少表面準位電荷
q_s	半導体中の微少電荷
q_i	反転層中の微少電荷
q_d	微少空乏層電荷
Q_{ox}	酸化膜中の全電荷
Q_s	半導体中の全電荷
q	電子 1 個当りの電荷
C_{ox}	酸化膜の容量
ϵ_{ox}	酸化膜の誘電率
ϵ_s	基板不純物の誘電率
N_B	基板不純物濃度 (ここでは一定)

* 電気工学科

L	チャネル長
L_S	ゲートが持ち上がっている部分の長さ (ソース側)
L_D	ゲートが持ち上がっている部分の長さ (ドレイン側)
L_C	酸化膜が一定となる領域の長さ
t_{ox}	酸化膜厚
W_S	空乏層の伸び (ソース側)
W_D	空乏層の伸び (ドレイン側)
ϕ_F	フェルミポテンシャル
V_B	基板電圧
V_T	しきい電圧 (短チャネル効果を無視した場合)
V_T^*	しきい電圧 (短チャネル効果を考慮した場合)
α	ゲートが持ち上がった部分の傾き
γ_{SCE}	短チャネル効果係数

§2. まえがき

従来のようなゲート酸化膜厚がチャネル方向に対して一定である MOS トランジスタは、短チャネル素子においてしきい電圧が落ち込む特性は短チャネル効果として良く知られている (文献1)

しかし最近の微細 MOS EFTにおいてポリシリコンゲートの後酸化によりゲート酸化膜がチャネル両端でやや厚くなった構造となる。この厚いゲート部分は当然しきい電圧が高くなるが、このことが全体のしきい電圧特性に対してどのように影響するか 微細 MOSFET 設計の観点から興味ある問題である。

このいわばU字形ゲート構造 MOS トランジスタのしきい電圧に対して新しいモデル式を導出しこれに基づいて新構造のしきい電圧特性に対する知見を得た。つまりU字形ゲート構造 MOS トランジスタにおいてはチャネルの短い時にしきい電圧は通常の構造に比べて落ち込まない。この特性を利用して短チャネル効果の影響を受けにくい MOSFET 設計が可能である。

§3. U字形ゲート構造 MOS トランジスタにおけるしきい電圧モデリング

Fig. 1 は、U字形ゲート構造 MOS トランジスタの構造図である。この構造の微少部分について考えると、酸化膜側の電荷 q_{ox} はゲート電荷 q_g と表面準位電荷 q_{ss} を足したものである。しかしここではまず q_{ss} を含めたフラット・バンド電圧を0とすると q_{ox} は、

$$q_{ox} = (V_T - 2\phi_F) C_{ox}(x) dx \quad (1)$$

で表される。表面電位については2次元数値計算 (文献2) により厳密に求めたものが Fig. 2

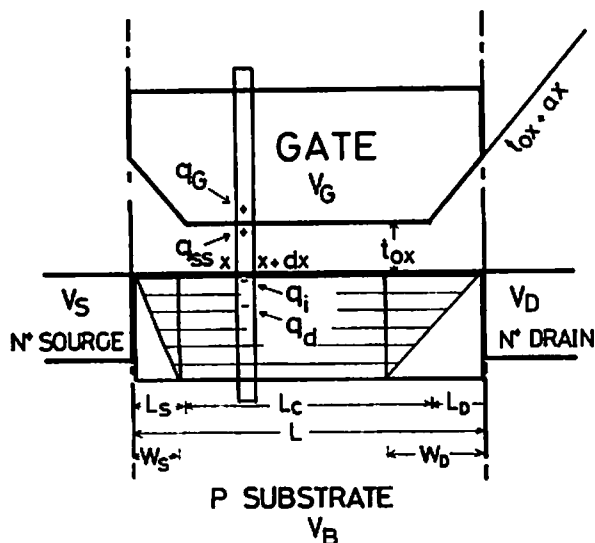
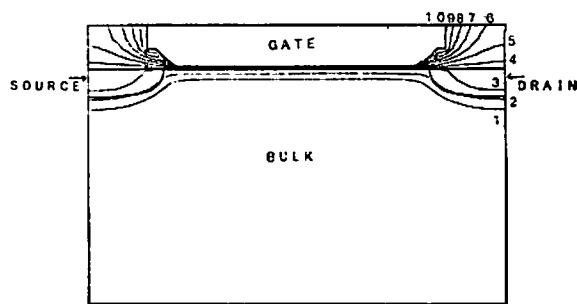


Fig. 1 Uゲート形 MOS トランジスタ構造図


 Fig. 2 二次元数値解析による等電位面
(計算条件 $N_B = 4.0 \times 10^{18} / \text{cm}^3$)

1 : -0.09 [V]	2 : 0.18 [V]	3 : 0.45 [V]
4 : 0.72 [V]	5 : 0.99 [V]	6 : 1.26 [V]
7 : 1.53 [V]	8 : 1.80 [V]	9 : 2.07 [V]
10 : 2.34 [V]		

この条件で表面電位が、ほぼ $2\phi_F$ (4 番目の等電位面) になっている。

に示しているが、ゲートの持ち上がった部分では等電位面が多少上に持ち上がっている。しかしこの差はさほど大きくないので、表面上の電位はどの点においても等しいものとする。またしきい電圧時における表面ポテンシャルを $2\phi_F$ とする。

半導体中の電荷 q_s は反転層中の電荷 q_i と空乏層電荷 q_d を足したものであるがしきい電圧程度以下のゲート電圧に対しては反転層電荷は小さくて無視できる。よって q_s は

$$q_s = \{2\epsilon_s q N_B (2\phi_F - V_B)\}^{1/2} dx \quad (2)$$

となる。ここでは基板の不純物濃度を一定とする。酸化膜、半導体中の全電荷は全チャネル長において積分すれば良い。酸化膜の全電荷 Q_{ox} は

$$Q_{ox} = \int_0^L q_{ox} dx = \int_0^{L_s} q_{ox} dx + \int_{L_s}^{L_s+L_c} q_{ox} dx + \int_{L_s+L_c}^L q_{ox} dx \quad (3)$$

の3つの部分に分かれる。第1項と第3項はゲートの持ち上がっている領域の電荷であるが、この領域は構造上左右対称なので第1項と第3項は等しいものとなる。またこの領域のゲートは直線的に厚くなると仮定し、直線の傾きを α とすると、(3) 式は次のようになる。

$$Q_{ox} = (V_T - 2\phi_F) \frac{\epsilon_{ox}}{t_{ox}} (L - 2L_D) + 2(V_T - 2\phi_F) \frac{\epsilon_{ox}}{\alpha} \ln \left(1 + \frac{\alpha L_D}{t_{ox}} \right) \quad (4)$$

また半導体中の電荷は、式(2)の積分により次のようになる。

$$Q_s = \int_0^L q_s dx = \{2\epsilon_s q N_B (2\phi_F - V_B)\}^{1/2} \cdot L \quad (5)$$

電荷保存則により $Q_{ox} = Q_s$ となるため、しきい電圧は次のように求められる。

$$V_T = 2\phi_F + \frac{\{2\epsilon_s q N_B (2\phi_F - V_B)\}^{1/2} \cdot L}{\frac{\epsilon_{ox}}{t_{ox}} (L - 2L_D) + 2 \frac{\epsilon_{ox}}{\alpha} \ln \left(1 + \frac{\alpha L_D}{t_{ox}} \right)} \quad (6)$$

しかし実際はチャネルが短くなるにつれて、ソースやドレイン接合による電荷分配効果（いわゆる短チャネル効果）が働き、(6) のモデルに γ_{SCE} (文献1) という短チャネル効果係数が加えられ、次のようなしきい電圧となる。

$$V_T^* = 2\phi_F + \frac{\{2\epsilon_s q N_B (2\phi_F - V_B)\}^{1/2} \cdot L}{\frac{\epsilon_{ox}}{t_{ox}} (L - 2L_D) + 2 \frac{\epsilon_{ox}}{\alpha} \ln \left(1 + \frac{\alpha L_D}{t_{ox}}\right)} \cdot \gamma_{SCE} \quad (7)$$

γ_{SCE} には次のように2通りの値を持つ。

① $W_S + W_D \leq L$ の場合 $\gamma_{SCE} = 1 - \frac{W_S + W_D}{2L}$

② $W_S + W_D \geq L$ の場合 $\gamma_{SCE} = \frac{L}{2(W_S + W_D)}$

§4. U字形ゲート構造 MOSFET のしきい電圧特性

しきい電圧はチャネル長に影響されず一定であるのが望ましい。この問題は実際重要であり、これについて検討するにはパラメータをいろいろ変化させて特性にどういった影響を及ぼすか調べなければならない。そこでこれをグラフ化することにより検討を行った。

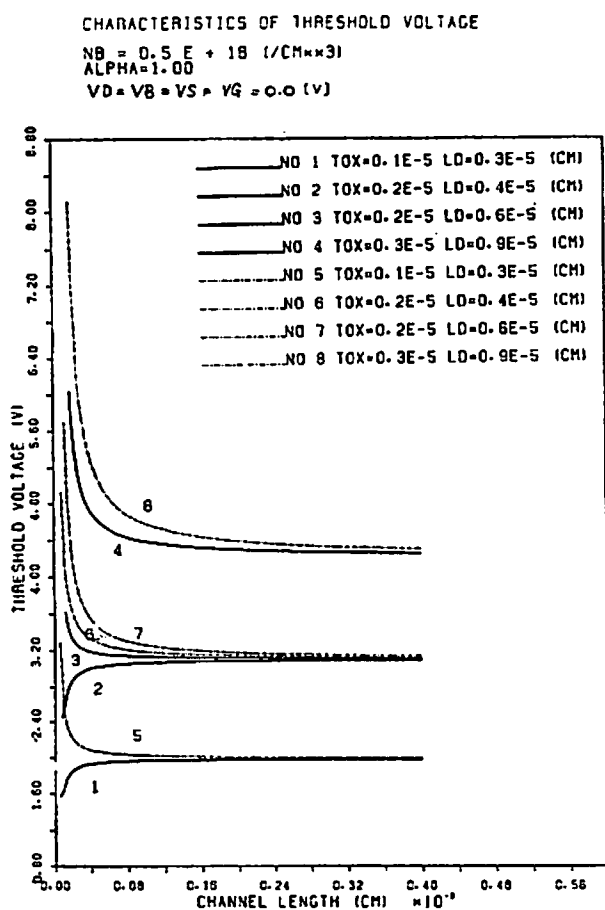


Fig. 3 しきい電圧特性 (1)

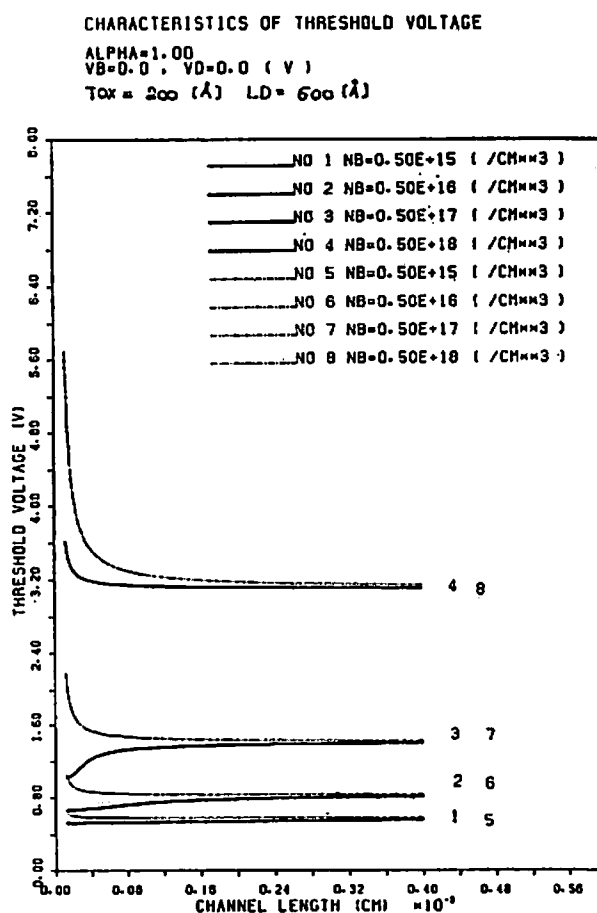


Fig. 4 しきい電圧特性 (2)

得られたグラフにおいて破線は短チャネル効果を無視したグラフであり実線は短チャネル効果を適用したグラフである。短チャネル効果を無視した場合グラフはしきい電圧がチャネルを短くするにつれしきい電圧が上昇している。これに短チャネル効果を適用することによってしきい電圧が減少する要因を得た。

次にパラメータを変化させたしきい電圧モデルを考察することにする。Fig. 3 は t_{ox} , L_D をパラメータとしグラフにどういった影響を及ぼすか調べたものである。グラフより t_{ox} を大きくするとしきい電圧は上シフトする。 L_D を変化させると短いチャネル長において影響が出るのがわかる。Fig. 4 は不純物濃度をパラメータとしたしきい電圧の変化を見たものであるが、 N_B が増えるとしきい電圧は上がる。短チャネルにおいてもグラフの形に影響を与えるようだ。Fig. 4, Fig. 5, Fig. 6 は α （酸化膜の傾き）の変化によるしきい電圧特性が比較できる。チャネルが長くなるにつれ α の影響は少ないが短チャネルにおいて大きな変化が生ずるのが分かる。Fig. 4, Fig. 7, Fig. 8 は V_B , V_D をパラメータとしたしきい電圧特性が分かる。 V_B をかけると全体的にしきい電圧が上にシフトする。 V_D は短チャネルにおいて影響を及ぼすようである。全体的にみると取り上げたパラメータは短チャネルにおいては全てが影響を及ぼすようである。特に α の影響は目立つ。

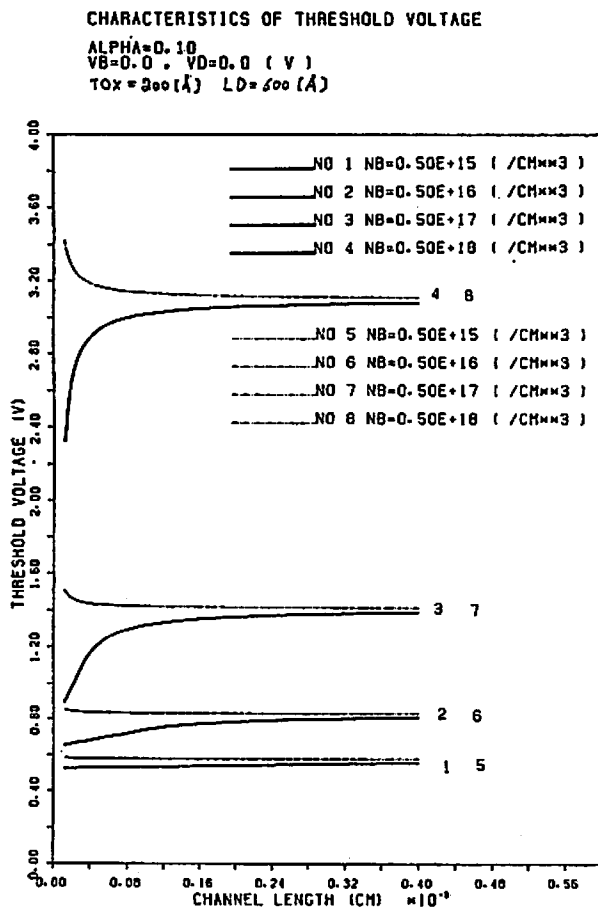


Fig. 5 しきい電圧特性 (3)

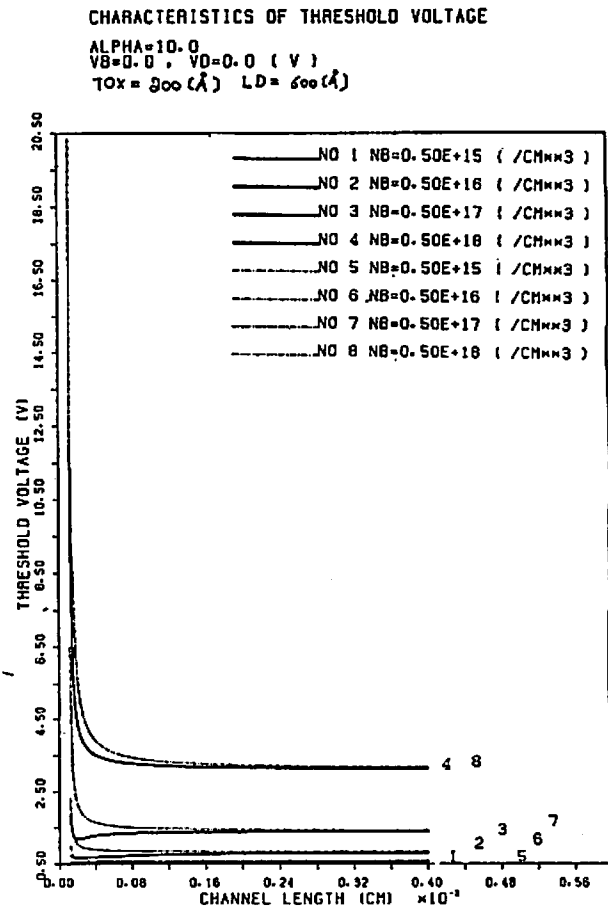


Fig. 6 しきい電圧特性 (4)

CHARACTERISTICS OF THRESHOLD VOLTAGE

ALPHA=1.00
 VB=-1.0, VD=0.0 (V)
 TOX=200 (Å) LD=600 (Å)

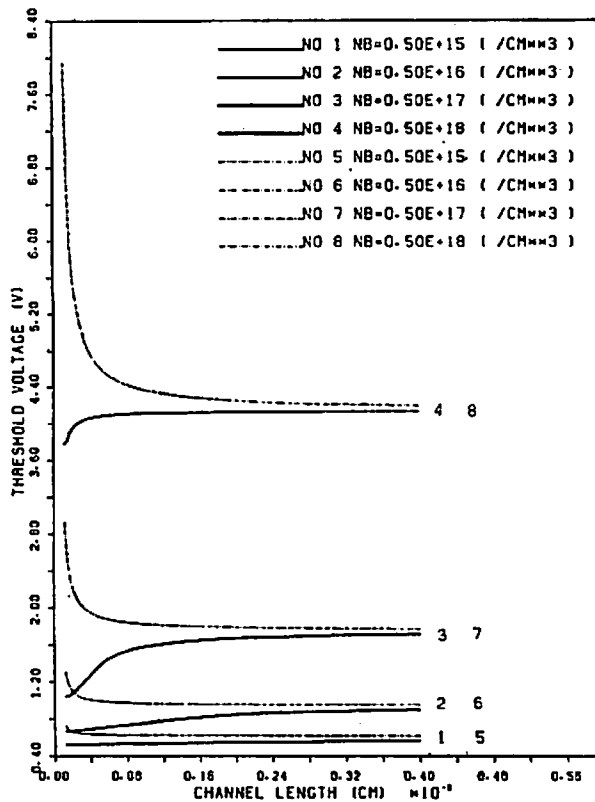


Fig. 7 しきい電圧特性 (5)

CHARACTERISTICS OF THRESHOLD VOLTAGE

ALPHA=1.00
 VB=0.0, VD=0.1 (V)
 TOX=200 (Å) LD=600 (Å)

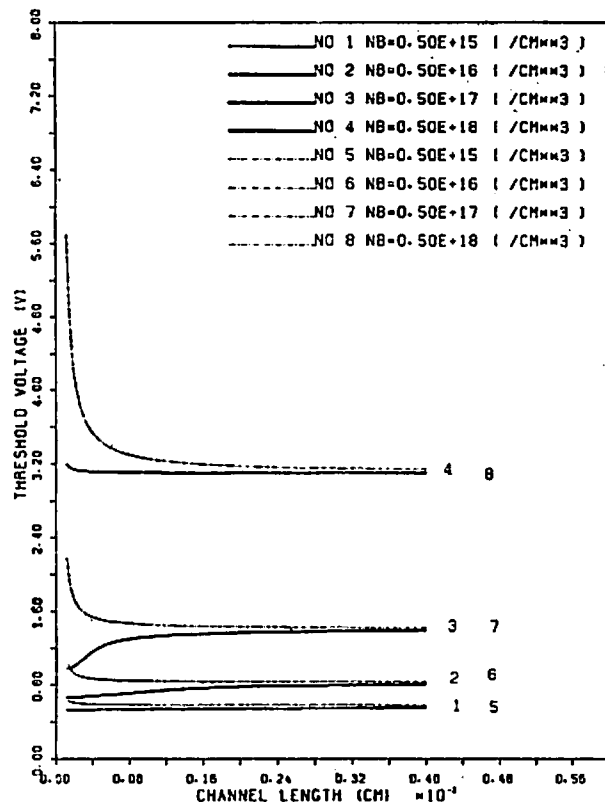


Fig. 8 しきい電圧特性 (6)

§ 5. 結 論

従来のモデルでは短チャネル効果によって短いチャネル長においてしきい電圧の落ち込みを生ずる。これをU字形ゲート構造化することによってこの構造が持つしきい電圧が上がる特性と短チャネル効果の落ち込む特性が打ち消しあって従来のモデルよりしきい電圧が一定になった。またパラメータをいろいろ変えたことによってしきい電圧をより一定にする要因を知ることができた。

今後は実測値との比較や不均一不純物濃度基板の場合などについて検討する予定である。

謝 辞

二次元解析によるポランシャル分布図 (Fig. 2) を提供また助言して下さいった当研究室の中村, 秋山両氏に厚く御礼を申し上げる。

参 考 文 献

- 1) Luong Mo Dang: A Simple Current Model for Short-Channel IGFET and Its Application to Circuit Simulation. *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 2, April 1979, pp.358~367.
- 2) 二次元2キャリアデバイスシミュレータの開発と LDD 構造 MOSFET への応用。和田哲典他: 信学技報, SSD, 83-93, pp.71~78.