

### 微細化MOSFETの信頼性：インパクトイオン化現象とその抑制

Wada, Tetsunori / Nakamura, Mitsutoshi / NATORI, Shinji / 和田, 哲典 / 中村, 光利 / 名取, 親司 / Dang, Ryo / 檀, 良

---

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

法政大学工学部研究集報 / 法政大学工学部研究集報

(巻 / Volume)

23

(開始ページ / Start Page)

37

(終了ページ / End Page)

46

(発行年 / Year)

1987-03

(URL)

<https://doi.org/10.15002/00004014>

# 微細化MOSFETの信頼性

## —インパクトイオン化現象とその抑制—

中 村 光 利\*・和 田 哲 典\*\*・名 取 親 司\*・檀 良\*

### Reliability of the miniaturized MOSFET's

#### —Impact ionization and it's control—

Mitsutoshi NAKAMURA\*・Tetsunori WADA\*\*・Shinji NATORI\* and Ryo DANG\*

#### Abstract

Optimization of an n-channel LDD(Lightly Doped Drain) MOSFET structure is studied from a point of view of minimizing substrate current, i.e. minimizing impact ionization. It is shown that shifting the LDD impurity profile peak away from the channel surface is very efficient in controlling impact ionization.

The effect is two-fold in that it not only lowers the electric field strength in the drain region, but also serves to avert the most dense current path away from the electric field peak region. This two-fold effect, thus, drastically reduces the substrate current and, therefore, contributes largely to improve the reliability of the device by minimizing transconductance degradation.

#### § 1. ま え が き

近年、LSIの素子寸法は4年で約1/2の割合で急速に微細化されている。MOSFET・LSIは素子を微細化することによって動作速度、消費電力などの性能が著しく改善されるため多くの努力が払われてきた。これに伴い実効チャネル長が $1\mu\text{m}$ 以下の物が実現されているが、その様な素子における最も大きな問題がホットキャリア効果である<sup>1)2)3)</sup>。つまり、ゲート長がサブミクロン領域に達し、なおかつ高性能(高速・広域ノイズマージンなど)や従来のTTLレベルとの互換性を保つために電源電圧を下げまいとするとこの現象を無視できなくなる。これは後述するようにMOSFET中のドレイン近傍の電界が増大し、そこで加速された高エネルギー電子がチャネルトランスコンダクタンスやしきい値電圧を経時変化させる等の信頼性を低下させる。従って、高電界によって発生する高エネルギー電子を抑制することが高信頼性の微細MOSFETを実現する上で極めて重要である。高エネルギー電子はドレイン近傍で衝突電離(インパクトイオン化)現象<sup>4)</sup>を引き起こし電子・正孔対を発生する。発生した正孔は基板電流として観測されるので、MOSFETの基板電流は高エネルギー電子の発生をモニターする重要な量である。

---

\*電気工学科

\*\*㈱東芝 超LSI研究所

高エネルギー電子の発生を抑制するために高電界が生ずる領域にn<sup>-</sup>層を設けたLDD構造<sup>9)</sup>が提案され高信頼性MOSFETの実現を可能にする素子構造として期待されている。

ところが最近の実験結果によると、多量のホットエレクトロンを発生させると通常構造MOSFETよりLDD構造MOSFETの方が早く素子特性が劣化することが指された<sup>6)7)</sup>。

前回、我々はn-MOSFETのホットエレクトロンによる素子の信頼性について、注入電子がトラップされた後のトランスコンダクタンスの変化に注目し、数値モデリングに基づくデバイスシミュレーション<sup>8)</sup>を用いて検討した<sup>9)</sup>。今回は、ホットエレクトロン発生抑制に着目してシミュレーションを行った。初めに通常構造MOSFETを電源電圧一定でチャンネル長だけを縮小した場合に生ずる降伏現象<sup>10)</sup>(ブレイクダウン)に至る基板電流の影響を検討した。次に何故LDD構造MOSFETは通常構造に比べて基板電流が小さいかについて考察する。最後に、基板電流の抑制の観点からみた最適LDD構造について述べる。

## § 2. 電源電圧一定でチャンネル長を縮小した場合に生ずる降伏現象

素子の微細化時に、素子内部の電界を一定に保つスケーリング則を用いる場合、インパクトイオン化現象に関する問題は解決できる。しかし、種々の問題が発生する。まず、電源電圧を比例縮小すると動作速度が遅くなる。次に接合の拡散電位やMOSゲート材料の仕事関数など比例縮小できない電圧パラメータのためにサブスレショルド特性が悪化する。これらに加えて、低電圧になるとプロセスの揺らぎに対する余裕度も低下する。これらの事より、電源電圧は一般に用いられている5Vから縮小されない傾向にある。

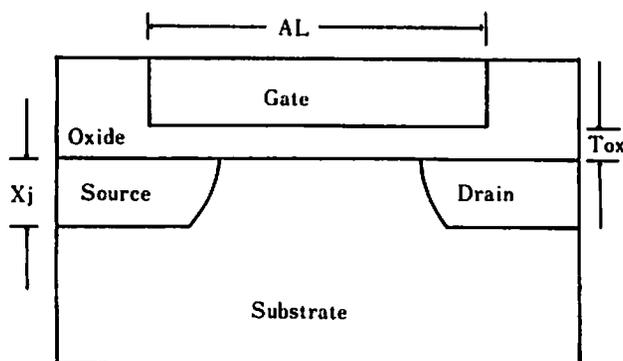


図1 通常構造MOSFETの断面図

電源電圧一定条件で、MOSFETの微細化を行うと、しきい値電圧の狭／短チャンネル効果、降伏電圧の低下などがより強調される。この中で種々の問題の源となるのがインパクトイオン化現象である。以下に、インパクトイオン化によって発生する現象の中で素子の動作によって最も致命的な降伏現象を示す。

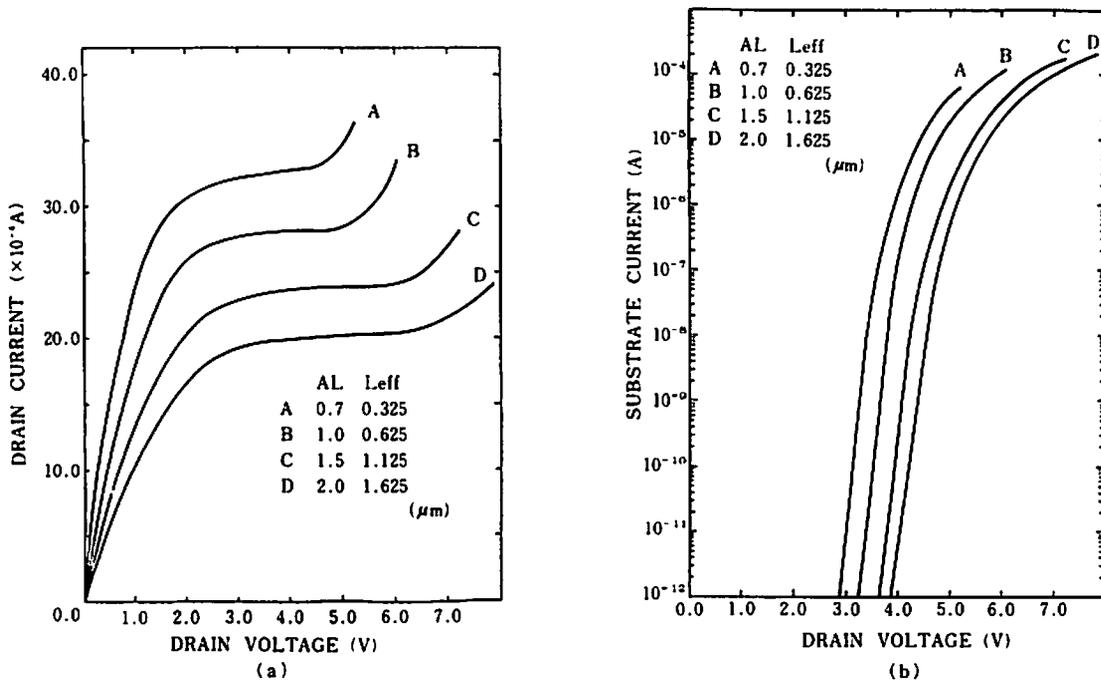


図2 通常構造MOSFETのドレイン電流-ドレイン電圧特性(a)と基板電流-ドレイン電圧特性

図2(a)は図1に示す断面構造のMOSFET(通常構造)で、チャンネル長 $L=0.7\mu\text{m}\sim 2.0\mu\text{m}$ のドレイン電流( $I_D$ )-ドレイン電圧( $V_D$ )特性である。ただし、チャンネル長以外の構造パラメータ( $X_j$ ,  $T_{\text{ox}}$ など)は一定に保っている。ドレイン電流はドレイン電圧が高くなるにつれて一般的な特性曲線からずればじめ、急速に立ち上がる(降伏する)。また、チャンネル長が短くなるにつれて低い電圧で降伏が発生する。特にチャンネル長 $L=0.7\mu\text{m}$ の場合では通常用いられる5Vでこの降伏が既に発生しかけている。図2(b)はこれらの場合の基板電流を示したもので、 $V_D=3.0\text{V}$ 付近から指数関数的に増加している。また、チャンネル長が短くなるにつれて低いドレイン電圧で基板電流が立ち上がる。これらの事より、基板電流が大きくなると降伏が起こることがわかる。言い換えると、インパクトイオン化現象が大きくなると降伏が起こると言える。

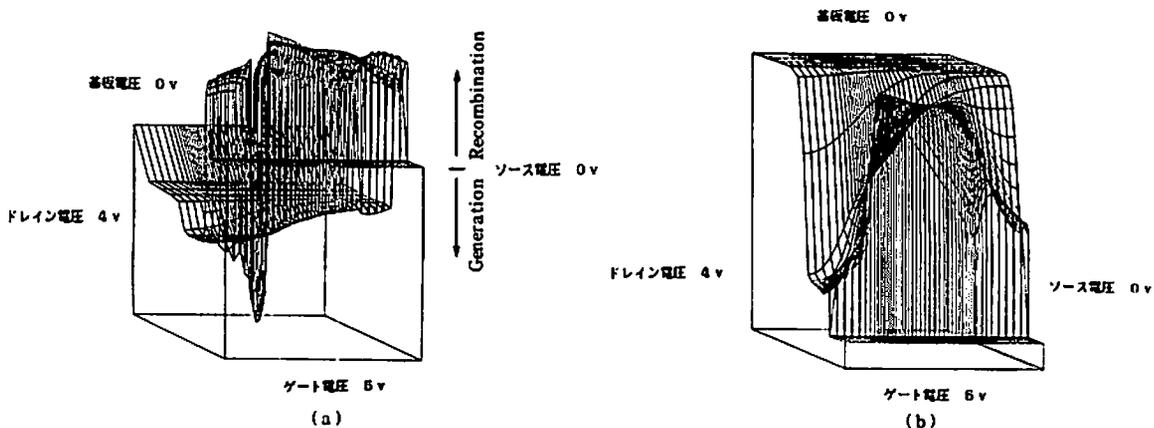


図3 チャンネル長 $0.7\mu\text{m}$ 、ゲート電圧5V、ドレイン電圧4V、の生成消滅項分布(a)と正孔分布(b)、(高さ方向はlogスケール)

次にこの降伏現象の物理的なメカニズムについて考察する。図3は図2(a)におけるチャンネル長が $0.7\mu\text{m}$ のMOSFETで、降伏がまだ発生していない電圧条件{ドレイン電圧( $V_D=4\text{V}$ ), ゲート電圧( $V_G=5\text{V}$ )}における生成消滅項と正孔分布を示したものである。図3の(a)の生成消滅項を見るとドレイン近傍において多量の生成が起こっている。これは、そこで多量のインパクトイオン化現象が発生している事を示している。このときの正孔分布を示したものが図3(b)である。正孔濃度はインパクトイオン化が発生しているところで高くなっており、その正孔はドレイン電圧の影響を受けてソースのPN接合の近くを通過して基板に流れ込んでいる。

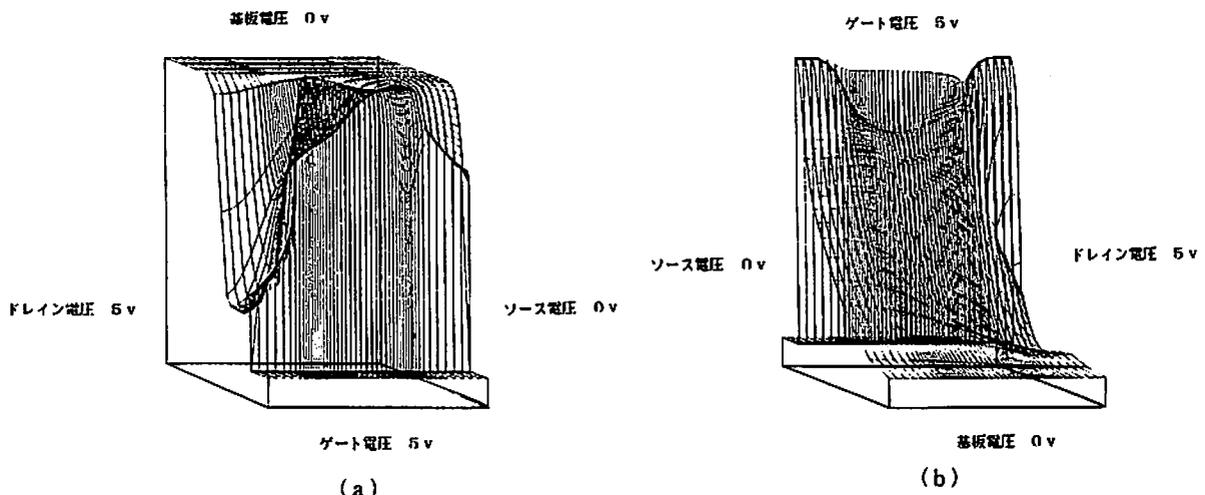


図4 チャンネル長 $0.7\mu\text{m}$ , ゲート電圧 $5\text{V}$ , ドレイン電圧 $5\text{V}$ , の正孔分布(a)と電子分布(b), (高さ方向はlogスケール)

図4はゲート電圧 $5\text{V}$ , ドレイン電圧 $5\text{V}$ の電圧条件における正孔分布・電子分布を示したものである。図4(a)の正孔分布において、ドレイン近傍のインパクトイオン化が発生している点での正孔濃度が更に大きくなっている。しかもそれにともなってソース側のPN接合付近を流れる正孔濃度が大きくなり、ソース中にも流れ込んでいる。また、図4(b)ではソースから電子がチャンネルの反転層のみでなく、基板にも流れ込んでいる。つまり、ソース側のPN接合がオンしている。

以上の事より、図1の通常構造MOSFETを電源電圧一定でチャンネル長を縮小する場合の降伏現象は、ドレイン近傍におけるインパクトイオン化現象によって生じた正孔が、ドレイン電圧の影響を受けソース側のPN接合近傍を通過することによって、それをオンするために起こると言える。

従って、電源電圧一定の条件でチャンネル長を縮小するときの降伏耐圧の低下を抑制するには基板電流、つまりインパクトイオン化現象を抑制しなければならない。

### § 3. LDD構造によるインパクトイオン化現象の抑制

前節でも述べたように、インパクトイオン化現象を抑制することは非常に重要なことである。

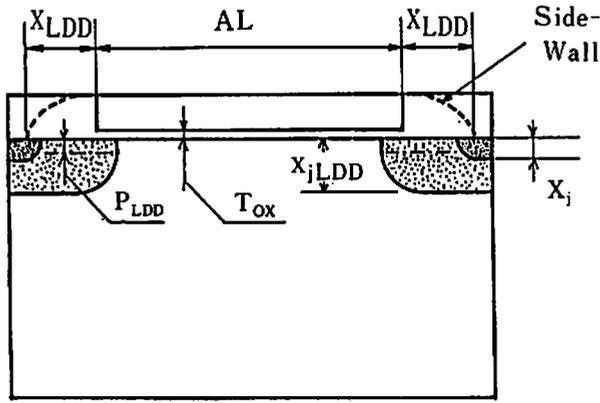


図5 LDD構造MOSFETの断面図

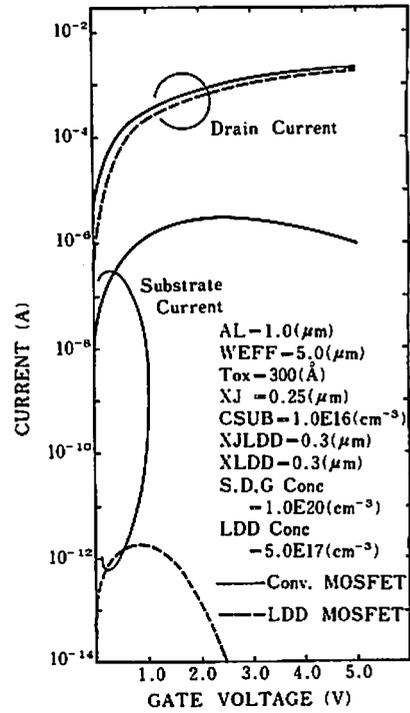


図6 構造パラメータが等しい通常構造MOSFETとLDD構造MOSFETのゲート電圧に対するドレイン電流と基板電流

このインパクトイオン化現象を抑制するために、図5のようなLDD構造MOSFETが提案された。これは従来のソース・ドレインを作成するのと同様にn<sup>-</sup>層を形成し、CVD法・エッチングによってゲートのソース・ドレイン端に側壁(Side-Wall)をつくり、そこからn<sup>+</sup>領域を拡散したものである。

図6は素子の構造パラメータ(ゲートポリ長、ソース・ドレイン拡散深さなど)が等しいLDD構造MOSFETと通常構造MOSFETにおけるドレイン電圧5Vの場合のゲート電圧に対するドレイン電流と基板電流を示したものである。ドレイン電流は両構造とも等しいオーダーであるのに対して、基板電流ではLDD構造の方が6桁以上小さくなっている。これよりLDD構造MOSFETは基板電流を抑制することが判る。次に何故LDD構造MOSFETが基板電流を抑制するかを考察する。

一般に半導体中の微小領域のインパクトイオン化の量( $G_{imp}$ )とチャネル電流( $\vec{J}$ )と電界( $\vec{E}$ )との関係は以下のように与えられる。

$$G_{imp} \propto |\vec{J}| \cdot \exp\left(-\frac{|\vec{J}|}{E \cdot J}\right) \quad (1)$$

従って、MOSFETの基板電流( $I_{sub}$ )は、

$$I_{sub} \propto \sum_{Si} |\vec{J}| \cdot \exp\left(-\frac{|\vec{J}|}{E \cdot J}\right) \quad (2)$$

と書ける。

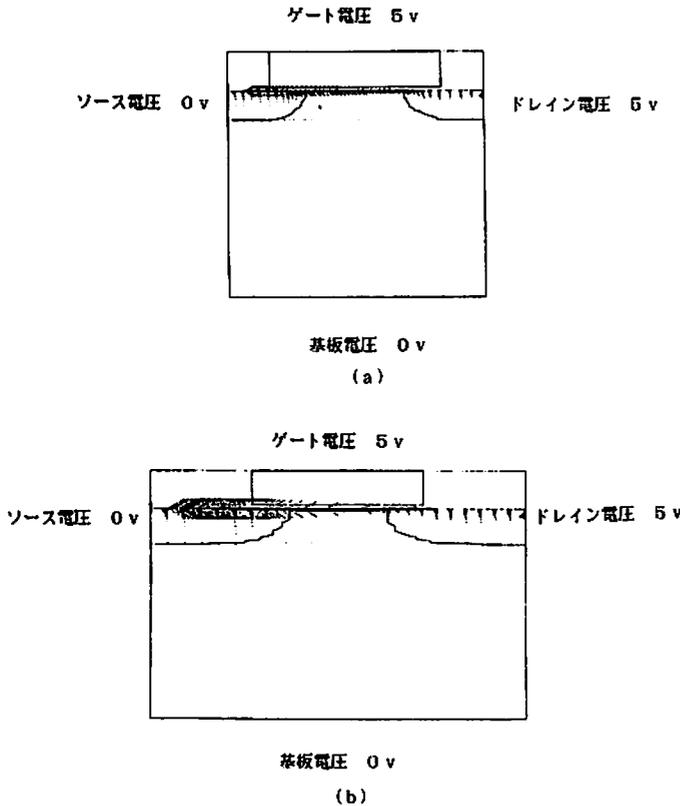


図7 構造パラメータの等しい通常構造MOSFETの電流路(a)とLDD構造MOSFETの電流路(b) 矢印の方向が電流の向き、長さが電流の大きさを示す。

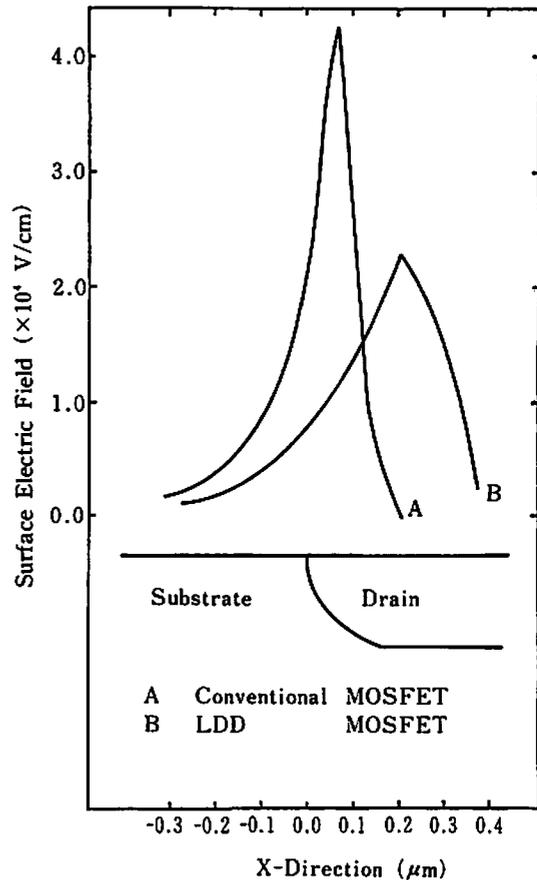


図8 界面におけるドレイン側PN接合の位置を基準とした界面電界分布

即ち、環境としての電流方向電界が小さいほど、種としてチャネル電流が小さいほどインパクトイオン化現象が少なく、基板電流も小さい事がわかる。図7は、構造パラメータの等しいLDD構造と通常構造MOSFETの電流路を示したものである。両構造ともチャネル電流の主成分は界面を流れ、かつチャネルに対して水平に流れている。図8は界面における電流方向電界分布をドレイン側PN接合の位置を基準として示したものである。通常構造MOSFETよりもLDD構造MOSFETの方が電界が小さい。従って、式(2)より、LDD構造MOSFETはn<sup>-</sup>領域によってチャネル方向電界が緩和され基板電流、つまりインパクトイオン化を抑制する。

#### § 4. 基板電流の抑制の観点から見た最適LDD構造

構造を最適化する事はLSIの設計上重要なことである。LDD構造と通常構造との典型的な差異は、LDD構造にはn<sup>-</sup>領域が存在することである。そこで、n<sup>-</sup>領域のプロファイルに着目し、基板電流の抑制の観点からチャネル長が1μm程度のLDD構造MOSFETの最適化を行った。

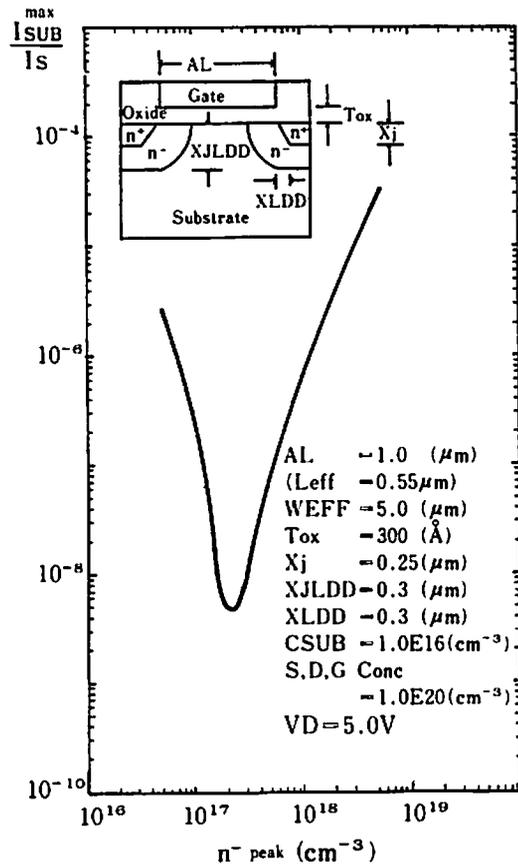


図9 n<sup>-</sup>領域の濃度のピーク界面に存在するLDD構造MOSFETのn<sup>-</sup>層のピーク濃度に対する基板電流-ゲート電圧特性のピーク値

一般に、n<sup>-</sup>層は領域全体で均一な濃度分布を持つのではなく、位置によって濃度が変化する。これは通常ガウス分布で近似することが出来る。ガウス分布で重要なパラメータは、ピーク濃度である。図9は一般的なn<sup>-</sup>領域のピーク濃度が界面に存在するLDD構造(一般的なプロセスでは通常n<sup>-</sup>領域は拡散で作成されるためピーク濃度は界面に存在する)で、n<sup>-</sup>層のピーク濃度に対する基板電流・ゲート電圧特性のピーク値を示したものである。1μm程度のチャンネル長を持つLDD構造MOSFETで基板電流が最も抑制されるのは、約2.0E17(cm<sup>-3</sup>)付近である。

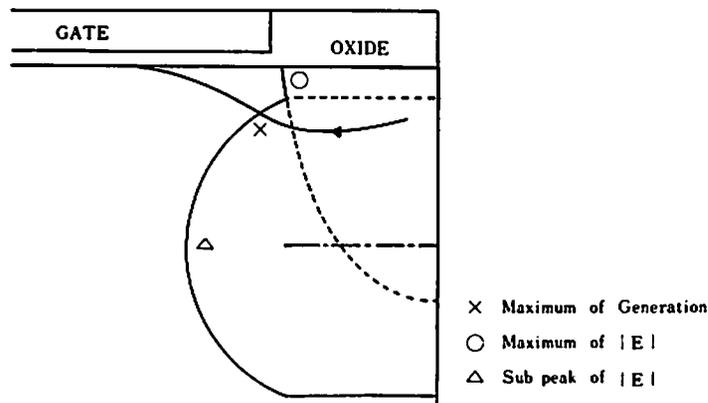


図10 n<sup>-</sup>層を界面の下法に設けたLDD構造MOSFETのドレイン近傍における電流路と電界のピーク位置

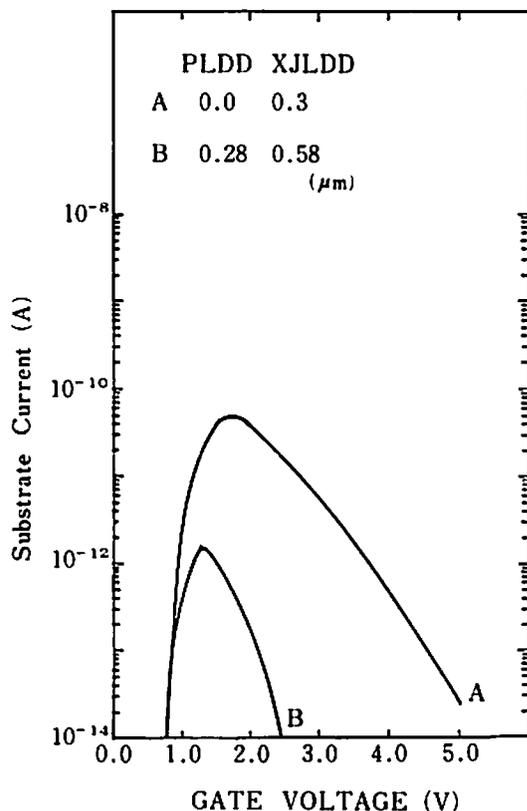


図11 一般的なn<sup>-</sup>層の濃度のピークが界面に存在するLDD構造と図10の構造におけるゲート電圧に対する基板電流

次に、n<sup>-</sup>領域の形状に着目する。図10はn<sup>-</sup>領域の濃度のピークの位置と接合の位置との間の距離を一定に保ち、その濃度のピークを下方に設けた場合の電流経路とチャネル方向電界のピークの位置を示したものである。

図11は一般的なn<sup>-</sup>層の濃度のピークが界面に存在するLDD構造MOSFETと図10の構造のゲート電圧に対する基板電流を示したものである。図10の構造は一般的なn<sup>-</sup>層の濃度のピークが界面にある構造よりも基板電流が小さいことがわかる。これらの事は以下のように説明できる。

電流はn<sup>-</sup>領域の低抵抗部分を通るため、図10のような構造の電流路は界面から離れ基板の深部を通る。また電界のピークは二つに分離する。注目すべき点は、電流路と電界のピークの位置が分離されている事である。式(2)より、基板電流は半導体中の微小領域で発生する正孔のトータル量である。電流路が電界のピークの位置を通らなければトータル的な基板電流は少なくなる。従って、n<sup>-</sup>領域のピーク濃度を界面の下方に設けたLDD構造MOSFETは一般的なn<sup>-</sup>の濃度のピークが界面に存在するMOSFETよりも基板電流を抑制する。

## § 5. ま と め

以上の事をまとめると以下のようなことが言える。

- 1) LDD構造で基板電流が抑制される理由は、 $n^-$ 領域において電界が緩和されるからである。
- 2) 基板電流を最も抑制するLDD構造の $n^-$ 領域のピーク濃度は、チャンネル長が $1\mu\text{m}$ 程度では $2E17\text{cm}^{-3}$ 付近である。
- 3)  $n^-$ 領域の濃度のピークを酸化膜との界面の下方に設けたLDD構造は、電界を緩和し、電流路を電界のピークから分離するので最も基板電流を抑制する。

これらの事と、前回の酸化膜中にトラップされたキャリアによる素子の信頼性についての報告とを合わせて考えると、

- 4) 基板電流を最も抑制し、素子の相互コンダクタンス $g_m$ 低下の少ないLDD構造は、 $n^-$ 領域の濃度のピークを酸化膜の界面の下方に設けたものである。

この $n^-$ 領域のピークを酸化膜の界面の下方に設けた構造のメリットとして、電流経路が界面の下方にあるのでインパクトイオン化現象が基板の奥で発生するため、酸化膜中に注入されるホットキャリアの量が少ないであろうと考えられる。

今後の課題は $n^-$ 層が界面の下方に存在するためパンチスルーが発生しやすくなる点である。これに対しては、一般にパンチスルー防止して用いられるチャンネルの下方に $p^+$ 層を設けたP-ポケット構造を採用すればよいのではないかと思われる。

また実際問題として、しきい値を制御するためにチャンネルイオン注入をする。このため、ドレイン近傍の不純物プロファイルは界面の不純物プロファイルに影響されやすい。

つまりオフセットゲート構造になりやすい。この構造では $g_m$ が低下しやすいため、チャンネル長がサブミクロン領域にあるMOSFETを設計する際プロセスシミュレータやデバイスシミュレータ等を用いて最適化する事がより重要になる。

### 参 考 文 献

- 1) S.A.Abbas and R.C.Dockery, "Hot-Carrier Instability in IGFET's," Applied Physics Letters, vol.27, pp. 147-148, 1975.
- 2) T.H.Ning, P.W.Cook, R.H.Dennard, C.M.Osburn, S.E.Schuster and T.H.Ning, "1 Micron MOSFET VLSI Technology : Part IV Hot-Electron Design Constraints," IEEE Journal of Solid State Circuits, vol. SC-14, pp.268-275, 1979.
- 3) P.E.Cottrel, R.R. Troutman and T.H.Ning, "Hot-Electron Emission in N-Channel IGFET's," IEEE Transactions on Electron Device, vol. ED-26, No.4, pp.520-533, 1979.
- 4) A.G.Chynoweth, "Ionization Rates for Electrons and Holes in Silicon," Physical Review., vol. 109, pp. 1537-1540, 1958.

46 (昭62.3) 微細化MOSFETの信頼性

- 5) S.Ogura, P.J.Tsang, W.W.Walker and D.L.Critchlow, "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor," IEEE Transactions on Electron Device vol.ED-27, No.8, pp.1359-1367 1980.
- 6) F.-C.Hsu and H.R. Grinolds, "Structure-Enhanced MOSFET Degradation due to Hot-Electron," IEEE Electron Device Letters, vol. EDL-5, No3, pp.71-74 1980.
- 7) F.-C.Hsu and K.-Y.Chiu, "Evaluation of LDD MOSFET's based on Hot Electron-Induced Degradation," IEEE Electron Device Letters, vol. EDL-5, pp.162-165 1984.
- 8) T.Wada and R.Dang, "Development and Application of a High Speed 2-Dimensional Time Dependent Device Simulator (MOS2C)," NASECODE-IV 1985 (DUBLIN), pp.108-119.
- 9) 中村・和田・檀・谷口, "数値モデリングによる高信頼性MOSFET構造の研究", 法政大学工学部研究週報(第22号)pp.55-65.
- 10) A.Schutz S.Selberher and H.W.Potzl, "Analysis of Breakdown Phenomena in MOSFET's," IEEE Transactions on Computer-Aided Design vol. CAD-1, No.2,pp.1068-1074 1982.