

### MOSFET におけるゲートキャパシタンスのモデリング

Dang, Ryo / 秋山, 豊 / 佐野, 嘉之 / 江村, 雄矢 / 松下, 憲一 / 高祖, 正和 / 檀, 良 / AKIYAMA, Yutaka / Sano, Yoshiyuki / EMURA, Yuya / Matsushita, Ken-ichi / Kouso, Masakazu

---

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

法政大学工学部研究集報 / 法政大学工学部研究集報

(巻 / Volume)

24

(開始ページ / Start Page)

23

(終了ページ / End Page)

33

(発行年 / Year)

1988-03

(URL)

<https://doi.org/10.15002/00003951>

# MOSFET における ゲートキャパシタンスのモデリング

秋山 豊\* 佐野 嘉之\*\* 江村 雄 矢\*  
松下 憲 一\* 高祖 正 和\* 檀 良\*

## Development and Application of a Gate Capacitance Simulator in MOSFET

Yutaka AKIYAMA\*, Yoshiyuki SANO\*\*, Yūya EMURA\*,  
Ken-ichi MATSUSHITA\*, Masakazu KOUZO\* and Ryo DANG\*

### Abstract

A one-dimensional device simulator has been developed to calculate MOS-gate capacitance. The Poisson's equation is solved numerically using a finite difference method. Simulated results are in good agreement with experimental data for the case of a non-uniform profile in an ion-implanted MOSFET.

### §1. 序

MOSFET では、ゲート・基板間のキャパシタンスを計測することによって様々な情報が得られる。その一つに、実測結果と、ポアソン方程式を解くことによって得られる理想的なキャパシタンスの計算値を比較することで、MOSFET の表面電荷密度などが判り、MOSFET のプロセス評価を行えることである。だが、現在は MOSFET の微細化のために生じるパンチスルーの防止と、しきい電圧の制御のため、MOSFET の基板にイオン注入が行われている。このためイオン注入が行われていて基板濃度が不均一の MOSFET では、理想的なキャパシタンスを陽的な解析的方法で計算することができない。そこで我々は、このような場合でもキャパシタンスが求められるように、半導体の挙動を表す基本方程式の一つであるポアソン方程式を、差分法を用いて離散化し数値的に解いてキャパシタンスを求めるシミュレータを開発した。

本論文では、当シミュレータの概要について基本方程式からその解法までを、やや詳しく説明する。次に MOSFET の動作について、シミュレーション結果を用いて解説する。また当シミュレータを用いた解析結果と実測値を比較し、MOSFET 製造プロセスで生じてしまった表面電

---

\* 電気工学科電気電子専攻

\*\* 東芝マイコンエンジニアリング株式会社

荷密度を求める。

## §2. デバイスシミュレータの開発

デバイスシミュレータとは、半導体デバイスのふるまいを表す基本方程式を解くことによって、デバイス動作と深い関り合いを持つ電位やキャリア濃度の分布を求めるものである。しかしながら、半導体基本方程式は、非線形な微分方程式であるため、一般に陽的な解法ではその解を求めることができない。デバイスシミュレータとはその基本方程式を、差分法等を用いて離散化し、数値的に解を求めるものであるが、それにはノウハウ的な技法も含め、数値解析的なテクニックが必要である。この章ではその点も考慮し、今回開発したデバイスシミュレータについて、やや詳しく説明する。

### 2.1 基本方程式

今回開発したデバイスシミュレータでは、半導体基本方程式の中でポアソン方程式のみを解いている。また、キャリア濃度についてはボルツマン分布を仮定した。

(ポアソン方程式)

$$\text{div} \cdot \text{grad} (-\varepsilon\psi) = \rho \quad (1)$$

ただし、 $\rho = q(p - n + N_D - N_A)$

(正孔濃度)

$$p = n_i \exp\left(\frac{q}{k \cdot T}(\phi_p - \psi)\right) \quad (2)$$

(電子濃度)

$$n = n_i \exp\left(\frac{q}{k \cdot T}(\psi - \phi_n)\right) \quad (3)$$

ただし、

$\psi$  : 電位,  $\phi_p$  : 正孔の擬フェルミ準位,  $\phi_n$  : 電子の擬フェルミ準位,  $p$  : 正孔濃度,  $n$  : 電子濃度,  $N_D$  : ドナー濃度,  $N_A$  : アクセプタ濃度,  $q$  : 素電荷量,  $k$  : ボルツマン定数,  $n_i$  : 真性半導体の濃度,  $T$  : 温度,  $\varepsilon$  : 誘電率である。

この(1)式を離散化すればよいが、二階の微分方程式であるため離散化誤差が大きくなる。そのため、(1)式のポアソン方程式にガウスの定理を適用し、一階の微分方程式に変形すると、

$$\int_V \text{grad}(-\varepsilon\psi) ds = \int_V \rho dv \quad (4)$$

となり、離散化誤差を抑えることができる。ここで、(4)式は、ある閉曲面を横切る電束密度の総和は、閉曲面内の電荷密度の総和に等しいということを示している。

### 2.2 解法

(4)式において、 $\rho$ が真の値ならば $\psi$ は直ちに解となるが、(2)(3)式からわかるように、

$\rho$  自体が  $\psi$  の関数となっている。このため、ある初期値として  $\rho$  を見積って  $\psi$  を求め、また  $\rho$  を見積る……といった反復計算が必要となる。

反復回数が、 $k+1$  回目、 $k$  回目の電位をそれぞれ  $\psi^{k+1}$ 、 $\psi^k$  とし、その修正された量を  $\Delta\psi$  と置くと、

$$\psi^{k+1} = \psi^k + \Delta\psi \quad (5)$$

と表せる。また、擬フェルミ準位はフェルミ準位  $\phi_F$  と同じで、かつ一定と仮定し、(5) 式を (3) 式に代入すれば、反復回数が  $k+1$  回目の電子濃度  $n^{k+1}$  は、 $k$  回目の電子濃度を  $n^k$  とし、

$$\begin{aligned} n^{k+1} &= n^k \exp\left(\frac{q}{k \cdot T}(\psi^{k+1} - \phi_n)\right) \\ &= n_i \exp\left(\frac{q}{k \cdot T}(\psi^k + \Delta\psi - \phi_n)\right) \end{aligned} \quad (6-1)$$

$$= n_i \exp\left(\frac{q}{k \cdot T}(\Delta\psi)\right) \quad (6-2)$$

と表せる。

同様に、反復回数が  $k+1$  回目の正孔濃度  $p^{k+1}$  は、 $k$  回目の正孔濃度を  $p^k$  とし、

$$\begin{aligned} p^{k+1} &= n_i \exp\left(\frac{q}{k \cdot T}(\phi_p - \psi^{k+1})\right) \\ &= n_i \exp\left(\frac{q}{k \cdot T}(\phi_p - \psi^k - \Delta\psi)\right) \end{aligned} \quad (7-1)$$

$$= p^k \exp\left(\frac{q}{k \cdot T}(-\Delta\psi)\right) \quad (7-2)$$

となる。(6-2) (7-2) 式を用いて、 $\rho$  を更新していけば良い。

また、(5) 式を (4) 式の左辺に代入すると、

$$\begin{aligned} &\int_s \text{grad}(-\varepsilon\psi^{k+1}) ds \\ &= \int_s \text{grad}(-\varepsilon\psi^k) ds + \int_s \text{grad}(-\varepsilon\Delta\psi) ds \end{aligned} \quad (8)$$

となる。 $\psi^k$  を初期値として仮定すると、(8) 式の第1項は既知となる。一方(6-1)、(7-1)式を  $\Delta\psi$  が小さいとして、テーラ展開すると、 $p^{k+1}$  と  $n^{k+1}$  は、

$$n^{k+1} = (1 + \Delta\psi) \cdot n^k$$

$$p^{k+1} = (1 - \Delta\psi) \cdot p^k$$

となる。この式と(8)式から、(4)式を整理すれば、

$$\begin{aligned} &\int_s \text{grad}(-\varepsilon\Delta\psi) ds + \left(\int_v q(p^k + n^k) dv\right) \cdot \Delta\psi \\ &= \int_v q(p^k - n^k + N_D - N_A) dv - \int_s \text{grad}(-\varepsilon\psi^k) ds \end{aligned} \quad (9)$$

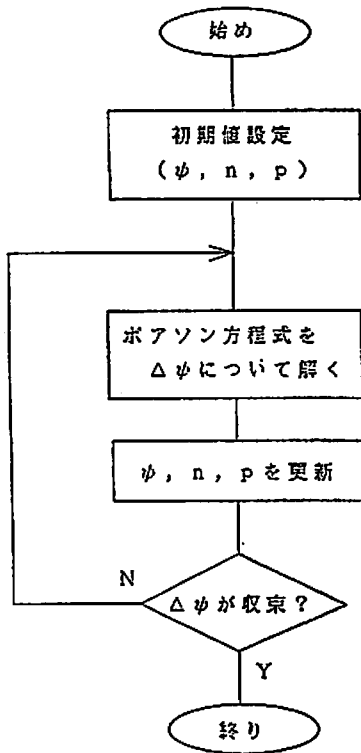


図1 解法の流れ

となる。

以上をまとめると、図1のようになる。まず、 $n, p, \psi$ の初期値を見積る。その方法は、 $n$ 型の半導体では $n$ に $N_D$ を、 $p$ 型では $p$ に $N_A$ をそれぞれ与え、(2)、(3)式から $\psi$ を求める。次に、差分法を用いて(9)式を離散化し、 $\Delta\psi$ について解を求める(次節で詳しく述べる)。そして、求めた $\Delta\psi$ から(5)(6-2)(7-2)式を用いて、 $n, p, \psi$ をそれぞれ更新する。以上の事を、 $\Delta\psi$ が十分に小さくなるまで反復し、収束した時の $\psi^{k+1}, n^{k+1}, p^{k+1}$ が求める解である。

### 2.3 差分法

差分法とは、解析領域を $N$ 個の局所的な場に細かく分け、与えられた方程式を線形補間して、 $N$ 次の連立方程式をたて、それを解くことによって $N$ 個の局所的な場における解をもとめる手法である。以下実際に(9)式を差分法を用いて離散化し、解を求めていく。

今回開発したシミュレータは、図2のようなMOSFETにおけるゲート・基板間のキャパシタンスを求めるためのものである。MOSFETのチャネル長・チャネル幅がキャパシタンスに影響を与えないほど十分に長いとし、横方向・奥行き方向で電位の変化がないと仮定すれば、(1)式は一次元( $X$ 方向のみ)で考えればよい。

これからはMOSFETの深さ方向に対して一次元で考えていくので、図3に示すように差分点を配置する。本当はこの差分点の間隔を細かく、しかも均一に配置できれば理想的である。しかし計算時間とメモリの節約のため、図3のように内部物理量が激しく変化すると予想される所で細かく差分点を置き、そうでないところでは差分点を粗く置くことにする。実際にはMOSFET

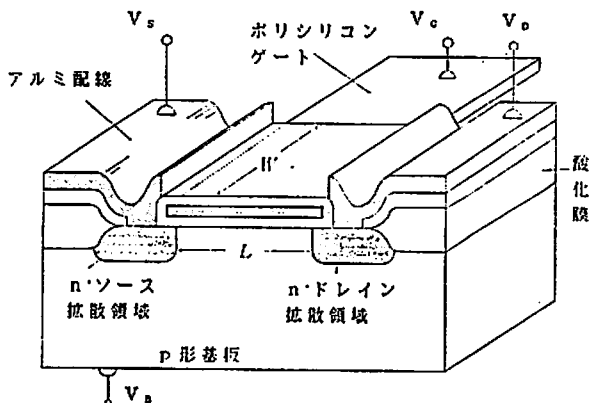


図2 MOSFETの構造図

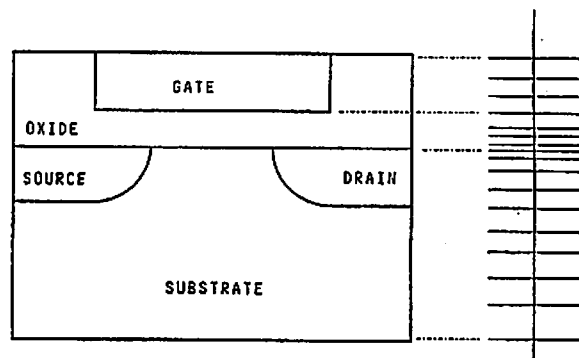


図3 差分格子点の発生例



$$\int_0^1 \rho dv = \rho_l \times \delta X_l \times 1 \times 1$$

と表せる。

この式から、ある差分点における電位  $\psi_l$  は、その前後の差分点における電位  $\psi_{l+1}$ ,  $\psi_{l-1}$  と、その差分格子点上の電荷密度  $\rho_l$  から得られる。すなわち、 $N$ 個の差分点があれば $N$ 本の連立方程式がたち、それぞれは3つの連続した変数を持っているため、解くべきマトリックスは図5のような帯行列となる。

以上が(4)式の差分式であるが、この関係を(9)式に適用したものが解くべき差分式である。

このマトリックスを解くために、今回のプログラムでは確実に解の得られるガウス消去法をもちいた。

#### 2.4 キャパシタンス

キャパシタンス  $C$  の定義を、

$$C = \frac{\Delta Q}{\Delta V}$$

とする。すなわち、キャパシタンスを求めるには、電圧をほんの少しだけ変えたときの電荷量の変化を調べれば良い。

ある電極に電圧を与えると電荷  $Q$  が電極に誘起され、ガウスの定理から電極のまわりの閉曲面で、電気力線の数の総和として  $Q$  は求まる。次に、電極に印加したその電圧を  $\Delta V$  だけ変化させて同様に  $Q$  を求める。このようにして、 $Q$  の変化量と、 $V$  の変化量からキャパシタンスが求められる。

### §3. 解析結果

まず、MOS ゲートキャパシタンスについて簡単に説明する。MOS ゲートキャパシタンスは、図6に示すように、酸化膜のキャパシタンス  $C_{ox}$  と、ゲートにかけた電圧によって変化する空乏層の伸びによるキャパシタンス  $C_{dep}$  の合成キャパシタンスとして表せる。すなわち、ゲートに負の電圧をかけると、MOSFET は蓄積状態となって、空乏層は無くなり、合成キャパシタンスは  $C_{ox}$  となる。その状態から正の電圧を印加していくと、空乏層が伸びていくため、合成キ

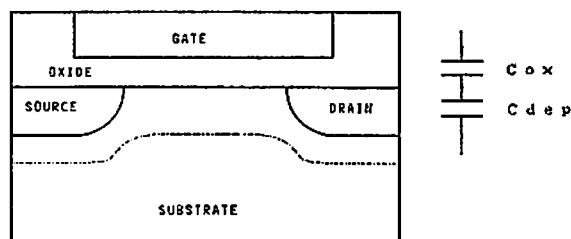


図6 ゲートキャパシタンスの模式図

キャパシタンスが  $C_{ox}$  よりも小さくなっていく。さらに正の電圧を印加すると、反転層が形成されるため、合成キャパシタンスは  $C_{ox}$  となる。

今回開発した一次元キャパシタンスシミュレータを用いて解析した結果を示す。まず第一に、基板濃度が均一な場合における、基板濃度をパラメータとした、MOS ゲートキャパシタンスのゲート電圧依存性を図7に示す。ゲート電圧を負の値から正の値に変化した時、MOS ゲートキャパシタンスは、酸化膜によるキャパシタンス  $C_{ox}$  から徐々に小さくなり、また  $C_{ox}$  に近づいていく。これは先に説明したことによく一致する。また、基板濃度を大きくすると、キャパシタンスの立ち下がりが遅れ、しきい電圧が上昇していることがわかる。そして、基板濃度を上げると、空乏層の伸びが小さくなるので、空乏層内のキャパシタンス  $C_{dep}$  が大きくなり、空乏層が伸びている状態で、基板濃度が低い場合に比べ、合成キャパシタンスが大きくなる。

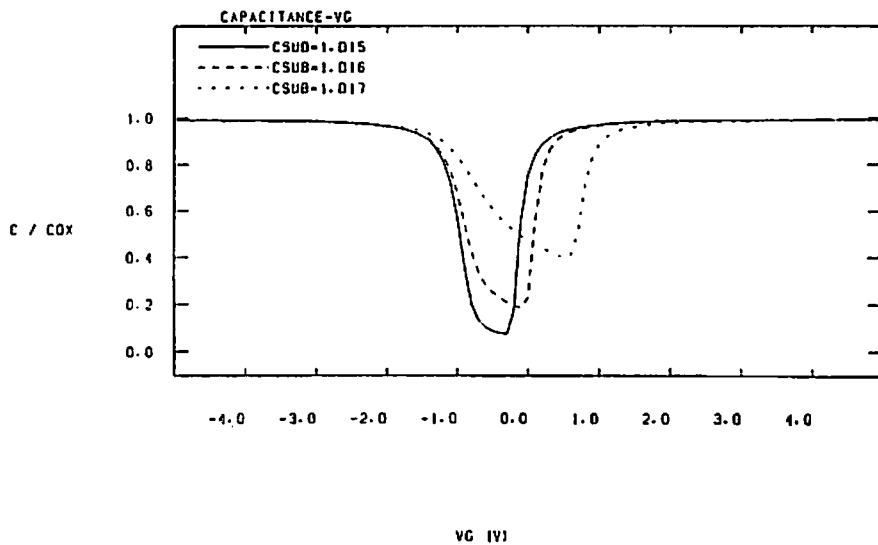


図7 n-MOSFET における基板濃度をパラメータとしたゲートキャパシタンスのゲート電圧依存性  
 $T_{OX}=200\text{\AA}$ ,  $C_{POLY}=1\text{E}20/\text{cm}^3$ ,  $V_{FB}=0.59\text{V}$ .

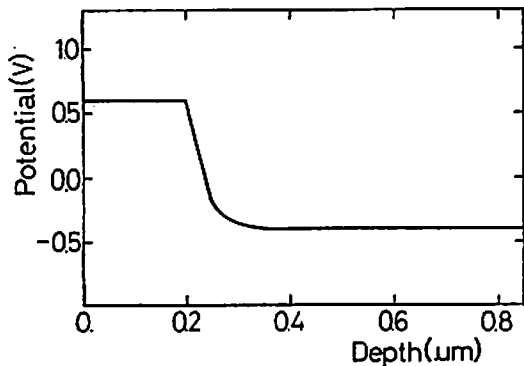


図8  $V_g=0\text{V}$  の時の電位分布  
 $T_{OX}=500\text{\AA}$ ,  $C_{SUB}=5\text{E}16/\text{cm}^3$ .  
 $C_{POLY}=1\text{E}20/\text{cm}^3$ ,  $V_{FB}=0.59\text{V}$ .

次に、ゲート電圧が  $0\text{V}$  の時の、ゲート・基板間の電位分布を図8に示す。ゲート材料に POLY-Si が用いられているため、その Fermi 準位の分だけゲートに電圧がかかっている状態になっている。電位は、ゲート電極内で一定で、酸化膜中で急激に減少していることが分かる。

図8では電位の正の向きを縦軸の上に行っているが、電位の正の向きを下にとり、Si のバンドギャップ  $1.1\text{eV}$  を考慮すると、図9のようなバン



ド図が描ける。ゲート電圧が 0V であっても、POLY-Si の Fermi 準位によって、既に反転が始まっていることが分かる。ゲート電圧が  $V_g=2V$  の時では、界面付近で強く  $n$  形に反転している。 $V_g=-2V$  では、 $p$  形に蓄積されていることが分かる。以上のように、このシミュレータを用いると、MOS デバイスの動作状態を詳しく理解することができる。

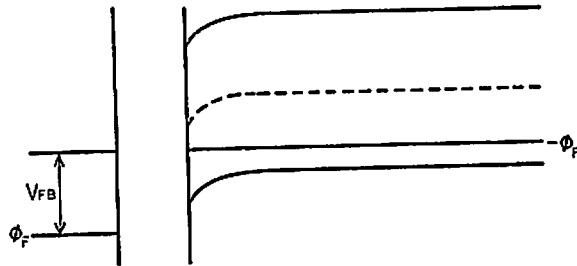


図 9-1  $V_g=0V$ .

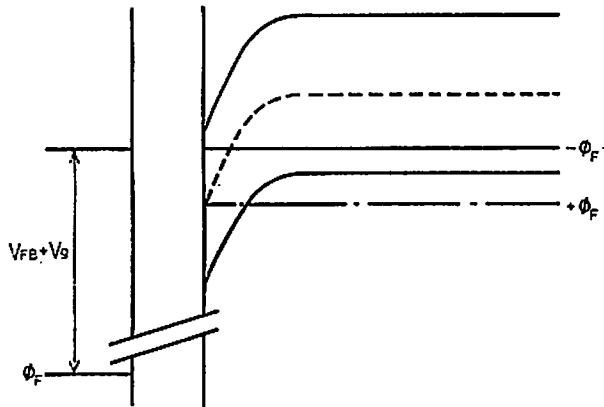


図 9-2  $V_g=+2V$ .

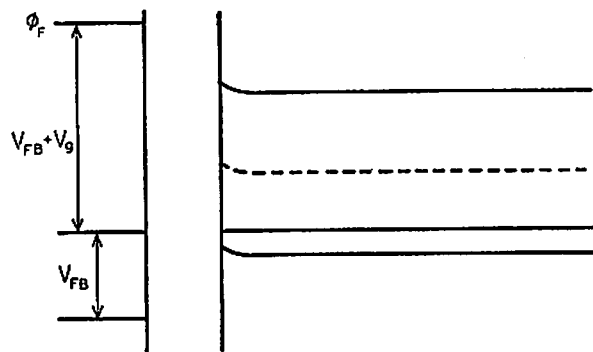


図 9-3  $V_g=-2V$ .

図 9 バンド図

$$T_{OX}=500\text{\AA}, C_{SUB}=5E16/\text{cm}^3.$$

$$C_{POLY}=1E20/\text{cm}^3, V_{FB}=0.59V.$$

#### § 4. 実測との比較

実際の MOSFET では、しきい電圧の制御や、微細化にともなって生ずるパンチスルーの防止のため、MOSFET の基板にイオン注入がなされ、基板の不純物分布が不均一になっている。このような場合、従来用いられていた解析的な手法では、MOSFET のゲートキャパシタンスを求めることができない。しかし、今回開発した次元キャパシタンスシミュレータを用いれば、このような場合でも MOS ゲートキャパシタンスを求めることができる。以下、MOS ゲートキャパシタンスの実測値とシミュレーション結果を比較する。また、その結果から MOSFET 製造プロセスにおいて生じた、表面電荷密度を求める。

図10は、MOS ゲートキャパシタンスのゲート電圧依存性で、シミュレーション値と実測値を示したものである。反転層が形成されるようなゲート電圧では、両者には大きな隔たりがあり、

実測の方がシミュレーションのものに比べ、ずっと小さくなってしまふ。これは測定の際に測定精度の安定性を保つため、測定周波数を 1MHz という高周波にしたため、電子の緩和時間よりもずっと速く印加電圧が変化してしまひ、反転層の形成が間に合わなくなったためである（付録参照）。しかし、反転層が形成される前では、両者はほとんど一致しているが、ここでの両者の違いは製造 MOS プロセスで生じた表面電荷密度によって、しきい電圧が変化したためである。これを用いて、表面電荷密度を求める。

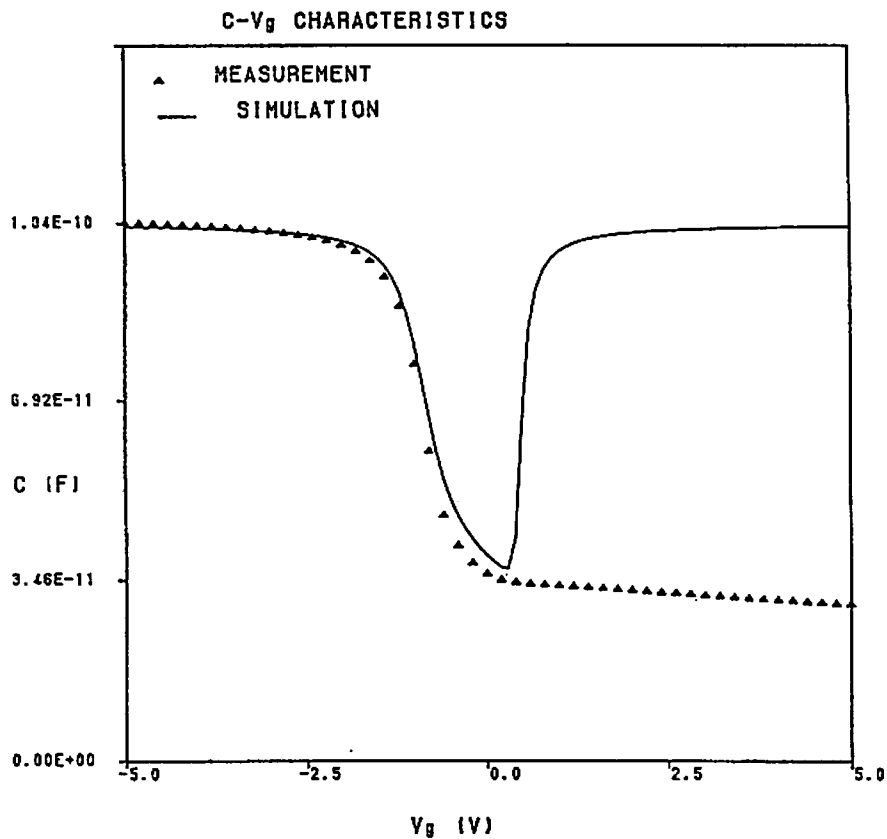


図10 シミュレーション値と実測値の比較

$T_{OX}=208\text{\AA}$ ,  $C_{SUB}=2\text{E}15/\text{cm}^3$ ,  $C_{POLY}=1\text{E}20/\text{cm}^3$ ,  
 $V_{FB}=0.59\text{V}$ ,  $C_{MAX}=1\text{E}17/\text{cm}^3$ ,  $X_{MAX}=0.22\mu\text{m}$ ,  
 $X_{TAIL}=0.62\mu\text{m}$ .

しきい電圧の変化は、グラフから 0.4V であることが分かる。すなわち、実デバイス上の表面単位電荷  $Q_{SS}$  によるしきい電圧のシフト  $V_{TH}^{SHIFT}$  は、

$$V_{TH}^{SHIFT} = \frac{Q_{SS}}{C_{OX}} = \frac{q N_{SS}}{C_{OX}}$$

ただし、 $C_{OX}$ ; 単位面積あたりの酸化膜のキャパシタンス、

$q$ ; 素電荷量,  $N_{SS}$ ; 表面単位電荷密度

と表せる。

この式から、

$$N_{SS}=1.04 \times 10^{11} (\text{/cm}^2)$$

と求まる。

## §5. ま と め

ポアソン方程式を差分法を用いて数値的に解く、一次元 MOS キャパシタンスシミュレータを開発した。このシミュレータを用いれば、MOSFET の動作状態を詳しく解析することができる。<sup>Fig.1</sup> 基板の濃度が不均一な MOSD デバイスでは、解析的な手法を用いてキャパシタンスを求めることができない。しかし、今回開発したシミュレータを用いれば、そのような場合でも MOS ゲートキャパシタンスを求めることが可能であり、その結果と実測値を比較することで、MOSFET の製造プロセス評価を行うことができる。

## §6. 付 録

図10に示すようにゲート電圧が正の時、実測値とシミュレーション値の間に大きな隔たりがあった。この原因は、測定の際に 1MHz という高周波を用いたため、反転層を形成すべき電子の緩和時間よりも速く、印加電圧が変化してしまい、反転層が形成されないためである。この状態をシミュレーションするためには、時間的変位を含んだ電子・正孔の電流連続式を解き、過渡解析を行えば良い。すなわち、電子・正孔の電流連続式は、

$$\frac{\partial n}{\partial t} + \text{div} \left( \frac{\vec{J}_n}{-q} \right) = GR \quad (\text{A-1})$$

$$\frac{\partial p}{\partial t} + \text{div} \left( \frac{\vec{J}_p}{q} \right) = GR \quad (\text{A-2})$$

ただし、 $\vec{J}_n$ ,  $\vec{J}_p$  は、それぞれ電子正孔の電流密度の式であり、

$$\vec{J}_n = -q \cdot n \cdot \mu_n \cdot \text{grad } \psi + q \cdot D_n \cdot \text{grad } n \quad (\text{A-3})$$

$$\vec{J}_p = -q \cdot p \cdot \mu_p \cdot \text{grad } \psi - q \cdot D_p \cdot \text{grad } p \quad (\text{A-4})$$

と、表せる。

ここで、 $GR$ ; キャリアの生成・再結合速度,  $\mu$ ; キャリアの移動度,  
 $D$ ; キャリアの拡散定数, である。

まず、電子の電流連続式のみを考える。電子が時間的に変化しないとすれば、(A-1)式の左辺第二項は、ポアソン方程式と同様に差分することができる。その差分したものを、 $F_n(n)$  とおくと、

$$\frac{\partial n}{\partial t} - F_n(n) = GR \quad (\text{A-5})$$

となる。

次に、この式をについて時間差分する。すなわち、現在の時刻  $t^{NEW}$  と過去の時刻  $t^{OLD}$  における電子の濃度をそれぞれ  $n^{NEW}$ ,  $n^{OLD}$  とおけば、

$$\frac{n^{NEW} - n^{OLD}}{t^{NEW} - t^{OLD}} - F_n^{NEW}(n^{NEW}) = GR$$

変形して、

$$\frac{n^{NEW}}{t^{NEW} - t^{OLD}} - F_n^{NEW}(n^{NEW}) = GR + \frac{n^{OLD}}{t^{NEW} - t^{OLD}} \quad (A-6)$$

となる。正孔の電流連続式 (A-2) についても同様に、

$$\frac{p^{NEW}}{t^{NEW} - t^{OLD}} - F_p^{NEW}(p^{NEW}) = GR + \frac{p^{OLD}}{t^{NEW} - t^{OLD}} \quad (A-7)$$

となる。(A-6), (A-7) をそれぞれ  $n^{NEW}$ ,  $p^{NEW}$  について解けば、キャリアの時間的变化について解析することが可能であり、MOS ゲートキャパシタンスの高周波特性を解析することができる。

なお、過渡解析を含んだシミュレータとその解析結果については、次回の論文で詳しく述べることにする。