

Min Max演算を用いたファジィフリップフロップのハードウェア化

廣田, 薫 / HIROTA, Kaoru / OZAWA, Kazuhiro / 小沢, 和浩

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

Bulletin of the Faculty of Engineering, Hosei University / 法政大学工学部
研究集報

(巻 / Volume)

24

(開始ページ / Start Page)

47

(終了ページ / End Page)

56

(発行年 / Year)

1988-03

(URL)

<https://doi.org/10.15002/00003947>

Min Max 演算を用いたファジィフリップフロップの ハードウェア化

廣 田 薫*・小 沢 和 浩**

Hardware Realization of Fuzzy Flip-Flop Based on Min Max Operations

Kaoru HIROTA* and Kazuhiro OZAWA**

Abstract

Concept of fuzzy flip-flop has already been proposed. Two types of characteristic equations, that are reset type and set type, of fuzzy flip-flop have been introduced as an extension form of that of binary J-K flip-flop using concepts of fuzzy negation, t-norm, and s-norm operations. The aim of this article is to present the hardware implementation of fuzzy flip-flop. Fuzzy negation, t-norm, and s-norm are restricted to complementation, Min, and Max, respectively for the sake of practical use. Fundamental properties of fuzzy flip-flop based on complementation, Min, and Max operations are mentioned first. Then the experimental results of hardware implementation of Min Max type fuzzy flip-flop in voltage levels are presented. And finally an idea of fuzzy shift register which can store and shift the membership function information defined on a finite support set is presented.

§ 1. 緒 言

近年、ファジィ制御やファジィエキスパートシステム等におけるファジィ情報の高速処理を目的としたファジィコンピュータの実現に向けて、各種ファジィ演算を直接ハードウェアレベルで実行するプロセッサがいくつか提案され既に実現されている¹⁻³⁾。また、その記憶素子に関する研究も行われている⁴⁻⁶⁾。我々は、二値論理を基に構築された現在の電子計算機の記憶素子のなかで最も基本的な J-K フリップフロップの特性方程式をファジィ論理の基本演算であるファジィ否定、tノルム、sノルムを用いて、二値論理からの拡張を行い、リセット型、セット型ファ

* 工学部電気工学科計測制御専攻

** 大学院工学研究科電気工学専攻 (博士後期課程)

ジィフリップフロップとして定義を行った⁵⁾。また、ファジィ否定、tノルム、sノルムの具体的な演算として(1) 1からの差, Min, Max (2) 1からの差, 代数積, 代数和 (3) 1からの差, 限界積, 限界和 (4) 1からの差, 激烈積, 激烈和のそれぞれの系により記述されたファジィフリップフロップについての特性を、解析的手法や計算機シミュレーションにより明らかにした⁷⁾。

その中でも特に1からの差, Min, Max 演算の系により記述されるファジィフリップフロップはリセット型, セット型が統一され一つの基本方程式として表現されることが証明され、二値J-K フリップフロップの素直な拡張となっていることも明らかとなった⁵⁾。

本論文では、このMin Max 型ファジィフリップフロップについて、[0, 1] で与えられるファジィ情報を直接 [0V, 5V] の電圧値に対応させて、そのトランジスタレベルからの回路構築を行った。さらに、その応用例としてメンバーシップ関数の記憶回路及びメンバーシップ関数のシフトレジスタについての回路構成についても述べる。

§2. ファジィフリップフロップの定義

二値J-K フリップフロップの真理値表から主加法標準型により得られる論理式を単純化した特性方程式(2-1)をファジィ否定、tノルム、sノルムを用いてファジィ論理へ拡張を行うと式(2-2)が得られる。また、同様にして主乗法標準型から得られる論理式を単純化した式(2-3)をファジィ論理へ拡張すると式(2-4)を得る。

$$Q(t+1) = J(t)\overline{Q(t)} + \overline{K(t)}Q(t) \quad (2-1)$$

$$Q(t+1) = \{J(t) \textcircled{1} Q(t)\} \textcircled{5} \{K(t)\textcircled{1} Q(t)\} \quad (2-2)$$

$$Q(t+1) = \{J(t) + Q(t)\} \{ \overline{K(t)} + \overline{Q(t)} \} \quad (2-3)$$

$$Q(t+1) = \{J(t) \textcircled{5} Q(t)\} \textcircled{1} \{K(t)\textcircled{5} Q(t)\} \quad (2-4)$$

二値論理においては、式(2-1)と式(2-3)が等価なことは、二値論理における各種演算規則を適用することにより容易に確かめることができる。しかし、ファジィ論理においては相補律が成立していないことや分配律も一般には成り立たないことから、式(2-2)と式(2-4)の演算結果は等しくはない。式(2-2)は、 $J(t)=0$, $K(t)=1$ のときに $Q(t+1)=0$ の出力値が実現されていることからリセット型ファジィフリップフロップとして定義し、式(2-3)は、 $J(t)=1$, $K(t)=0$ のとき $Q(t+1)=1$ の出力値が実現されていることからセット型ファジィフリップフロップとして定義を行った。ファジィ否定、tノルム、sノルムの具体的な演算系に関しては、これらの基本式の特性を解析的方法と計算機シミュレーションを用いてすでに明らかにしている⁷⁾。その中で最も基本的なファジィ演算である、1からの差, Min, Max の演算系で定義されたファジィフリップフロップにおいて $J(t)=K(t)$ のときリセット型, セット型の出力値が等しくなることが証明された⁵⁾。そこで、 $J(t)$ と $K(t)$ の大小により場合分けを行うことにより二値J-K フリップフロップの特性を全て包含したMin Max 型ファジィフリップフロップが定義された。

$$Q(t+1) = \begin{cases} (J(t) \vee Q(t)) \wedge \{(1-K(t)) \vee (1-Q(t))\} & (J(t) \geq K(t)) \\ \{J(t) \wedge (1-Q(t))\} \vee \{(1-K(t)) \wedge Q(t)\} & (J(t) \leq K(t)) \end{cases} \quad (2-5)$$

§3. 回路化のための特性方程式の導出

各種ファジィ論理演算を直接ハードウェアレベルで行うことができるプロセッサとしては、電流モードで動作する IC¹⁾がある。また、さらにデジタル近似によりファジィ推論を実行する VLSI²⁾もすでに実現されている。

ファジィフリップフロップの回路化についても、ファジィ否定ゲート、tノルムゲート、sノルムゲート回路をもとにして、容易に実現することができる。リセット型ファジィフリップフロ

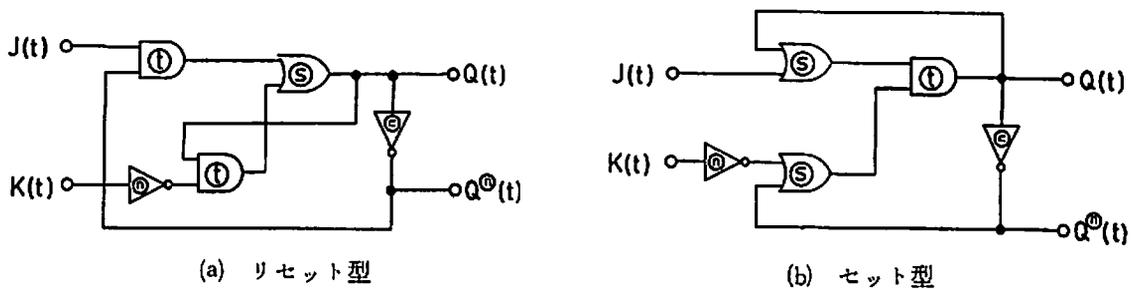


図 3.1 ファジィフリップフロップ回路

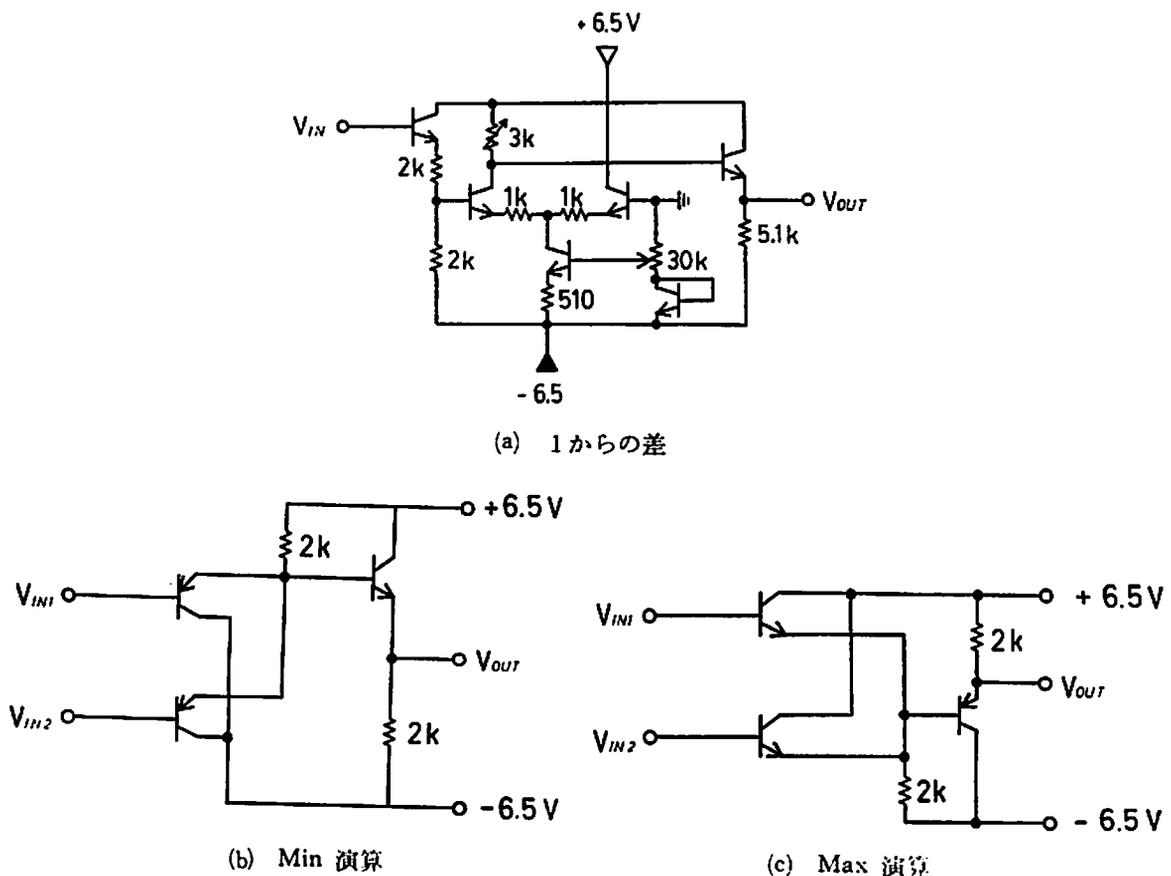


図 3.2 電圧モードによるファジィゲート素子

ップ, 及びセット型ファジィフリップフロップの回路図を図 3.1 (a), (b)に示す。

ファジィ否定, tノルム, sノルムの具体的演算である 1 からの差, Min, Max の演算をそれぞれ電圧モードで実現するファジィゲート素子⁹⁾はすでに山川らにより実現されている。図 3.2 (a)~(c)にこれらの演算を行うファジィゲート素子の回路図を示す。

ファジィフリップフロップの回路化についてもこれらのファジィゲート素子を基本として考えていくことにする。ここで, Min, Max 演算を用い $J(t)$ と $K(t)$ の大小により場合分けを行ったファジィフリップフロップの基本的な演算式として定義した式 (2-5) の演算を実現する回路としては, 図 3.1 のリセット型, セット型に $J(t)$ と $K(t)$ の大小で切り替えを行う比較器とリレーを加えた回路を考えればよい。これは, 図 3.3 に示すように実現可能である。

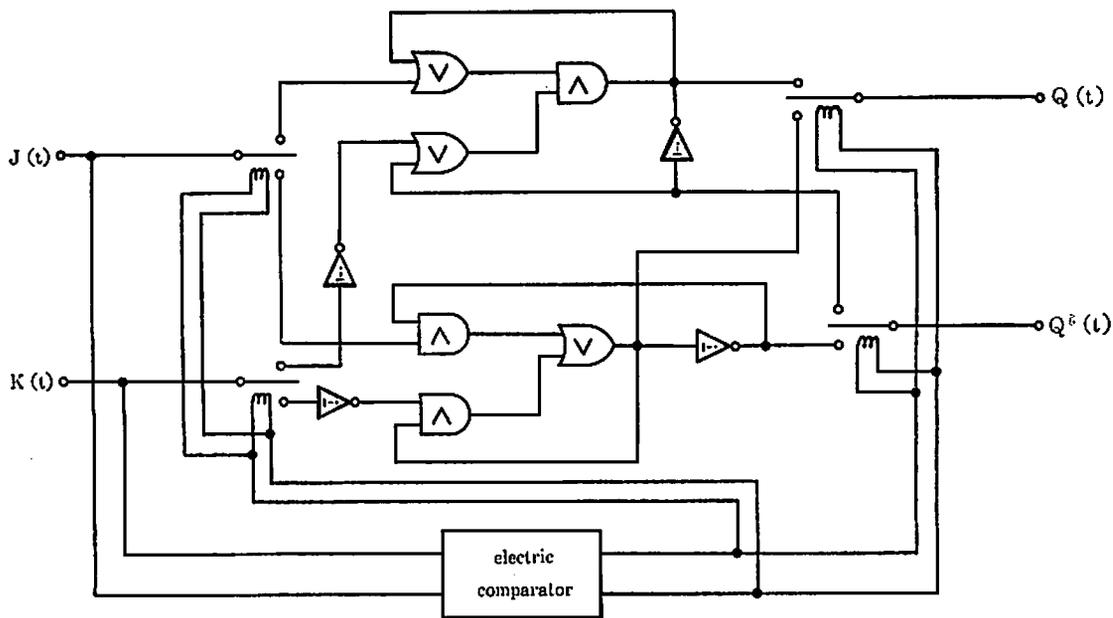


図 3.3 比較器とリレーを用いた Min Max 型ファジィフリップフロップ回路

しかし, 図 3.3 に示す回路はゲート素子数が多くなることやリレー回路等を必要とするため集積化には不都合である。そこで, $J(t)$ と $K(t)$ の大小によって場合分けすることなく, リセット型, セット型の出力値の合成結果を得ることを考える。

$$Q(t+1) = (J(t) \otimes K(t)^{\oplus}) \oplus (J(t) \otimes Q(t)) \oplus (K(t)^{\oplus} \otimes Q(t)^{\oplus}) \quad (3-1)$$

この表現法は, 2 で述べた二値 J - K フリップフロップ回路の出力値を与える論理式 (2-1) から, 主乗法標準型により得られた式 (2-3) への変形の途中に現れる,

$$\overline{J(t)K(t) + J(t)Q(t) + Q(t)K(t)} \quad (3-2)$$

にド・モルガンの法則を適用することによって,

$$\{J(t) + \overline{K(t)}\} \cdot \{J(t) + Q(t)\} \cdot \{\overline{K(t)} + \overline{Q(t)}\} \quad (3-3)$$

と変形し, さらにファジィ否定, tノルム, sノルムを用いてファジィへの拡張を行ったものである。式 (3-1) で $J(t)$ と $K(t)$ が $\{0, 1\}$ の場合のみについて計算を行った結果を表 3.1 に示

す。

表 3.1 ファジィフリップフロップの出力値

$J(t)$	$K(t)$	$Q(t+1)$
0	0	Q
0	1	0
1	0	1
1	1	Q^{\oplus}

$J(t)=0, K(t)=1$ のリセット入力に対する出力値 $Q(t+1)=0$ と $J(t)=1, K(t)=0$ のセット入力に対する出力値 $Q(t+1)=1$ がともに実現され、また、 $J(t)=0, K(t)=0$ の入力に対しては、現在の出力値 $Q(t)$ を保持し、 $J(t)=1, K(t)=1$ の入力に対しては、反転の動作を行うことから、リセット型、セット型の両方の性質を持ち合わせていることが分かる。

また、1からの差、Min, Max の演算系の場合には、式 (2-5) と式 (3-4) の値は、全ての $J(t), K(t), Q(t)$ に対して完全に一致することも確認できる。そこで、実際の回路化については、式 (3-1) から得られる。

$$Q(t+1) = \{J(t) \vee (1 - K(t))\} \wedge \{J(t) \vee Q(t)\} \wedge \{(1 - K(t)) \vee (1 - Q(t))\} \quad (3-4)$$

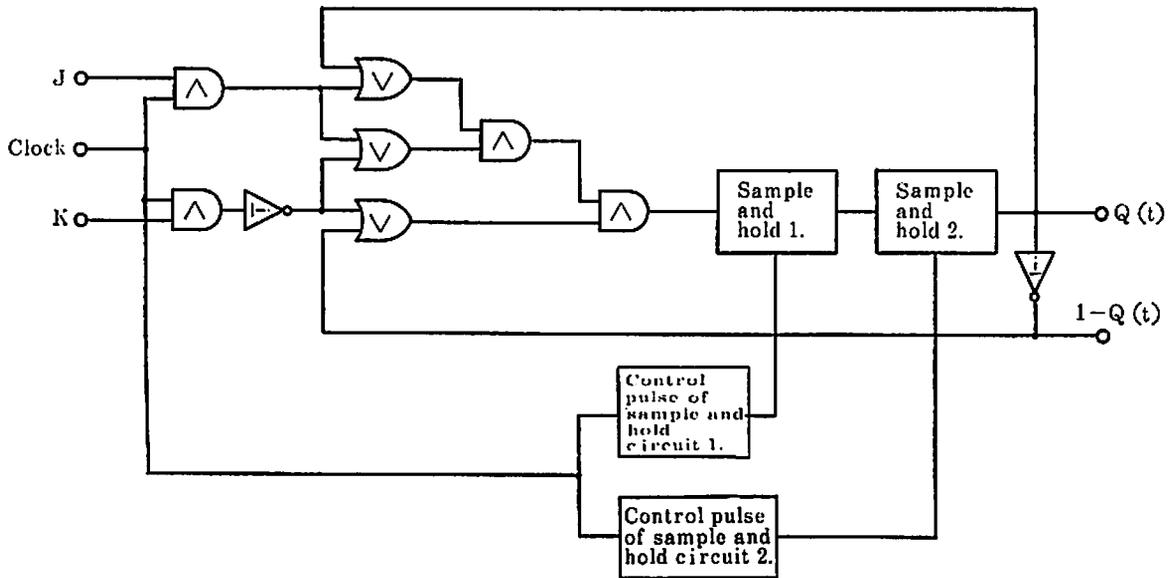
に従って考えることにする。

§ 4. クロック同期によるファジィフリップフロップ回路

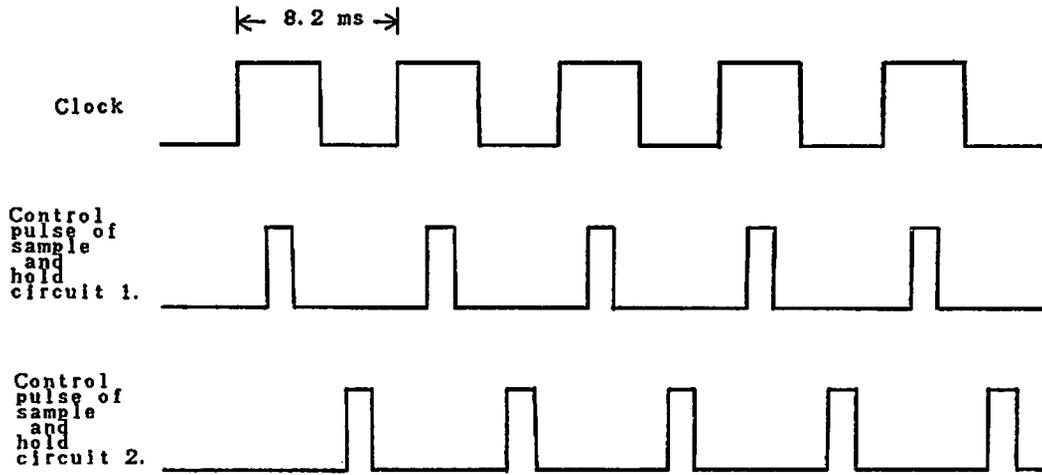
式 (3-4) を基にして、クロック同期式のファジィフリップフロップ回路を構成することができる。図 4.1(a) に 1からの差、Min, Max 演算のファジィゲート素子を用いたファジィフリップフロップの回路図を示す。 $J(t), K(t)$ の入力信号は前段の二つの Min ゲートを通して内部に伝えられる。ここで、クロック信号としては {0V, 5V} の二値の値をとるものとする。現在の出力値 $Q(t)$ は二つのサンプル & ホールド回路にその電圧値が記憶される。図 4.1(b) はこれらのサンプル & ホールド回路のサンプルとホールドの制御信号とクロック信号のタイミングを示したものである。ここでのクロック周波数は 0.12kHz である。

図 4.2 は図 4.1(a) で示したファジィフリップフロップ回路のトランジスタレベルからの回路構成を示す。また、写真 4.1 は、この回路図を基にして組み上げたファジィフリップフロップ基板を示す。この回路の入出力特性を写真 4.2(a)~(d) に示す。これらは全てファジィフリップフロップの基本動作を確認するため、 $Q(t)$ の値 (0V から 5V まで連続的に変化) を外部から与えたものである。

(a) は $J(t)=K(t)=0V$ のとき、つまり $Q(t)$ の値を保持し $Q(t+1)$ の出力とするものである。写真では $Q(t)$ の値が 0V, 1V, …… , 5V のときだけを示しているが、実際には [0V, 5V] の連続的な電圧値の保持が可能である。(b) は $J(t)=0V, K(t)=5V$ のリセット入力加



(a) ファジィフリップフロップ回路



(b) 回路動作のタイミングチャート

図4.1 ファジィゲート素子を用いたファジィフリップフロップ回路

わった場合を示す。 $Q(t)$ の値が変化しても $Q(t+1)$ の値は常に $0V$ となっている。(c)は $J(t)=5V, K(t)=0V$ のセット入力に加わった場合の出力値を示す。(d)は $J(t)=3V, K(t)=0V$ のときの $Q(t+1)$ の値を示す。これらは全てクロック信号を $\{0V, 5.3V\}$ として動作している。

§5. ファジィフリップフロップを用いたファジィシフトレジスタの回路構成

ファジィフリップフロップを用いてメンバーシップ関数の記憶及びそのシフト動作を実現するファジィシフトレジスタの設計が可能である。図5.1にメンバーシップ関数の記憶の原理を示す。

ここではメンバーシップ関数 $\mu(u)$ の台集合 $\{u\}$ を n 値に離散化することにより、 n 個のフ

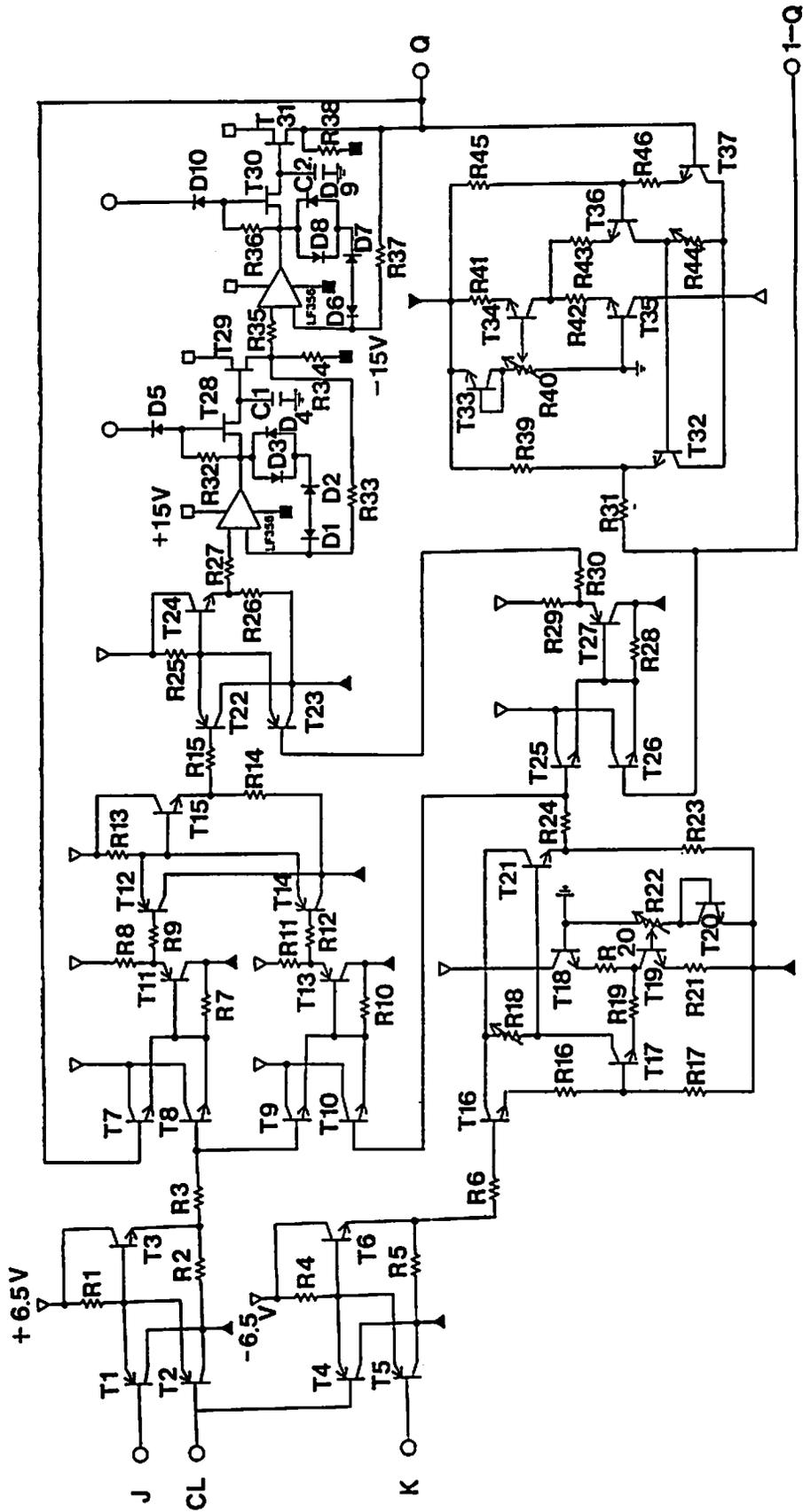


図4.2 ファジィフリップフロップの回路図

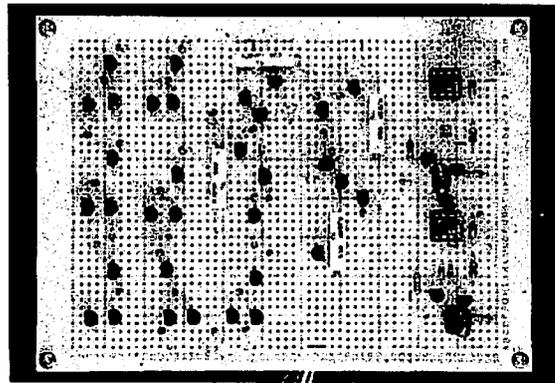
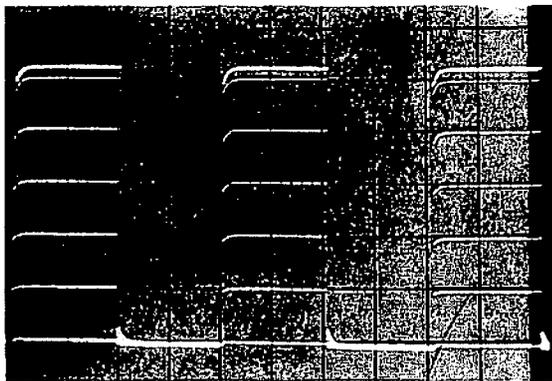
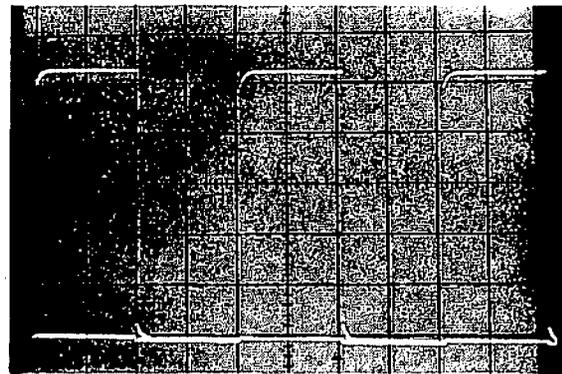


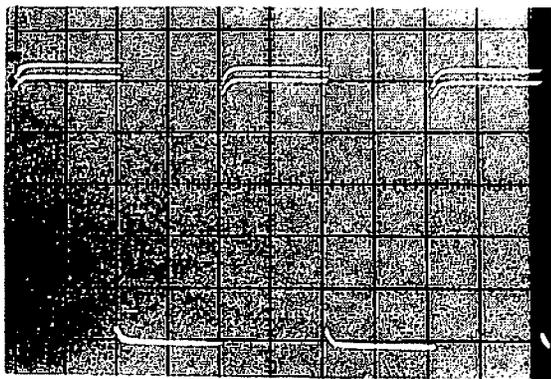
写真 4.1 ファジィフリップフロップ回路の回路基板



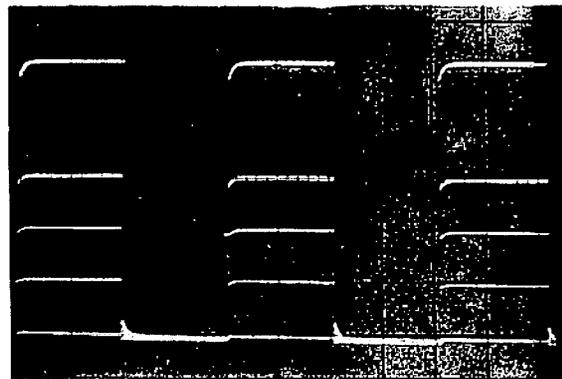
(a) $J(t)=0V, K(t)=0V$



(b) $J(t)=0V, K(t)=5V$



(c) $J(t)=5V, K(t)=0V$



(d) $J(t)=3V, K(t)=0V$

写真 4.2 ファジィフリップフロップ回路の入出力特性

ファジィフリップフロップで記憶をする。記憶動作の信号としては5Vの入力信号を用いることにする。記憶信号が5Vのとき、前段 n 個のMinゲート回路を通してメンバーシップ値 $\mu(u_1), \mu(u_2), \dots, \mu(u_n)$ がファジィフリップフロップの $J(t)$ 端子に入力されることになる。 $K(t)$ 端子はリセット信号(5Vの電圧値)の入力であり、リセット信号が入力されると、それまで記憶されていたファジィ情報はすべて消去されることになり、新たな情報の書き込みが可能となる。

この動作を基にして図5.2に示すようにファジィシフトレジスタの構成が可能となる。この回路の動作状態と制御信号の関係を表5.1に示す。リセット、シフトの二つの入力制御信号を表

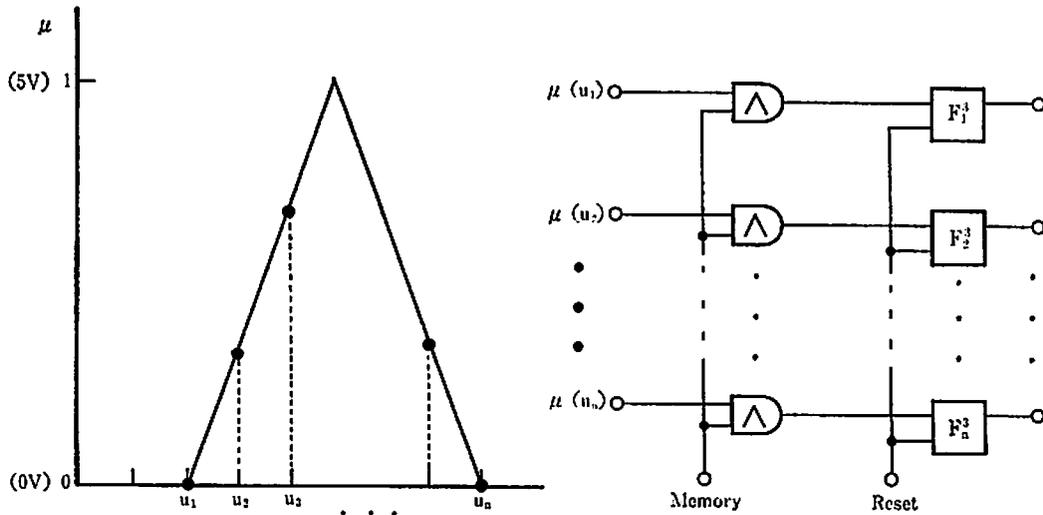


図 5.1 メンバシップ関数の記憶動作

表 5.1 リセット, 書き込み, シフト動作の制御信号

State / Terminal	Reset	Write	Shift
Reset	1	0	*(0)
Shift	0	0	1

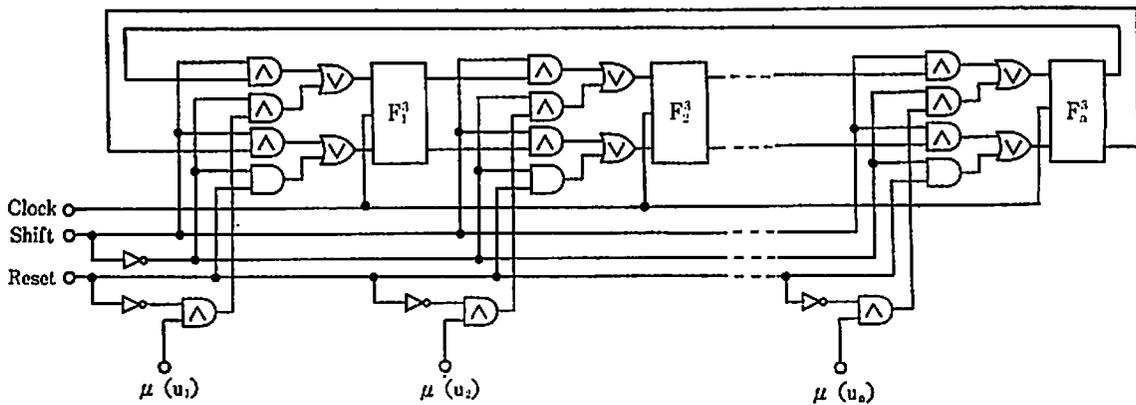


図 5.2 ファジィシフトレジスタ

5.1のように変えることにより（ただし、シフト動作時のリセット信号は don't care であるが、ここでは便宜上0を採用した）、全てのファジィフリップフロップのリセット、メンバシップ関数の記憶、それらの右シフトの動作を実現できる。

§ 6. 結 言

二値 $J-K$ フリップフロップの拡張として定義された Min Max 型ファジィフリップフロップの特性方程式に基づき、そのハードウェア化を試みた。[0, 1] のファジィ情報を直接 [0V, 5V] の電圧値に対応させることにより 1 ファジィディジットの情報の記憶が可能となった。また、そ

の動特性は理論値を忠実に再現している。この Min Max 型ファジィフリップフロップの応用例としてメンバーシップ関数の記憶動作さらに、シフト動作が可能であることも示した。

参 考 文 献

- 1) T. Yamakawa, T. Miki and F. Ueno: The Design and Fabrication of the Current Mode Fuzzy Logic Semi-Custom IC in the Standard CMOS IC Technology, *Proc. of ISMVI (IEEE)* 1985, pp. 76/82.
- 2) T. Yamakawa: High-Speed Fuzzy Controller Hardware System, *Proc. of 2nd Fuzzy Systems Symposium* (by IFSA Japan Chapter), June, 16-18, 1986 (Tokyo), pp. 122/130.
- 3) M. Togai and H. Watanabe: A VLSI Implementation of Fuzzy Inference Engine toward an Expert System on a Chip, *Proc. of 2nd Int. Conf. on AI and Applications (IEEE)*, Dec., 1985, pp. 192/197.
- 4) T. Yamakawa and K. Sasaki: Fuzzy Memory Device, Preprints of Second IFSA Congress (Tokyo) 20-25, July, 1987, pp. 551/555.
- 5) K. Hirota and K. Ozawa: Concept of Fuzzy Flip-Flop, Preprints of Second IFSA Congress (Tokyo) 20-25, July, 1987, pp. 556/559.
- 6) K. Hirota and K. Ozawa: Fuzzy Flip-Flop as a Basis of Fuzzy Memory Modules, *Fuzzy Computing (Theory, Hardware and Applications)* (Edit. M.M. Gupta and T. Yamakawa) (North-Holland Amsterdam) (to appear).
- 7) K. Hirota and K. Ozawa: Fuzzification of Flip-Flop Based on Various Fuzzy Operations, *Bulletin of the College of Engineering, Hosei Univ.*, No. 23 March, 1987, pp. 69/94.
- 8) K. Hirota and K. Ozawa: Concepts of Fuzzy Flip-Flop and Its Hardware Realization Based on Min, Max Operations, *Proc. of 21st Annual Asilomar Conference on Signals, Systems, and Computers* Nov. 2-4, 1987 Pacific Grove California (to appear from IEEE)
- 9) 山川, 白井, 井上, 上野: ファジィ論理のハードウェア化 (基本演算回路) に関する一考察. 電子通信学会論文誌(C), Vol. J 63-C, No. 1980, pp. 720/721.