

### 代数積代数和型ファジィフリップフロップ回路

KOCZY, Laszlo T. / OMORI, Ken / KOCZY, Laszlo T. /  
HIROTA, Kaoru / OZAWA, Kazuhiro / 大森, 研 / 小沢, 和浩  
/ 廣田, 薫

---

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

Bulletin of the Faculty of Engineering, Hosei University / 法政大学工学部  
研究集報

(巻 / Volume)

25

(開始ページ / Start Page)

55

(終了ページ / End Page)

63

(発行年 / Year)

1989-02

(URL)

<https://doi.org/10.15002/00003932>

# 代数積代数和型ファジィフリップフロップ回路

## Discrete and Continuous Mode Algebraic Type Fuzzy Flip-Flop Circuits

小 沢 和 浩\*・廣 田 薫\*\*・László T. KÓCZY\*\*\*・大 森 研\*\*

Kazuhiro OZAWA\*, Kaoru HIROTA\*\*, László T. KÓCZY\*\*\* and Ken ŌMORI\*\*

### Abstract

Algebraic fuzzy flip-flop circuits, in discrete mode and continuous mode are presented. Algebraic fuzzy flip-flop is one example of general fuzzy flip-flop concept which has been defined as the extension form of the binary J-K flip-flop. Two types of the algebraic fuzzy flip-flop, which are reset type and set type, are defined using complementation, algebraic product, and algebraic sum operations for fuzzy negation, t-norm, and s-norm, respectively. Unified equation of the reset type and set type of algebraic fuzzy flip-flop is derived for the purpose of realization of hardware circuit. Based on the equation, two types of hardware circuit, which are discrete and continuous mode are constructed. Moreover the characteristics of various fuzzy flip-flop presented before are investigated such as min max type fuzzy flip-flop in both discrete and continuous mode, and algebraic fuzzy flip-flop presented in this paper. Finally, the performances (*i. e.* propagation delay, power dissipation, possibility of VLSI implementation, and noise immunity) are discussed from a viewpoint of various fuzzy flip-flop on discrete mode and continuous mode and algebraic fuzzy flip-flop circuits presented in this paper.

### § 1. 緒 言

ファジィ制御やファジィエキスパートシステム等におけるファジィ情報の高速処理を目的としたファジィコンピュータの実現に向けて、各種ファジィ演算を直接ハードウェアレベルで実現するプロセッサがいくつか実現されすでに報告されている<sup>1)~3)</sup>。またその記憶素子に関する研究も行われている<sup>4)~6)</sup>。メンバーシップ関数を記憶するデバイスとしては山川、佐々木らのファジィ

---

\* 大学院工学研究科電気工学専攻博士後期課程

\*\* 電気工学科計測制御専攻

\*\*\* Dept. of Communication Electronics, Technical Univ. of Budapest, Hungary

メモリーデバイスがあり<sup>4)</sup>, これはファジィプロダクションルールで用いられる有限個の(文献4の場合は8個の)メンバーシップ関数(ファジィワード)の記憶が可能である。

著者らは, 以前に2値  $J$ - $K$  フリップフロップのファジィへの拡張としてファジィフリップフロップの定義を与えた。さらにそのファジィフリップフロップが2値  $J$ - $K$  フリップフロップの素直な拡張になっていることを示したうえで, 各種ファジィ演算を用いて記述されたファジィフリップフロップの入出力特性を解析的手法と計算機シミュレーションにより明かにした。またなかでも最も基本的なファジィ演算を用いて定義した min max 型のファジィフリップフロップに関しては電圧モード([0V, 5V]の電圧値を[0, 1]のファジィ値に対応させたもの)による回路化とデジタル IC(C-MOS IC)を用いた離散値型の回路化の実現を終えている<sup>2)~8)</sup>。

本究研では, ファジィ否定,  $t$ -ノルム,  $s$ -ノルムを用いて定義されたリセット型, セット型ファジィフリップフロップを1からの差, 代数積, 代数和の演算系により記述し, 得られた2つの式からリセット型, セット型の両得性を実現する統一式の導出を行い代数積代数和型ファジィフリップフロップとしての定義を行う。定義式の入出力特性に関しては計算機シミュレーションを行い明らかにしている<sup>9)</sup>。さらに, 代数積代数和型ファジィフリップフロップの定義式に基づき, [0, 1]のファジィ値を{0000, 0001, 0010, ..., 1111}の16値(4bit)に離散値表現し演算の高速化を計るためこの4bitデータを並列に処理する離散近似型の回路化を試みた。また, さらに, [0V, 5V]の連続電圧値で表現する連続電圧値モードによる回路化についても回路の実現を行った。最後に, 本論文で提案した連続電圧値モードと離散値型による代数積代数和型ファジィフリップフロップとすでに提案をした連続電圧値モードと離散値型 min max 型ファジィフリップフロップ回路との利害得失を明らかにした。

## §2. 代数積, 代数和型ファジィフリップフロップの定義

2値  $J$ - $K$  フリップフロップの真理値表から得られる特性方程式をファジィ否定,  $t$ -ノルム,  $s$ -ノルムを用いてファジィへの拡張を行いセット型, リセット型ファジィフリップフロップとして定義を行った。

$$Q_R(t+1) = (J(t) \textcircled{1} Q(t) \textcircled{0}) \textcircled{0} (K(t) \textcircled{0} \textcircled{1} Q(t)) \quad (1)$$

$$Q_S(t+1) = (J(t) \textcircled{0} Q(t)) \textcircled{1} (K(t) \textcircled{0} \textcircled{0} Q(t) \textcircled{0}) \quad (2)$$

ここで, ファジィ否定,  $t$ -ノルム,  $s$ -ノルムとしてそれぞれ1からの差, 代数積, 代数和を用いて(1), (2)式を書き換えると, (3), (4)式を得る。

$$Q_R(t+1) = J(t) + Q(t) - 2J(t)Q(t) - K(t)Q(t) + J(t)Q(t)^2 + J(t)Q(t)K(t) - J(t)K(t)Q(t)^2 \quad (3)$$

$$Q_S(t+1) = J(t) + Q(t) - J(t)Q(t) - J(t)K(t)Q(t) - K(t)Q(t)^2 + J(t)K(t)Q(t)^2 \quad (4)$$

このリセット型、セット型代数積代数和型ファジィフリップフロップの入出力特性については、計算を行った結果をすでに報告している<sup>6)</sup>。

代数積代数和型ファジィフリップフロップ回路の実現を計るため(3)、(4)式から、リセット、セット型の両特性を兼ね備えた統一式を導出する必要がある。そこで、式(1)、(2)から得られる以下のような多項式(5)を考え、これに2値  $J$ - $K$  フリップフロップの4つの基本特性を満たすように係数  $a_0, a_1, a_2, \dots, c_3$  を決定する。

$$\begin{aligned}
 Q(t+1) = & (a_0 + a_1 J(t) + a_2 K(t) + a_3 J(t)K(t)) \\
 & + (b_0 + b_1 J(t) + b_2 K(t) + b_3 J(t)K(t))Q(t) \\
 & + (c_0 + c_1 J(t) + c_2 K(t) + c_3 J(t)K(t))Q(t)^2
 \end{aligned} \tag{5}$$

1)  $J(t)=0, K(t)=0$  のとき (記憶)

$$a_0 + b_0 Q(t) + c_0 Q(t)^2 = Q(t)$$

$$a_0 = 0, b_0 = 1, c_0 = 0$$

2)  $J(t)=0, K(t)=1$  のとき (リセット)

$$a_2 + (1 + b_2)Q(t) + c_2 Q(t)^2 = 0$$

$$a_2 = 0, b_2 = -1, c_2 = 0$$

3)  $J(t)=1, K(t)=0$  のとき (セット)

$$a_1 + (1 + b_1)Q(t) + c_1 Q(t)^2 = 1$$

$$a_1 = 1, b_1 = -1, c_1 = 0$$

4)  $J(t)=1, K(t)=1$  のとき (反転出力)

$$(1 + a_3) + (1 - 1 - 1 + b_3)Q(t) + c_3 Q(t)^2 = 1 - Q(t)$$

$$a_3 = 0, b_3 = 0, c_3 = 0$$

このように決定された係数より以下のような式(6)を得る。

$$Q(t+1) = J(t) + Q(t) - J(t)Q(t) - K(t)Q(t) \tag{6}$$

これを、代数積代数和型ファジィフリップフロップの定義式とする。

### §3. 代数積代数和型ファジィフリップフロップの入出力特性

代数積代数和型ファジィフリップフロップの定義式(6)に基づきその入出力特性を計算機シミュレーションにより明らかにした。図1(a)~(e)にその結果を示す。ここでは、 $Q(t)$ の値をそれぞれ0, 0.25, 0.5, 0.75, 1.0に限定した場合の出力結果 $Q(t+1)$ の値を示す。すべての場合に2値  $J$ - $K$  フリップフロップの4つの基本特性(記憶, リセット, セット, 反転出力)を包含しファジィへの素直な拡張が得られている。また、定義式からも明らかなように出力特性はすべて対称性のある一次平面で表現される。入出力特性は全ての場合に対称性の優れた特徴を持っている。また、ここで、 $J(t)=K(t)=0.5$ の場合 $Q(t)$ の値に係わらず出力値 $Q(t+1)$ は0.5と

なっていることに注目したい。

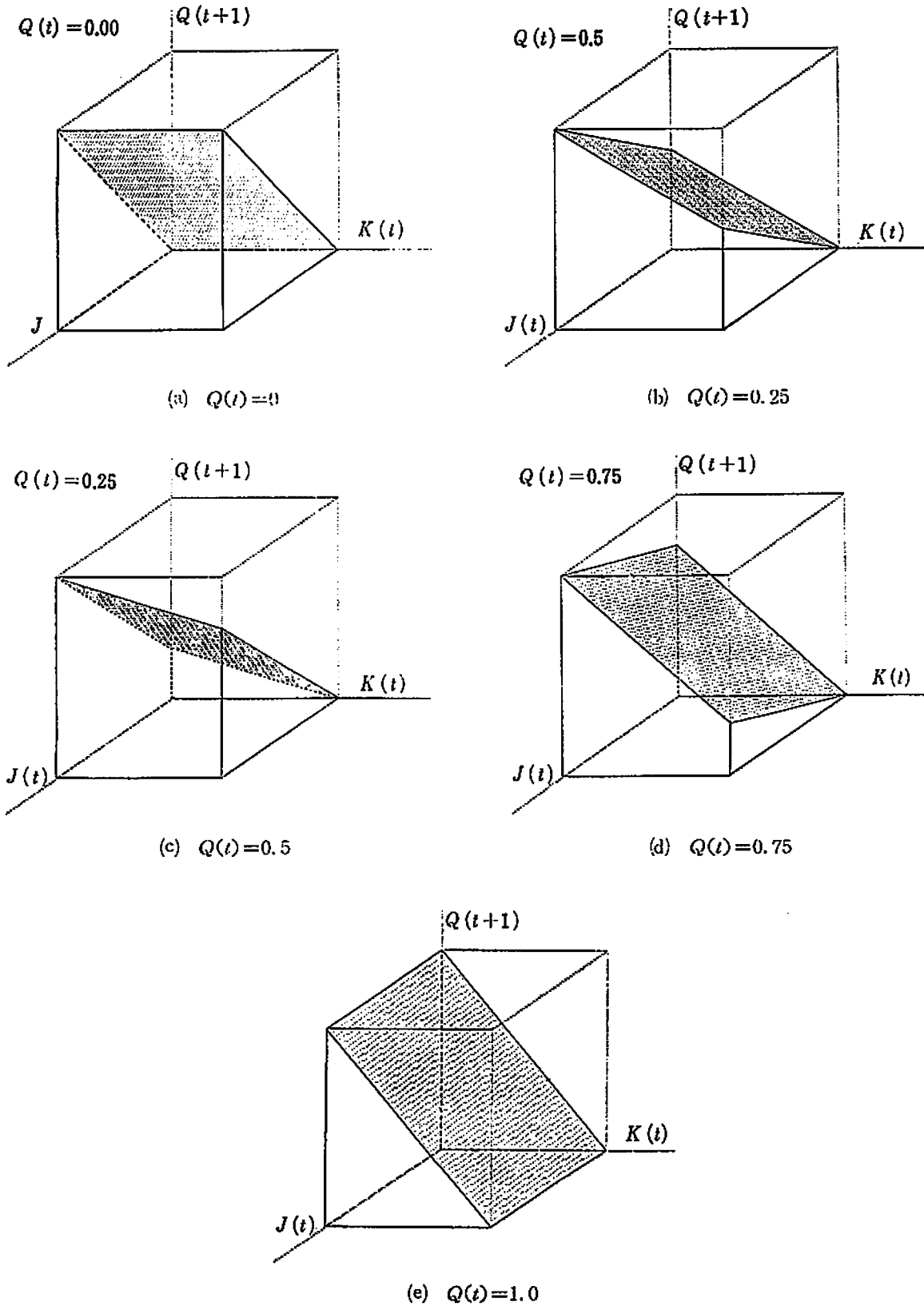


図1 代数積代数和型ファジィフリップフロップの入出力特性

## § 4. 代数積代数和型ファジィフリップフロップ回路

### 4.1 離散値型回路

代数積代数和型ファジィフリップフロップの定義式に基づきその回路化を進めることにする。ここでは、デジタル IC を用いての回路化を考えることにする。定義式(6)に基づき回路化を行うと、乗算器が2つ、加算器が3つ必要となる、これは回路の単純化を考慮するとあまり好ましいことでない。また、2値表現されたデータの加算、及び乗算の後には当然桁益れが予想できるので、その近似法も考慮する必要がある。そこで、より簡素化した離散値型ファジィフリップフロップ回路の実現を考慮して式(6)を以下のように変形し離散値形の回路化のための基本式とすることにする。

$$Q(t+1) = J(t)(1-Q(t)) + Q(t)(1-K(t)) \quad (7)$$

この表現法によると、基本的には乗算器が2つ、加算器が1つで良いことになる。通常  $[0, 1]$  閉区間内の任意の値として与えられるファジィ値は、4 bit で表現することにする。つまり、 $[0, 1]$  を  $\{0000, 0001, \dots, 1111\}$  の16値で離散表現することにする。また、回路構成は演算の高速化を考慮して4 bit データを並列に処理することにする。図2に詳細な回路図を示す。クロック同期部は8個のANDゲートを並列に配置している。4 bit  $\times$  4 bit の乗算を行うと結果は8 bit となる、そこで、8 bit で表現されたデータを4 bit へ近似するために2つの加算器を用いている。つまり、8 bit で表現されたデータの下位4 bit が1000のとき上位4 bit のデータに1を加え、下位4 bit が0111以下のときは切捨て8 bit を4 bit に近似するものである。写真1に実際に構築を行った回路基板を示す。この回路の動作確認は16 bit パーソナルコンピュータ(クロックサイクル5 MHz)のI/Oポートからの入出力信号を用いて行った。結果は4,096とおりのす

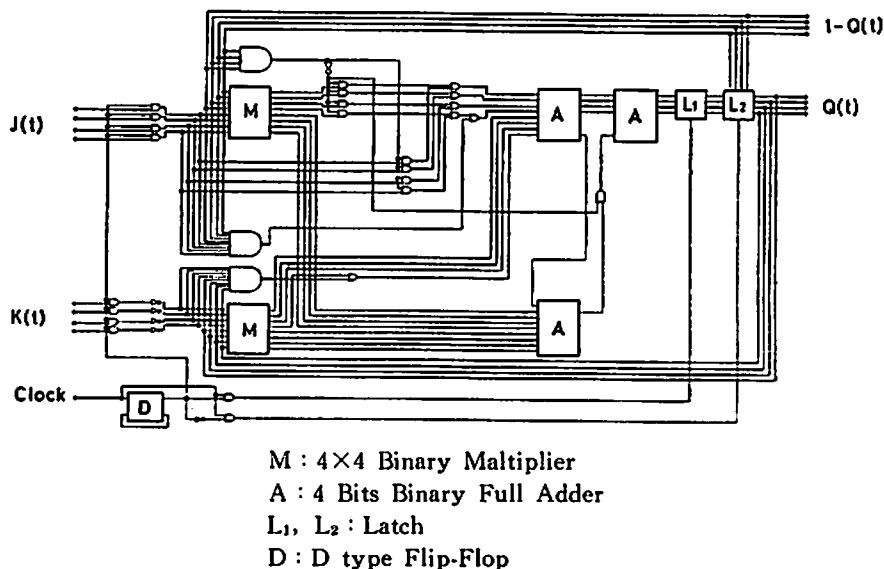


図2 離散値型代数積代数和型ファジィフリップフロップ回路の回路図

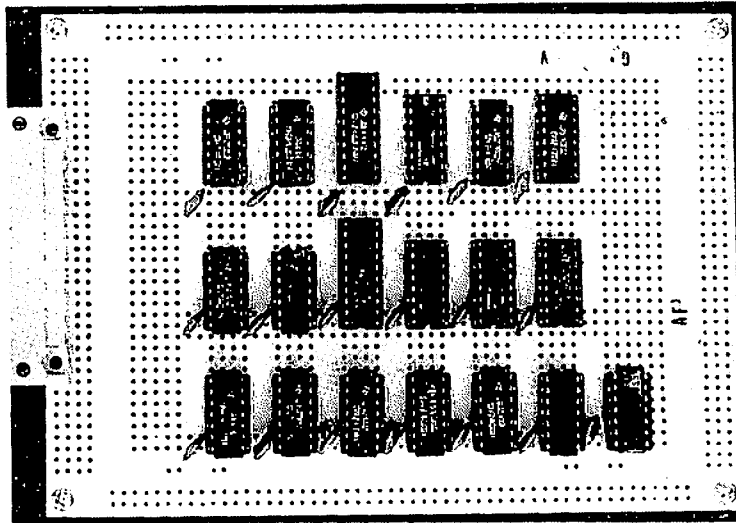


写真1 離散値型代数積代数和型ファジィフリップフロップ回路基板

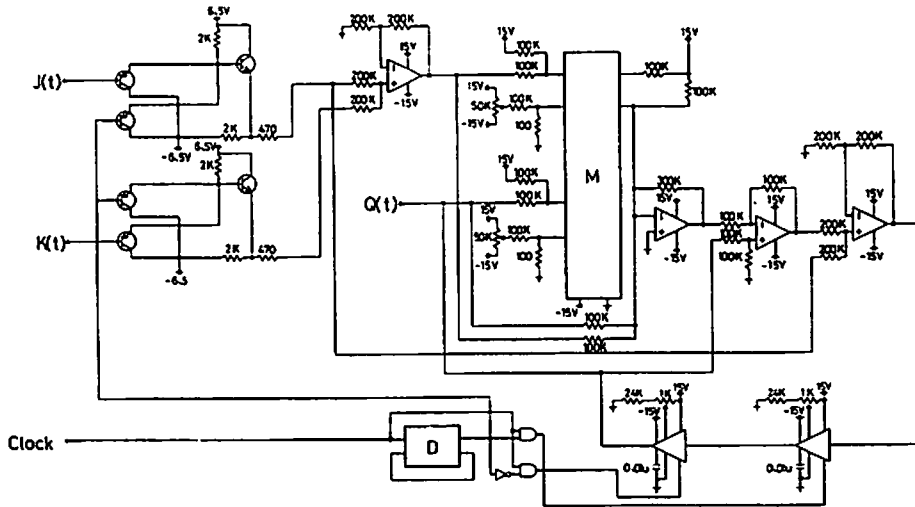
すべての場合に理論どおりの入出力を得ている。

#### 4.2 連続電圧値モードによる回路

ここでは、 $[0, 1]$ で与えられるファジィ情報を  $[0V, 5V]$  の連続電圧値で表現しアナログ回路による代数積代数和型ファジィフリップフロップ回路の構築を行う。ここでも、回路の簡素化を計るため定義式(6)を以下のように変形する。

$$Q(t+1) = J(t) + Q(t) - (J(t) + K(t))Q(t) \quad (8)$$

これを、連続電圧値モードによる代数積代数和型ファジィフリップフロップ回路の基本式とする。電流モード乗算器と3つの電圧モード加算回路を用いて回路化を計ることができる。図3(a)に詳細な回路図を示す。写真2には実際に構築を行った回路基板を示す。入力値  $J(t)$ ,  $K(t)$  は2つ



M : Analog Multiplier  
D : D type Flip-Flop

(a) 連続電圧値モードによる代数積代数和型

図3 連続電圧値モードによる代数積代数和型ファジィフリップフロップ回路の回路図

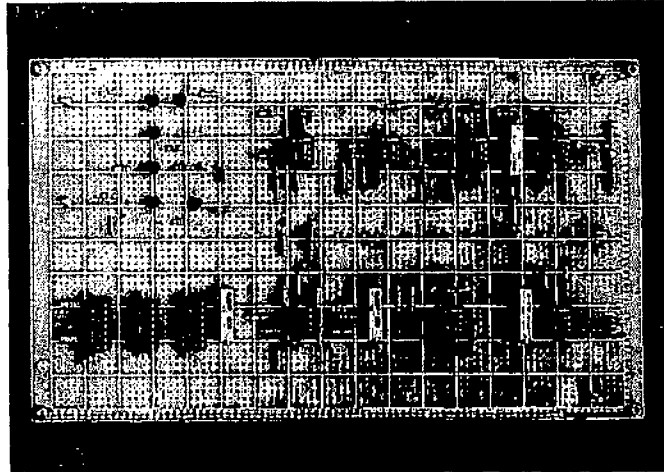
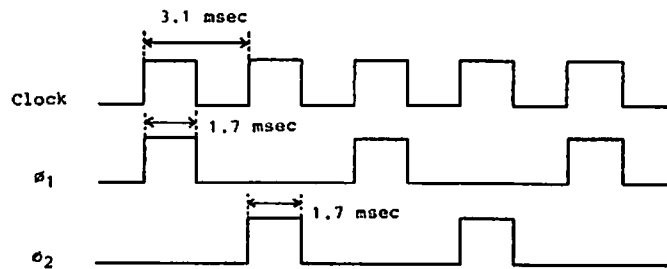


写真2 連続電圧値モードによる代数積代数和型ファジィフリップフロップ回路の回路基板



(b) 回路動作のタイミングチャート

図3 連続電圧値モードによる代数積代数和型ファジィフリップフロップ回路の回路図

の min ゲートによりクロック信号との同期がとられる, このクロック信号が high (5V) のとき 2つ目のサンプル&ホールド回路にホールドされている以前の出力値  $Q(t)$  とともに, 演算が行われ 1つ目のサンプル&ホールド回路にその値が電圧値として保持される。その後, 出力値は 2つ目のサンプル&ホールド回路に移され次の演算に備える。これら 2つのサンプル&ホールド回路の動作タイミングを図 3(b)にタイミングチャートとして示す。演算途中の乗算部分は電流モードでの演算であるが, 乗算の直後に電圧値に変換される。

## §5. Min Max 型ファジィフリップフロップ回路との性能比較

すでに報告を行っている, 連続電圧値型と離散値形 min max タイプファジィフリップフロップ回路とここで提案した連続電圧値型と離散値型の代数積代数和型ファジィフリップフロップ回路の比較検討を行う。入出力特性に関しては, min max 型ファジィフリップフロップに対して, ここで提案した代数積代数和型ファジィフリップフロップは非常に簡素で対称性の優れた特性を持っている。以下に回路面に関しての主な性能比較を表 1 に示す。回路の総遅延時間は TTL IC



表1 連続電圧値型と離散値型 min max 型ファジィフリップフロップ回路と代数積代数和型ファジィフリップフロップ回路の特性比較

	Algebraic F <sup>s</sup>		Min max F <sup>s</sup>	
	Discrete	Continuous	Discrete	Continuous
Total propagation delay	274 nsec	—	900 nsec	330 nsec
Total number of transistor	—	<300	2850	100
Power dissipation	2.75W	1.2W (Max)	1.48 mW	1.3W
Possibility of VLSI	possible	impossible	possible	impossible
Used IC	TTL IC	linear IC(RC4200, LF356, LF398)	C-MOS IC	—
Expression of fuzzy value	4 bit parallel	voltage [0V, 5V]	4 bit parallel	voltage [0V, 5V]
Fundamental cell of the circuit	4×4 multipliers 4 bit full adders	analog multipliers, analog adders	1-, min, max gates	1-, min, max gates
Noise immunity	good	fair	good	fair
The number of power source	1	3 pairs (±6.5V, ±5V, ±15V)	1	2 pairs (±6.5V, ±15V)

を用いて構成した離散値型代数積代数和型ファジィフリップフロップが最も高速なものとなっている。離散値型 min max ファジィフリップフロップ回路は回路構成に関しては 4 bit マグニチュードコンパレータを基本とした最も単純なものであるにも係わらず内部に含まれるトランジスタ数は約 2,850 個と最大となっている。しかし、C-MOS IC のみを用いて回路が構成されているため、集積化に関しては有利と思われる。回路の消費電力についても離散値型の min max 型回路が最も少ない。対ノイズ性に関しては当然デジタル IC を用いた離散値型回路が優れている。また、電源の数もデジタル IC を用いた回路は 1 つとなっている。

## §6. 結 言

2 値 J-K フリップフロップのファジィへの拡張として定義されたりセット型、セット型ファジィフリップフロップを、1 からの差、代数積、代数和の演算系で統一を行い、代数積代数和型ファジィフリップフロップとしての定義を行った。その入出力特性は計算機でグラフ表示した。代数積代数和型ファジィフリップフロップは 2 値 J-K フリップフロップのもつ 4 つの基本特性を包含し素直なファジィへの拡張となっている。この定義に基づき [0, 1] のファジィ情報を {0000, 0001, 0010, ..., 1111} の 16 値 (4 bit) に離散近似し市販のデジタル IC を用いて回路の構築を行った。また、[0, 1] のファジィ情報を [0V, 5V] の連続電圧値に対応させて扱う

連続電圧値モードによる回路化も行った。最後に、以前に提案をした連続電圧値モードと離散値型 min max 型ファジィフリップフロップ回路との利害得失を明らかにした。

### 参 考 文 献

- 1) T. Yamakawa, T. Miki, and F. Ueno: The Design and Fabrication of the Current Mode Fuzzy Logic Semi-Custom IC in the Standard CMOS IC Technology, *Proc. of ISMVL (IEEE)*, pp. 76/82, 1985.
- 2) T. Yamakawa: High-Speed Fuzzy Controller Hardware System, *Proc. of 2nd Fuzzy Systems Symposium (by IFSA Japan Chapter)*, pp. 122/130, June, 16-18, 1986 (Tokyo).
- 3) M. Togai and H. Watanabe: A VLSI Implementation of Fuzzy Inference Engine toward an Expert System on a chip, *Proc. of 2nd Int. Conf. on AI and Applications (IEEE)*, pp. 192/197, Dec., 1985.
- 4) T. Yamakawa and K. Sasaki: Fuzzy Memory Device, Preprints of 2nd IFSA Congress (Tokyo), pp. 551/555, 20-25, July, 1987.
- 5) K. Hirota and K. Ozawa: Concept of Fuzzy Flip-Flop, Preprints of 2nd IFSA Congress, (July 1987 Tokyo), pp. 556/559.
- 6) K. Hirota and K. Ozawa: Fuzzification of Flip-Flop Based on Various Fuzzy Logical Operation, *Bulletin of the college of Eng. Hosei Univ.*, No. 23, March, 1987, pp. 69/94.
- 7) K. Hirota and K. Ozawa: Concept of Fuzzy Flip-Flop and Its Hardware Realization Based on Min Max Operations, *Proc. of Twenty-first Asilomar Conference on Signals, Systems, and Computers (IEEE)*, 1987.
- 8) K. Hirota and K. Ozawa: Fuzzy Flip-Flop Circuit Using Digital Technique, *Proc. of 4th Fuzzy System Symposium (IFSA Japan Chapter, May, 1988, Tokyo)*, pp. 115/120.
- 9) K. Hirota and K. Ozawa: Fuzzy Flip-Flop as a Basis of Fuzzy Memory Modules, *Fuzzy Computing (Theory, Hardware and Applications)*, North-Holland, 1988, pp. 173/183.
- 10) 小沢, 廣田, 離散値型ファジィフリップフロップ, 電学論, 111-C, 1989, 印刷中。
- 11) K. Hirota and K. Ozawa, László T. Kóczy, and K. Ōmori: Discrete Mode Algebraic Fuzzy Flip-Flop Circuit, *Proc. of International Workshop on Fuzzy System Applications*, (August, 1988, Iizuka Japan), pp. 39/40.
- 12) K. Hirota and K. Ozawa: Fuzzy Shift Registers Using Digital Processing Technique, *Moscow International Conference Fuzzy Sets in Informatics*, Sept. 20-23, 1988, Moscow, p. 31.