

キャリアのエネルギー輸送を考慮したMOSFET の内部温度解析

檀, 良 / DANG, Ryo / 川島, 博文 / HAYASHI, Hirokazu /
林, 洋一 / KAWASHIMA, Hirofumi

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

法政大学工学部研究集報

(巻 / Volume)

31

(開始ページ / Start Page)

1

(終了ページ / End Page)

5

(発行年 / Year)

1995-03

(URL)

<https://doi.org/10.15002/00003826>

キャリアのエネルギー輸送を考慮したMOSFETの内部温度解析

檀 良*・川島博文**・林 洋一***

Lattice Temperature Analysis Taking Account of Carrier Energy Transport in MOSFETs

Ryo DANG*, Hirofumi KAWASHIMA** and Hirokazu HAYASHI***

Abstract

In this paper, we report temperature effects based on a device simulation which consistently takes account of both carrier and lattice temperatures on MOSFET characteristics.

We found that the lattice temperature raises exponentially with shortening channel lengths, and can be lowered by reducing applied voltages. MOSFET characteristics based on this model are compared with conventional one. It is found that lattice temperature effect can not be neglected in small size semiconductor devices.

§1 はじめに

近年の半導体製造技術の進歩により、0.5 [μm]以下の素子が生産現場でも実現可能になりつつある。さらに数年後には、0.1 [μm]デバイスの集積回路の実現が見込まれている。

半導体デバイスモデリングの分野でも、このような流れに対応するため、従来の等温場でのキャリアの平衡輸送を基礎としたドリフト・拡散モデル(Drift Diffusion Model: DDM)に、キャリアの非平衡輸送効果を導入したエネルギー輸送モデル(Energy Transport Model: ETM)の開発が盛んに行われてきた^{[1], [2]}。

さらに、このような微細素子では、消費電力の小さいMOSFETにおいても、局所的な高電界と電流密度の増加により、デバイス内部での発熱が増加する。その結果、自己発熱による熱的效果が素子の特性に影響を与えるようになってきている^[3]。

そこで本論文では、従来のエネルギー輸送モデル(ETM)に格子温度上昇の効果を導入したエネルギー輸送モデル(Thermally Coupled Energy Transport Model: TCETM)を用いて、格子温度

*電子情報学科 教授

**工学研究科 電気工学専攻

***現 沖電気工業(株)

の上昇が微細 MOSFET に及ぼす影響について報告する。

§2 基本方程式

今回扱う支配方程式は、定常状態におけるポアソン方程式(1)と電子及び正孔の電流連続式(2), (3)に、電子エネルギー保存式(4)と熱伝導方程式(5)を加えた計5本である。

$$\operatorname{div}(\varepsilon \operatorname{grad} \phi) = -q(N_D - N_A + p - n) \quad (1)$$

$$\operatorname{div}(-J_n) = qU \quad (2)$$

$$\operatorname{div}(J_p) = qU \quad (3)$$

$$\operatorname{div}S_n = J_n \cdot E - nC_n + \xi_n U \quad (4)$$

$$-\operatorname{div}(k_l \operatorname{grad} T_l) = nC_n - E_g U \quad (5)$$

ここで、 ϕ : 電位, q : 正電荷素量, ε : 誘電率, n : 電子密度, p : 正孔密度, N_D : ドナー密度, N_A : アクセプタ密度, J_n : 電子電流密度, J_p : 正孔電流密度, U : 生成/再結合項, S_n : 電子のエネルギー流, E : 電界, C_n : 電子の平均エネルギー発散因子, ξ_n : 電子の平均エネルギー, k_l : 格子の熱伝導率, T_l : 格子温度, E_g : バンドギャップである。なお, 解析対象にnチャネルMOSFETを用いたため, 正孔温度は特性への影響が小さいと仮定し, 格子温度と等しいとする。

また, これらの支配方程式に付随する補助方程式や移動度, インパクトイオン化率などの物理モデルは, 文献[3]と同様なものを用いた。

§3 数値計算技法

3.1 方程式の解法

今回, 直交メッシュを用い支配方程式を差分法で離散化した。特に, 非線形性の強いエネルギー保存式の定式化には, Forghieri らによって提案された手法^[2]を用いた。また, 方程式の線形化には Newton-Raphson 法を用い, 2次元解析を行った。

Fig. 1に, 計算に用いた簡単なアルゴリズムを示す。今回用いたアルゴリズムは, ポアソン方程式(1)と電子及び正孔の電流連続式(2), (3)の解法からなるドリフト・拡散ループと電子エネルギー保存式(4)の解法を含むエネルギー輸送ループ, さらに熱伝導方程式(5)の解法をも含む熱伝導ループの3つのループから構成される。

3.2 境界条件

(1)–(5)式のような微分方程式を解くためには, 適切な解析領域と境界条件の設定が必要不可欠である。特にLSIで用いられるMOSFETでは, 基板の深さが数百 [μm] であるのに対し, 通常動作に影響する領域は, 数 [μm] である。そのため, 小さな解析領域と簡単な境界条件を用いることによ

り、計算時間と使用メモリの大幅な削減を実現してきた。

しかしながら熱伝導方程式においては、Siの熱伝導率が高いため、発生した熱が冷却されるまで広い範囲を必要とする。その一方で、解析領域の拡大は計算時間の増加を引き起こすため、小さな解析領域に広い基板への拡散を考慮した境界条件を設定する必要がある。

その結果、今回の熱伝導方程式の基板底面の境界条件には、広い基板領域への拡散を考慮した対流境界条件(6)を用いた。そして、熱抵抗 R_n には、3次元への広がり効果を考慮した式⁽⁴⁾を用いた。

$$J_n \cdot n = \frac{T_i - T_o}{R_n}, R_n = \frac{d - d_i}{k_i(L + 2d)(L + 2d_i)} \quad (6)$$

ここで、 J_n :熱流、 n :境界面での法線方向の単位ベクトル、 T_o :室温、 d :広い基板領域、 d_i :シミュレーション領域、 L :ゲート長である。その他の境界には断熱境界条件を用いた。

また、他の変数には、電極部分に固定境界条件、その他の境界に反射境界条件を用いた。

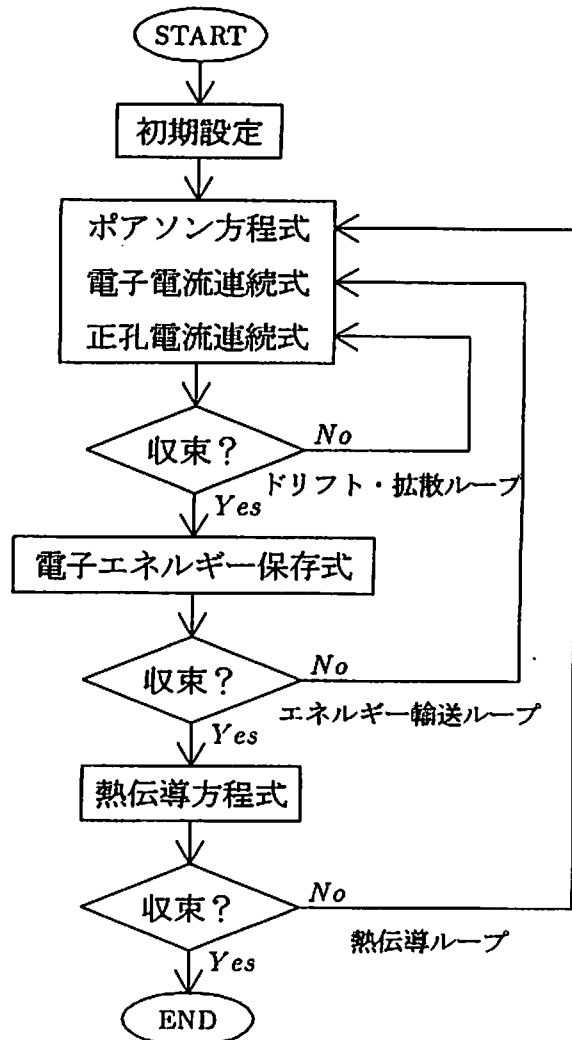


Fig.1 計算に用いたアルゴリズム

§4 シミュレーション結果

今回、解析に用いた構造をFig.2に示す。

Fig.3に、チャネル長0.27 [μm]のMOSFETに、電源電圧5.0 [V]を印加したときの内部温度分布を示す。図から、格子温度はドレイン近傍で最大約372 [K]まで上昇し、その熱が基板方向へ広がっていることがわかる。

次に、この格子温度の上昇がデバイス特性に与える影響を調査するため、Fig.4に、2つのモデルを用いて解析したドレイン電流-ドレイン電圧特性を示す。1つは(1)-(4)式からなる等温場での従来のエネルギー輸送モデル(ETM)であり、1つは(1)-(5)式からなる格子温度を考慮したエネルギー

輸送モデル (TCETM) である。図から、チャネル長 $1.50 [\mu\text{m}]$ の MOSFET では、2つのモデルで解析した電流値がほぼ一致しているのに対し、チャネル長 $0.27 [\mu\text{m}]$ の MOSFET では、デバイス内部の発熱を考慮した TCETM に基づく電流値が、デバイス内部の発熱の影響を無視している ETM に比べて減少していることがわかる。これは、格子温度の上昇によるキャリア移動度の低下のためであり、従来の ETM が端子電流を過大評価していることがわかる。この傾向は実測結果と一致するものである^[5]。

最後に、素子の微細化に伴い重要となる格子温度の影響を明確にするため、電源電圧を $5.0 [\text{V}]$ 、 $3.0 [\text{V}]$ としたときの最大格子温度のチャネル長依存性を Fig. 5 に示す。図から、チャネル長の減少に伴い最大格子温度は指数関数的に上昇し、電源電圧 $5.0 [\text{V}]$ では、さらに微細化が進むならば素子破壊を起こす可能性を示唆している。その一方で、電源電圧を $3.0 [\text{V}]$ に縮小可能であるならば、最大格子温度の上昇を約 $30 [\%]$ に押さえることが可能である。

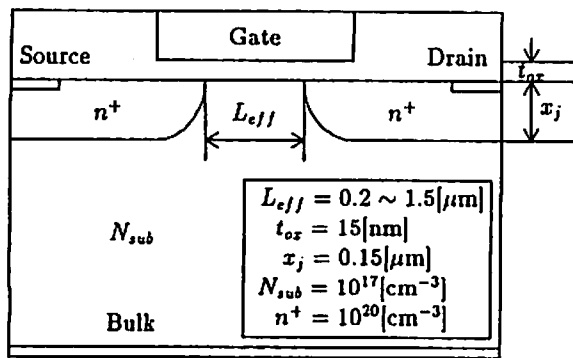


Fig. 2 シミュレーション構造

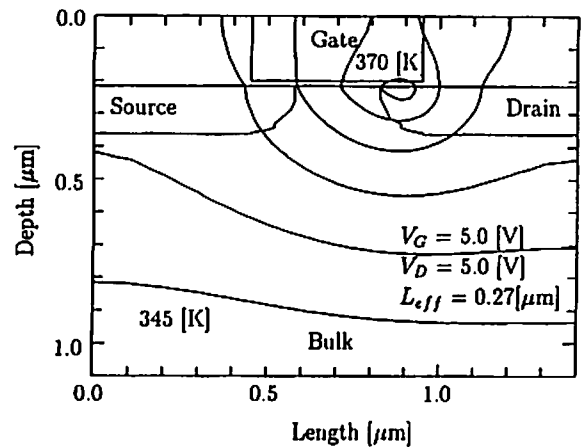


Fig. 3 格子温度分布

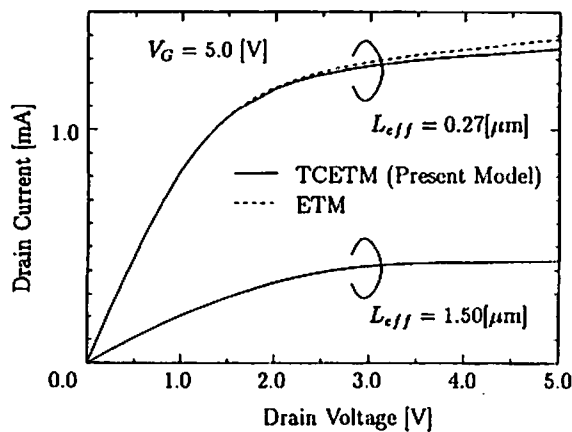


Fig. 4 ドレイン電流—ドレイン電圧特性

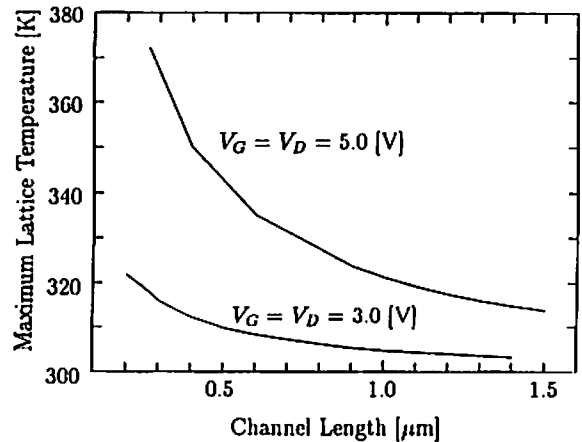


Fig. 5 最大格子温度のチャネル長依存性

§5 ま と め

格子温度を考慮したエネルギー輸送モデルを用いて、MOSFETの内部温度解析を行い格子温度の上昇がデバイス特性に与える影響を調査した。

チャンネル長 $0.27[\mu\text{m}]$ のMOSFETにおいて、電源電圧を $5.0[\text{V}]$ としたとき、格子温度は最大で約 $72[^\circ\text{C}]$ の上昇を示した。さらに、格子温度はチャンネル長の減少に伴い指数関数的に上昇し、チャンネル長が $0.2[\mu\text{m}]$ 以下に縮小されるならば、格子温度の急激な上昇のために素子破壊を起こす可能性を示唆した。しかしながら、もし電源電圧を $3.0[\text{V}]$ に縮小可能であるならば、最大格子温度の上昇を約 $30[\%]$ にまで押さえることが可能である。

結果として、デバイス内部での発熱を考慮したエネルギー輸送モデルで解析された端子電流値は、従来の等温場でのエネルギー輸送モデルに基づく電流値よりも低下することを示した。

参 考 文 献

- (1) K. Bløtekjær, "Transport Equations for Electrons in Two-Valley Semiconductors," *IEEE Trans. Electron Devices*, Vol. ED-17, No. 1, pp.38-47, 1970.
- (2) A. Forghieri, R. Guerrieri, P. Ciampolini, A. Gundi, M. Rudan and G. Baccarani, "A New Discretization Strategy of the Semiconductor Equations Comprising Momentum and Energy Balance," *IEEE Trans. Computer-Aided Design*, Vol. CAD-7, No. 2, pp.231-242, 1988.
- (3) 林 洋一, 川島博文, 檀 良, "非等温場におけるエネルギー輸送を考慮した半導体デバイスシミュレーション," 日本シミュレーション学会論文誌, Vol.13, No.4, pp.350-359, 1994.
- (4) A. Schütz, S. Selberherr and H. W. Pötzl, "A Two-Dimensional Model of the Avalanche Effect in MOS Transistors," *Solid-State Electronics*, Vol. 25, No. 3, pp. 177-183, 1982.
- (5) W. Hänsch and S. Selberherr, "MINIMOS 3 : A MOSFET Simulator that Includes Energy Balance," *IEEE Trans. Electron Devices*, Vol. ED-34, No. 5, pp. 1074-1078, 1987.