

温度効果を考慮した回路シミュレーション

石川, 健一 / ISHIKAWA, Kenichi / 川島, 博文 / DANG, Ryo /
檀, 良 / KAWASHIMA, Hirobumi

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

法政大学工学部研究集報

(巻 / Volume)

34

(開始ページ / Start Page)

7

(終了ページ / End Page)

11

(発行年 / Year)

1998-03

(URL)

<https://doi.org/10.15002/00003796>

温度効果を考慮した回路シミュレーション

石川 健一*, 川島 博文*, 檀 良**

Circuit Simulation Taking Account Of Temperature Effect

KENICHI Ishikawa*, HIROBUMI Kawashima* and RYO Dang**

Abstract

In this paper, we report the variation of the electrical characteristics of an integrated transistor, in terms of the temperature effects induced by other neighboring devices.

Recently, analyzing circuits and devices taking account of temperature effects has become a need. So we set up the temperature boundary condition for all the devices of the whole circuit and simulate the circuit operation.

We found that the temperature change due to LSI layout does have an influence on the electrical characteristics of integrated devices.

§ 1 はじめに

近年, 集積回路設計において更なる高集積化のためチップ内の温度が上昇している。その結果, キャリアの移動度等の変化が顕著になるため, デバイス, 回路設計両方の観点から温度上昇効果を考慮していく傾向が出始めている^{1,2}。

そうした中で, 熱源となるトランジスタの配置によって熱の結合度が異なってくるという報告もなされてる³。しかし, 多くの回路ではそれぞれのデバイスで消費電力の差異が生じるために, 回路解析を行う際に各々のトランジスタに温度設定をして解析する必要があると考えられる。また, 回路の周囲の状況によっても特性変化があると予想されるのでこれからはそれらを含めて設計する必要がある。

今回はトランジスタの配置を考慮した温度解析シミュレーションをし, その解析結果を基にして各々のトランジスタに温度設定をして回路解析を行った。また回路の周囲状態や周波数を変えた場合の電気特性へ

* 大学院電気工学専攻

** 電子情報学科

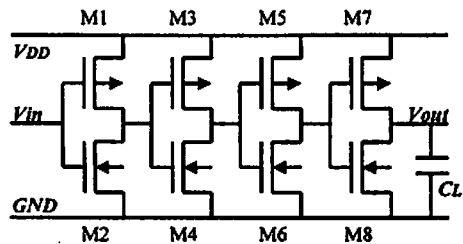
の影響を報告していく。

§ 2 回路解析の温度設定と解析方法

まず、解析したい回路を回路シミュレータ SPICE で一度室温で解析し、それぞれのデバイスのドレイン電流とドレイン・ソース電圧を乗算したものの実効値を実効消費電力として扱う。そして、その電力を本研究室内の温度解析シミュレータ⁴に熱源として組み込み計算を行い、そこから抽出された温度を各々のトランジスタに合うように SPICE のパラメータを設定して再度 SPICE でシミュレーションを行い特性を得る。

§ 4 解析対象

今回、解析対象としたのは4段インバータチェーン(Fig1)である。駆動する負荷容量CLはファンアウトとしてこの解析対象回路の入力段が120個接続されているものとして仮定し、単純化モデル⁵として n,pMOS のゲート容量の和を用いている。チャンネル幅については n,pMOS の移動度を考慮したのと面積を小さくするためであり、そして終段は負荷容量を駆動できる大きさにしてある。また温度効果を用いるので SPICE での MOS の LEVEL は 2 に設定した。



酸化膜厚=5nm
 基板濃度(pMOS)= $5.0E17\text{cm}^{-3}$
 基板濃度(nMOS)= $1.0E18\text{cm}^{-3}$
 チャンネル長=0.35 μm
 電源電圧 $V_{DD}=3.3\text{V}$
 負荷容量 $C_L=309\text{fF}$

チャンネル幅
 M1,M3,M5=0.7 μm
 M2,M4,M6=0.35 μm
 M7=4.55 μm
 M8=2.275 μm

Fig. 1 サンプル回路

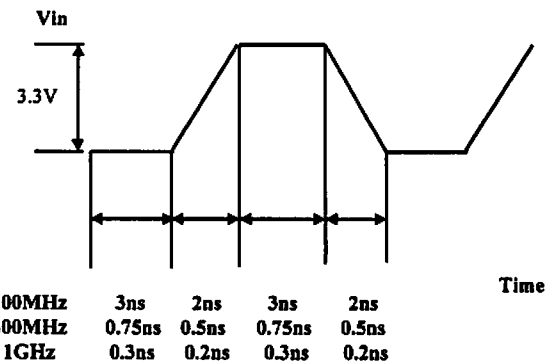


Fig. 2 入力波形

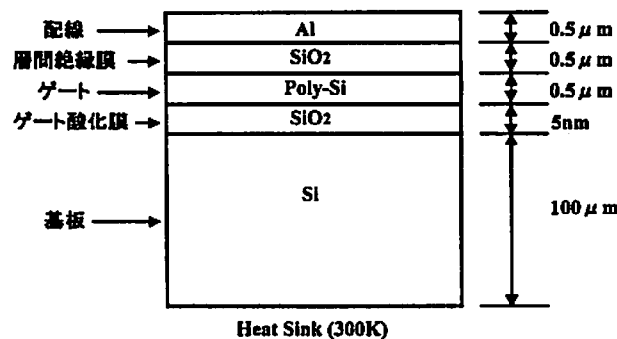


Fig. 3 ウェーハー形状

入力クロックは 100MHz, 400MHz, 1GHz に設定し Fig2 に示したような波形を入力している。

ウェーハ上面からヒートシンクへの断面形状は Fig3 のように近似してある。基板は Si にし、ゲート酸化膜と層間絶縁膜には SiO₂、ゲートに Poly-Si、電源と GND 等の配線には Al を用いている。

サンプルの解析条件は次の通りであり、その図を Fig4 に示す。

サンプル 1

- イ) インバータ回路の周囲にも同じ回路が存在し、電源、GND 線を共有させた形になっている。
- ロ) 負荷容量 CL は十分に熱的に分離したところに接続されているとする。
- ハ) ウェーハ上方から見た解析領域は Fig4 の通りで、また黒い部分が熱源チャンネルを表しており深さ方向に 0.1 μm の厚みがある。

サンプル 2

- イ) 周りには同じ回路が存在するが配線は共有せずある程度離れている。
- ロ) サンプル 1 の場合と同じ。
- ハ) サンプル 1 の場合と同じ。

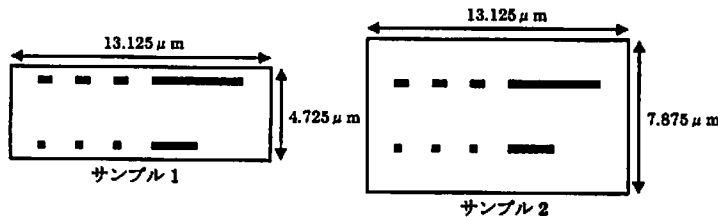


Fig. 4 解析領域

§ 5 シミュレーション結果

それぞれの周波数で解析した場合の各トランジスタの消費電力は Table 1 の通りである。ここで周波数が高くなると消費電力が大きくなるのは負荷容量を駆動する回数が多くなり一周あたり流れる電流量も増えるためである。

	100MHz [μW]	400MHz [μW]	1GHz [μW]
M1	77.4	76.5	90.6
M2	69.2	74.6	93.3
M3	19.6	49.0	77.9
M4	23.7	36.1	64.9
M5	72.2	171.1	285.8
M6	58.1	193.6	318.2
M7	1135.9	2490.6	4002.6
M8	1324.8	2940.0	4996.3

Table 1 消費電力

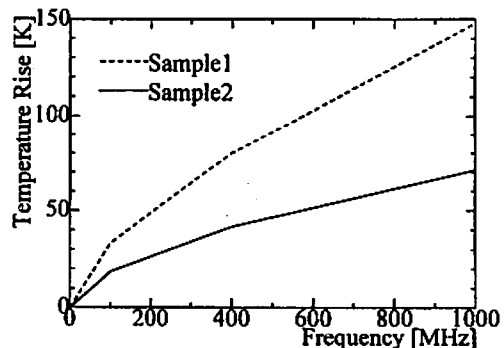


Fig. 5 各周波数における温度上昇

Fig5に各温度解析における最高温度のグラフを示す。サンプル2の方で温度が低くなっているのは面積を広いヒートシンクを広くとることができ放熱効果が良くなった事と、隣り合う距離を大きくしたことで周りの熱の影響を受けにくくなるからである。

温度結果を基にした遅延特性を調べたのでFig6,7に示す。入力にはSTEP入力を用いた。温度上昇を考慮した場合で遅延が大きくなっているのはデバイスの発熱によりキャリアの移動度が低くなりTrのチャネル抵抗が高くなってしまったため負荷容量との時定数が大きくなるためである。

そして周波数が高くなると遅延が大きくなるのは消費電力が大きいため温度上昇が激しくなり、移動度もその分低くなってしまいうからである。

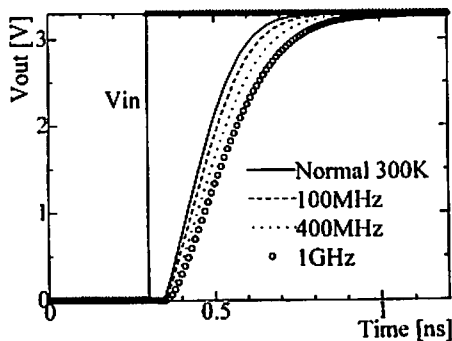


Fig. 6 サンプル1の遅延特性

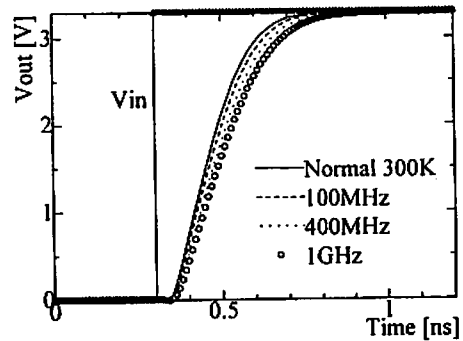


Fig. 7 サンプル2の遅延特性

また、サンプル2の方で遅延が少なくなっているのは、サンプル2場合は温度上昇が低いのでデバイスの温度変化による影響が少なくなる。このことにより配線遅延等のトレードオフはあるが面積を広くした場合遅延をある程度押さえることができる。

また、トレードオフがどれくらいあるかを調べるためにサンプル2の出力側にどの程度配線容量があるとサンプル1の遅延に相当するかを調べてみた。そのグラフをFig8に示す。ここで比較がしやすいように

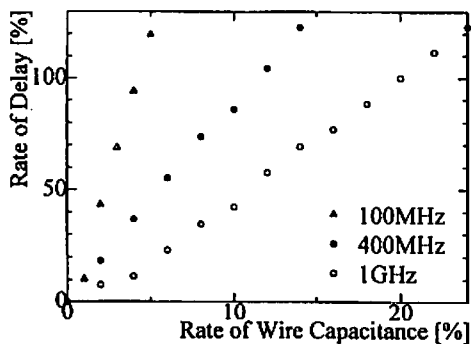


Fig. 8 配線容量の占有率

- 横軸は負荷容量を100%にしたときの配線容量の割合を表している。
- 縦軸がサンプル1の時で解析したときの遅延を100%(配線容量は無し)にし、サンプル2の配線容量を0に設定したときの遅延を0%に設定している。

周波数の低い場合よりも周波数の高い方が配線容量の占める割合が増えてからサンプル1に相当する遅延に達する。これは周波数が高い場合の方が2つのサンプルにおける絶対的な温度差が大きくなるため特性の差が大きくなるからである。

§ 6 ま と め

集積回路を対象とした温度シミュレータと汎用回路シミュレータ SPICE を用いてレイアウトをに関する温度変化を考慮した動作特性シミュレーションを行った。

デバイスに温度上昇の影響を考慮して解析を行った場合は室温一定と比べると遅延特性に変化が見られることがわかった。これは、温度の状態によってデバイスの特性が変化するためである。また、周波数や周囲の状態によっても遅延特性が変化することが確認された。

結果としてデバイスの温度上昇を考慮した動作特性シミュレーションが有効であることがわかった。

参 考 資 料

- 1) B. H Krabbenborg, A. Bosma, H. C. de Graaff and A. J. Mouthaan : Layout to Circuit Extraction for Three Dimensional Thermal-Electrical Circuit Simulation of Device Structures, IEEE Trans. ED Vol.17(1996), NO7,pp.765-774.
- 2) F. T. Wenthen : Computer-Aided Thermal Analysis of Power Semiconductor Devices, IEEE Trans. ED Vol.17(1970), NO9,pp.765-770.
- 3) B. M . Tenbroek, W. Redman-White, M.S.L. Lee, R. J. Bunyan, M. J. Uren and K. M. Brunson : Characterization of Layout Dependent Thermal Coupling in SOI CMOS Current Mirror, IEEE Tran. ED Vol.43(1996),No.12,pp.2227-2231.
- 4) 川島 博文, C. Moglestue, M. Schlechtweg, 檀 良 : チップ内の熱相互作用を考慮した半導体デバイスの三次元温度シミュレーション, 日本シミュレーション学会 第17回計算電気・電子工学シンポジウム(1996),pp.157-160.
- 5) R. L. Geiger, P. E. Allen, N. R. Strader :VLSI DESIGN TECHNIQUES FOR ANALOG AND DIGITAL CIRCUITS, McGraw-Hill(1990).