

### 大学におけるVLSI研究と産学協同について

Sato, Kazuyoshi / Fujita, Minoru / 佐藤, 和善 / 藤田, 実

---

(出版者 / Publisher)

法政大学工学部

(雑誌名 / Journal or Publication Title)

法政大学工学部研究集報 / 法政大学工学部研究集報

(巻 / Volume)

39

(開始ページ / Start Page)

17

(終了ページ / End Page)

21

(発行年 / Year)

2003-03

(URL)

<https://doi.org/10.15002/00003771>

# 大学における VLSI 研究と産学協同について

## VLSI RESEARCH AT THE UNIVERSITY AND ITS COOPERATION WITH INDUSTRY

藤田 実\*, 佐藤和善\*\*  
 Minoru FUJITA and Kazuyoshi SATO

The joint preparation effort of the semiconductor manufacture and VDEC to release 0.18 micrometer gate length VLSI technology was described. This technology was released to all the university, and in 2001 first silicon run was done successfully. Some proposals for future VLSI research at the university are presented.

**Key Words :** VLSI, 0.18micrometer technology, VDEC, cooperation with industry

### 1. はじめに

集積回路の研究には、巨額の設備投資による試作ラインと、多くの技術者によって支えられる製造技術が必要である。このため過去にはシリコン技術の研究はメーカーに任せ、大学はそれ以外の技術进行研究するという傾向が長く続いた。

しかし、集積回路の規模が増大し機能も高度になると、新しい世代の技術を開発するのに、広範囲な技術の研究と多くの研究者の協力が求められるようになった。各国では先端技術を育成して優位に立つため、大学でも集積回路を研究できるよう体制を整えるようになった。この様な潮流に合わせて、我が国でも「大規模集積システム設計教育研究センター」(VLSI Design and Education Center, 以後 VDEC と略記)が設立され、国内の多くの大学におけるシリコン VLSI の設計と試作を可能にする環境が設けられた[1]。

筆者はメーカー在籍中には VDEC の試作委託を受ける立場にあり、今年度からは大学で VLSI を研究する立場になったため、これを機会に、いかに産学協力を進めたかを、2001 年度からリリースされた 0.18 ミクロン技術を中心とし、その前にリリースした 0.35 ミクロン世代も合わせて述べる。最後に今後の課題として考えていることも示してみる。

### 2. 大学の VLSI 研究と VDEC の活動

VDEC は全国の大学と高専が VLSI の設計試作を共同利用するセンターとして 1996 年 5 月に東京大学に設置された。ここで簡単にその概要を述べておく。

VDEC の役割と活動は VLSI 設計情報の発信、最新 CAD ツールの提供、VLSI チップ試作の支援が三つの大きな柱になっている。これ等の活動はインターネットや講習会を通して全国的にサービスが展開されて

いる[2]。チップ試作数は 1996 年度発足時の約 70 種から、2001 年度には約 460 種にまで増加している。現在、参加大学数は 73 校、参加研究者数は 132 人と非常に活動の幅を広げている[3]。

取り扱っている技術はアナログ技術からデジタル技術まで、集積回路の形態はセルベースからゲートアレーまでをカバーしている。また最近では IP (Intellectual Property) の取り込みとして、CPU を内蔵させることも行われている[4]。

半導体プロセスの加工技術水準の推移とロードマップに示される今後の予測を示したのが図 1 である[5]。VDEC が扱っている技術の範囲はチャンネル長にして 1.2 ミクロンから 0.18 ミクロンまでをカバーしている。最先端技術までは行かないとしても、かなり先端的な領域を取り込んでおり、今後も範囲を広げる努力が続けられている。

VDEC のチップ試作の基本構想は、チップ相乗り方式で試作コストを下げることにある。VLSI チップはレティクル (マスク) 上のパターンを縮小投影露光装置

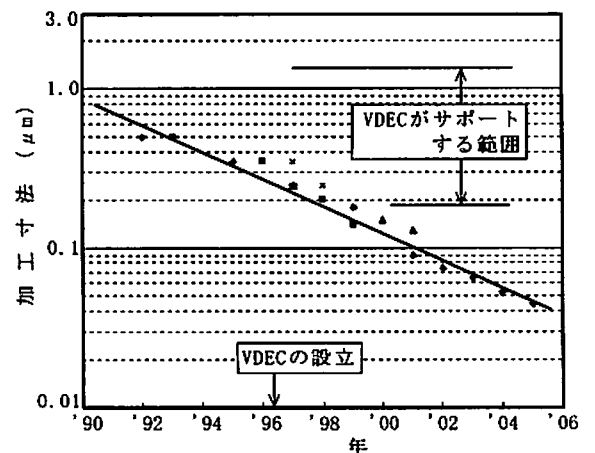


図 1 加工寸法の推移と今後の予想

\*電子情報学科

\*\* (株)日立製作所 デバイス開発センター  
 プロダクトマーケティング部

を用いてステップ&リピート方式で、ウェハ上に焼き付けて行くことで作られる。レティクル上の領域を複数に分け、多数の大学がそれぞれの領域を利用すれば、1 大学当りの試作費用は、全体を大学数で割ったものとなり少なくなる。この方法で費用負担を少なくするのがチップ相乗り方式である。図 2 に、筆者らがリリースを進めた 0.18 ミクロン CMOS 技術による、VLSI の試作結果の写真を示す[3]。ここではレティクル上に 3×4 個のチップを搭載し、その中の 3 チップは更に 4 分割して利用している。

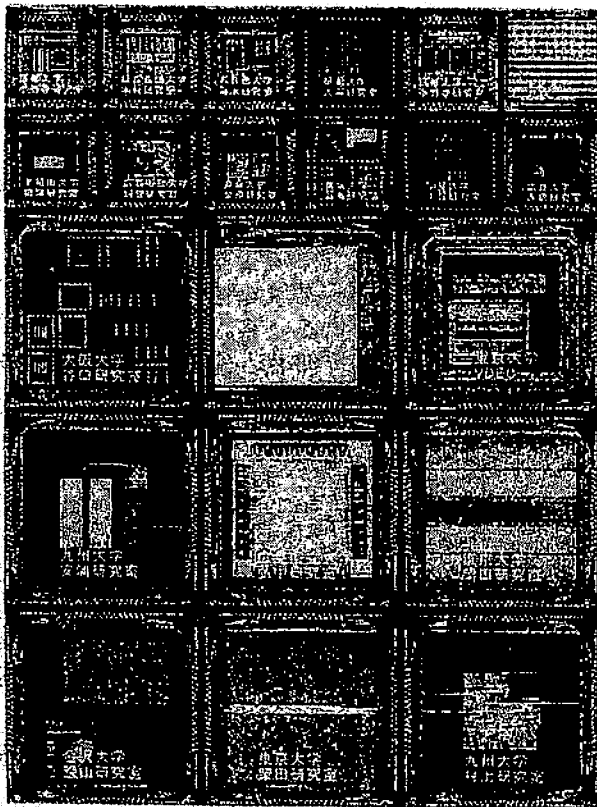


図 2 0.18 μm CMOS 技術を用いた VDEC チップ

### 3. VLSI の設計技術とサンプルの供給

VDEC の試作を引き受けているメーカーは数社あり、メーカーによって多少事情が異なるが、ここでは 2001 年度に利用可能にした 0.18 ミクロンプロセスと、それ以前にリリースした 0.35 ミクロンプロセスについて、技術を展開した内容を示す。

半導体メーカーが VDEC からのチップ試作の委託を受ける場合に、検討すべき課題は

- 技術のサポート
- 試作費用の低減
- 知的財産権の取り扱い

が大きな項目となる。以下では技術セグメント毎に、これらの課題にどのように対処したかを述べる。

#### (1) チップの選択

チップ相乗り方式が基本になっているので、使用するチップは出来るだけ小さいものにし、レティクル上に多数配列することが望ましい。レティクルが収容できるパターンの領域は 30mm φ である。このため開発済みの中で最小のチップを選定した。チップの諸元を表 1 に示す。ここで、ゲート数は敷き詰め型のゲートアレイにした時の値を表す。チップサイズが約 6mm なので、3×4 個をレティクルの中に配列できる。

#### (2) ライブラリ

VLSI の設計は全工程が DA (Design Automation) システムとして構築されている。図 3 に示すように、設計の各段階では専用の設計ソフトが使われ、使用するゲート、ラッチ、レジスタなどはライブラリのパーツとして、それぞれのソフトが参照して使っていくようになっている。

ライブラリには知的財産権にかかわる回路や機能ブロックが含まれており、どこまで開示するかはメーカーが慎重に選択することになる。現在のところ、ゲートや

表 1 0.18 μm と 0.35 μm のチップ諸元

	0.35 μm 系	0.18 μm 系
チップサイズ (mm)	5.98	5.98
配線層数	5	5
ゲート数 (敷詰数)	148k	457k
動作電圧 (内部)	3.3V	1.8V
(I/O 部)	3.3V	2.5V / or 2.5&3.3V
遅延時間 (ps) (2NAND F.O.=2)	120	72
パッケージ (ピン)	BGA256	BGA256

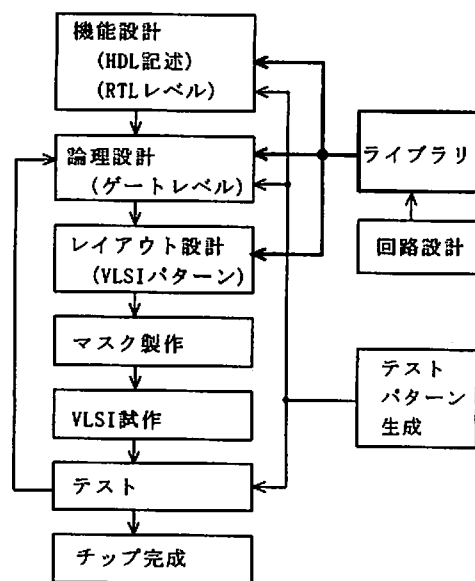


図 3 VLSI 設計と試作の流れ

表2 開示したライブラリの数

	0.35 $\mu\text{m}$ 系	0.18 $\mu\text{m}$ 系
ゲート(組合せ論理)	181	207
フリップフロップ	2	2
レジスタファイル	0	41
RAM	0	21
PLL	0	5

レジスタ等、大学が通常使う基本的な機能は表2に示すように、大部分が提供されている。

微細加工が進み、集積できるゲート数が多くなるに伴い、大容量のRAMを内蔵させることが必要になってくる。しかし、RAMは多くの回路技術の設計財産の集合体であり、回路の全てを開放するには難点がある。そこでワード数とビット数の代表的な組み合わせを幾つか選択し、ユーザにブロックとして提供することにした。ユーザは使うブロックを指定し、好みの場所に配置し、それに対して入出力配線、電源、クロック等の接続をするだけでよく、内部構造はメーカが埋め込む形にした。

また、クロックが高速化しているのに伴い、PLL (phase locked loop) 回路を通してLSI内部にクロックを供給することが必要になってきている。これもユーザの要望があれば、ブロックとして提供することにした。ただし、クロックはチップ内部にスキューの少ないパルスして供給しなければならないので、配置場所はメーカ指定の場所と領域とし、ユーザは周波数の連倍率を指定する信号をブロックに与えることで使える様にした。内部回路はメーカが独自開発したもので構成する。

(3) SPICEパラメータ

大学のVLSI研究では、新しい回路を研究しているところはかなり多い。このため、回路特性をシミュレーションで予測出来るようにしておかなければならない。ところが回路シミュレーション用のデバイスモデルはSPICE、HSPICE、BSIM、独自モデルなどメーカとユーザによってかなり異なる。更に、そこに組み込まれるデバイスパラメータは極論すれば試作ロットごとに異なる。このためメーカはVDECに使用しているモデルと代表的なパラメータ値を提出し、VDECはそれを参考にした上で、大学向けのデバイスモデルとパラメータを公開するようにしている。更にVDECは、試作ロットからデバイス特性を測定し、独自にパラメータを抽出して確認できる体制にしている。

(4) レイアウトルール

VLSIのパターン設計基準であるレイアウトルールは、集積密度を直接決めるものであり、メーカの技術レベルを端的に表すものだけに、以前は秘中の秘とさ

れていた。しかし、近年は計算機による自動設計の手法が大きなウエイトを占めるようになったのと、IP化の促進やビジネスで開発のアライアンスを結ぶことが多くなって来たことで、次第にユーザに提供されるようになって来た。

しかし、レイアウトルールには多数の項目についての規則があり、それを理解するには多くの技術的なサポートが必要である。さらに、0.18ミクロンレベルの微細加工ではフェーズシフトマスク技術も必要になる[6]。この技術はメーカによって独自の方式が採用されており知的財産権も含まれている。ユーザである各大学に個々の規則の背景や考え方を理解させるのは、時間と多大なサポートを要することになり得策ではない。このためVDECとメーカとの共同作業で、項目を簡略化したり、一般のユーザに理解しやすい形態に移行させる作業が行われ、その結果をリリースするようになった。

(5) チップ周辺の設計

提供するプロセスはかなりの微細加工であるため、チップが小さくても集積度は高くなり、チップをフルに活用した場合は、多数のボンディングパッドが必要になる。VDECに提供するチップでは5.98mm角のチップに256個までのパッド使えることにしている。図4にVLSIを収納する256ピンBGA (ball grid array) パッケージを示しておく。

小チップに多数のパッドをぎりぎりに詰めて配置するには、位置やサイズそれに形状を厳密に規定し、自動ボンダでパッケージと接続出来るよう、設計しなければならない。これはユーザにとって大きな負担になるので、多数のパッドを使う場合はメーカ提供のものを使えるようにした。その他に、少数のパッドを自由に設置することも可能とした。

大学のVLSI研究はチップそのものを作るにとどまらず、それを用いてシステムを構築し、動作させるのを目的にすることもある。この場合は他のVLSIもボードに搭載してシステムを組むので、入出力回路は

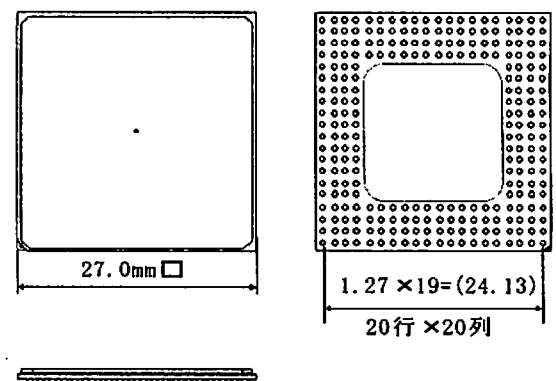


図4 256ピンBGAパッケージの外形図

標準インターフェースに合致させなければならない。従来の TTL、LVTTL に加えて、最近では低振幅の GTL インターフェースも多用されるようになってきている[7]。さらに、静電保護回路やラッチアップ防止構造も備えていなければならない。これらを自分で設計しようとすると、かなりの負担になる。本来の研究目的が論理機能の実現である場合、入出力回路にはメーカーが既に設計済みのものを用い、研究者は内部機能や回路の設計に集中した方が、はるかに効率がよい。このため、要望があれば、メーカーの入出力回路が使えるようにした。ユーザは端子番号と機能が入力、出力、あるいは入出力共通のいずれであるかを指定すればよいようにした。

#### (6) チップの全体構成

以上をまとめると、チップ全体の基本イメージは図 5 のような構成にすることにした。大学が独自に自由に全体を設計することも出来るが、パッド、入出力回路、PLL、RAM 部については、必要に応じてメーカー提供のオプションも使えるようにして、研究の効率を上げられるようにした。

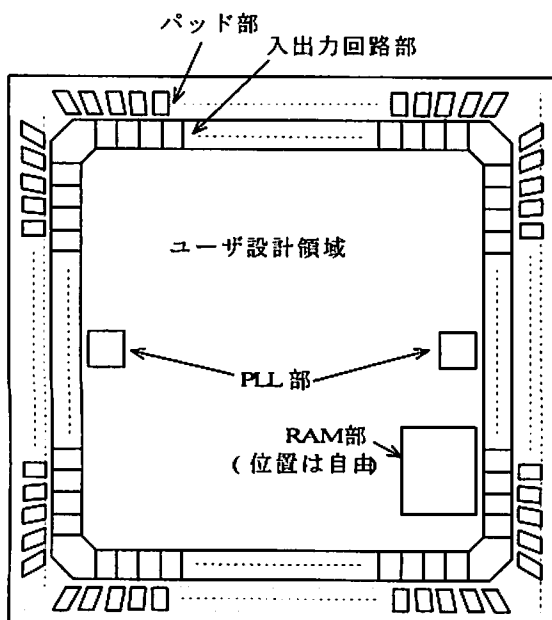


図5 チップの基本構成図

#### (7) チップ試作費用の低減

ディープサブミクロン世代になると、VLSI の開発試作費は 1 千万以上、場合によっては数千万円に及ぶことがある。チップ相乗り方式にしても、1 校当たりの費用は高額なものになる。このため、ビジネス的な基準ではなく、いわゆるアカデミックディスカウント的なコストの低減策を図らなければならない。ここでは関係する会社の方々のご理解のもとに、コストの低減

が行われた。

まずはマスクであるが、微細パターンであるため開発費のかかなりの部分を占めている。VDEC からマスクメーカーに事情を説明して頂き、半導体メーカーからもお願いをした。幸いにもマスクメーカーは本件に対し深いご理解をして下さっているため、大幅なご協力を頂くことが出来た。さらに注文処理や納入業務を行う営業部門、設計や試作の作業の担当部分を請け負う関係会社の方々にも、産学協同の趣旨をご説明し、ご協力を頂いたことで、これらの費用低減がなされた。

#### 4. 今後の進め方と課題

VDEC が設立されたことで、大学における VLSI の研究は先端的な技術で試作評価を行うことが可能になった。しかし集積回路の技術は依然として速いテンポで変化している。ここでは今後を展望したときに課題になると思われることについて述べてみる。

##### (1) 高速・高集積化および診断技術

今後益々高速化が進んで行くが、それに伴い VLSI 内部での低スキューのクロックツリーや低インダクタンスの電源配線の設け方、それにシグナルインテグリティ等への対処などが求められる[8]。さらに集積度が高くなると、診断のためのスキャン方式の導入が必要になってくる。これらの技術はノウハウと共にメーカーの設計システムに深く組み込まれており、単独で切り出せるものではなく、総合的なシステムになっている。それ自体を研究する場合は別として、利用する場合はメーカーの仕組みに入り込まないとなかなか使えない。この意味で産学協同による相互乗り入れが可能な体制作りが益々重要になってくる。

##### (2) プロセス技術

VDEC の VLSI は決められたプロセスを使っているため、回路や論理の研究を行うには便利であるが、プロセスやデバイスの実験を行うのに余り自由度がない。個々の装置で、そのプロセスだけの実験をする場合は別であるが、VLSI を作るために統合された一連のプロセスフローの中で、特定のプロセスの条件を変えたり、プロセス技術を変えたりする実験は、製品にも影響するし、装置をそれ用に確保したり、技術者も引き当てないといけないので、かなりの困難が伴う。この種の取り組みは今後の課題であろう。産学プロジェクトの形態でかなりの予算を取って実験をやるがおおよその方向付けになると思われる[9]。

##### (3) メーカーの技術開発

半導体メーカーでは自由に実験や開発がやれるかというと、次第にそれは難しくなっているのが実情である。それぞれの技術は大型化し、個々の技術をつなぎ合わせるだけではなく、総合化して設計システムとしてまとめ上げて行く傾向にある。このため 3 年毎の新しい世代の技術開発に集中するのに精一杯になっている。

新しいアイデアを、その都度、実証して行くのは難しくなっている。これを改善するには、大学との共同研究を強めるのが効果的であろう。アイデアを素早く実証して、使ってゆける体制にするのが、産業界の活性化の一助になると思われる。

#### (4) メーカーとの相互理解

VLSIの試作委託を受けるには、多くの会社間や部署間の協力、費用や知的財産権に関する判断が必要であり、産業界側においてもかなりの負担を覚悟することになる。このため、事業所長や工場長クラスによる決断が求められることになる。このような協力体制は一朝一夕に得られるものではなく、不断の情報交換や相互理解の上に成り立つものである。大学での研究活動を産業界の方々に見てもらい理解してもらおう、日頃の働きかけが重要であると考え。大学はVDECに依存するだけでなく、一緒になって協力し、メーカーに働きかけて行くことが大切と考える。

## 5. 結論

大学におけるVLSI研究は、VDECの設立により、実際に集積回路を設計し試作評価することが出来るようになった。本稿ではVDECと半導体メーカーがどのような検討をして、新しい世代の技術を使えるようにしたかを報告したものである。先端の0.18ミクロン技術は2001年度に第一次の設計と試作を完成させ、多くの大学にVLSIを供給できるようになった。あわせて私見になるが、今後の課題として産学協同体制をさらに強める必要があることを述べた。

## 謝辞

今回の共同作業においては全般にわたり、浅田邦博VDECセンター長によるご指導とVDECメンバによるご検討を頂きました。また、設計試作の受け入れ体制

の確立および推進に当たっては、(株)日立製作所デバイス開発センタの安斉昭夫前センタ長を初めとする多くの方々のご尽力、半導体事業部、(株)大日本印刷、(株)日立超LSIシステムズ、(株)日立インフォメーションテクノロジー、(株)イーストンエレクトリックの方々のご協力を頂きました。ここに厚く感謝の意を表します。

## 参考文献

- [1] 鳳絢一郎, 上田和宏, 南谷崇, 安浦寛人, 岩田穆, 家田信明, 石井吉彦, 浅田邦博: VLSI設計教育の現状と将来, 電子情報通信学会誌, Vol.80, No.1, pp.40-62, 1997
- [2] VDEC ホームページ: <http://www.vdec.u-tokyo.ac.jp/>
- [3] 平成13年度VDEC事業報告, 平成14年度東京大学大規模集積システム設計教育センター年報, 2002
- [4] Ishihara, T., Komatsu, S., Miyama, M., Yoshimoto, M., Hirata, M., Fujita, M., Asada, K.: An Inter-University Joint Program for a Trial of IP-Based System LSI Design, European Workshop on Microelectronics Education (EWMW 2002), May 2002
- [5] International Technology Roadmap for Semiconductors: <http://public.itrs.net/>
- [6] 菅野卓雄監修, 伊藤隆司編者: ULSIデバイス・プロセス技術, pp.221-222, 電子情報通信学会, 1995
- [7] Gunning, B., Yuan, L., Nguyen, T., Wong, T.: A CMOS Low-Voltage-Swing Transmission-Line Transceiver, International Solid-State Circuits Conference (ISSCC), WP3.7, pp.58-59, 1992
- [8] Singh, R.: Signal Integrity Effects in Custom IC and ASIC Designs, John Wiley & Sons, Inc. 2002
- [9] 木村雅秀: 閉鎖から開放へ連携体制を強化, 日経マイクロデバイス, No.200, pp.54-61, 2002