

100nm世代のSoCプラットフォームに向けた丈 高速および低電力/RF用途対応50nmCMOS技術

大西, 和博 / 土屋, 龍太 / 山内, 豪 / 大塚, 文雄 / 満田,
勝弘 / 長谷, 昌俊 / 中村, 徹 / 川原, 尊之 / 尾内, 享裕 /
OHNISHI, Kazuhiro / TSUCHIYA, Ryuta / YAMAUCHI, Takeshi /
OOTSUKA, Fumio / MITSUDA, Katsuhiko / HASE, Masatoshi /
NAKAMURA, Tohru / KAWAHARA, Takayuki / ONAI, Takahiro

(出版者 / Publisher)

電子情報通信学会

(雑誌名 / Journal or Publication Title)

電子情報通信学会技術研究報告. SDM, シリコン材料・デバイス / 電子情報通信
学会技術研究報告. SDM, シリコン材料・デバイス

(号 / Number)

573

(開始ページ / Start Page)

25

(終了ページ / End Page)

30

(発行年 / Year)

2002-01-15

100nm 世代の SoC プラットフォームに向けた 高速および低電力/RF 用途対応 50nm CMOS 技術

大西和博 土屋龍太 山内豪+ 大塚文雄* 満田勝弘**
長谷昌俊++ 中村徹++ 川原尊之 尾内享裕

(株) 日立製作所中央研究所 〒185-8601 東京都国分寺市東恋ヶ窪 1-280
* (株) 日立製作所デバイス開発センタ、 ** (株) 日立製作所半導体事業部
+ (株) 日立超 LSI システムズ、 ++ 法政大学工学部

E-mail: kohnishi@crl.hitachi.co.jp

あらまし 100nm 世代の SoC (Silicon-on-a-chip) プラットフォームに向けて、高速および低電力/RF 用途対応の CMOS 技術を開発した。本 CMOS デバイスの特徴は、オフセットソース/ドレイン構造と超急峻チャネル(SSC: Super Steep Channel)構造である。オフセットソース/ドレイン構造は、より微細なゲート長のデバイスを駆動電流を減少させることなく動作させることができる。SSC 構造は、従来の halo 構造に比べてキャリア移動度が向上し、特に低電圧領域での電流特性が改善する。また、 $1/f$ ノイズの原因となるゲート絶縁膜のダメージも低減でき、特に短チャネルデバイスでの $1/f$ ノイズ特性が向上する。

キーワード CMOS、低電力、RF、オフセットソース/ドレイン、超急峻チャネル、移動度、 $1/f$ ノイズ

A 50-nm CMOS Technology for High-speed, Low-Power, and RF Applications in 100-nm node SoC Platform

K. Ohnishi, R. Tsuchiya, T. Yamauchi⁺, F. Ootsuka*, K. Mitsuda**
M. Hase⁺⁺, T. Nakamura⁺⁺, T. Kawahara, and T. Onai

Central Research Laboratory, Hitachi, Ltd., Kokubunji, Tokyo, 185-8601, Japan

* Device Development Center, ** Semiconductor & Integrated Circuit Div., Hitachi, Ltd.

⁺ Hitachi ULSI Systems Co., Ltd., ⁺⁺ Hosei University

E-mail: kohnishi@crl.hitachi.co.jp

Abstract We have developed 100-nm node CMOS platform mixed with high performance and low-power/RF applications. This platform is featured by an Offset Source/Drain structure for gate length reduction without reducing drive current, and by a SSC (Super Steep Channel) profile for improving low-power/RF performance in terms of carrier mobility and $1/f$ noise. The SSC structure is inherently superior to the halo profile owing to lower doping concentration both at channel region and at gate edge region. Reduced gate oxide damage achieved by SSC scheme was also verified to be preferable for RF application.

Key words CMOS, low-power, RF, offset source/drain, SSC, mobility, $1/f$ noise

1. はじめに

CMOS デバイスの微細化はいわゆるスケーリング則に沿って進展してきた。しかし、そのシナリオに従って微細化を進めると、電源電圧を下げることで、実効的にゲートに印加される電圧も小さくなり、高速性を実現するために、極薄ゲート絶縁膜や極低しきい値電圧が要求され、許容できないレベルのリーク電流が発生する。このため、低消費電力特性と高速性が同時に要求される用途に対応するデバイスの実現は非常に困難となる。つまり、従来のスケーリングに沿ったシナリオはあらゆる種類のデバイス設計に対する普遍的な指針としては不十分であり、モバイル用途や一般向け MPU といった、高速性能と低消費電力特性を兼ね備えた製品のスペックを満足するためには、これまでと異なった設計思想が求められている。

このような考え方に基づいて、我々には低消費電力特性と高速性を併せ持ったデバイス設計指針が必要となった。表 1 に基本的な考え方を示す。DC (スタンバイ) 状態では、基板電圧を印加してしきい値電圧を上げ、サブスレッショルドリークを低減する。一方、AC (動作) 状態ではしきい値電圧を下げ、実効的にゲートに印加する電圧を高くする。このようにして、従来の低電力仕様と同じ電圧で、より高速にデバイスを動作させることができる。

本報告では 2 種類のトランジスタについて述べる。1 つは、100nm 世代に向け、従来のスケーリングに沿ったゲート長 50nm の高速用途向け CMOS デバイス。もう 1 つは、上述した設計思想に基づいた、低電力/高周波用途に適した超急峻チャネル構造のデバイスである。

2. デバイス構造およびその設計思想

図 1 にデバイスの模式図を示す。高速仕様のデバイスはオフセットソース/ドレインがその特徴である。また、低電力/高周波デバイスには SSC 構造が適している。

オフセットソース/ドレイン構造は、ソース/ドレイン・エクステンション (以下 SDE) の不純物拡散の起点をゲート端から外側に移動させる。このため、SDE のゲートオーバーラップを最適化し、より微細なゲート長のデバイスを、駆動電流を減少させることなく動作させることができる。したがって、従来のイオン注入と短時間アニール技術の組み合わせで、

ゲート長 50nm のデバイスを簡便に実現できる構造である。

SSC 構造は、チャネル部分の不純物濃度が低く、キャリア移動度が高い。特に低電圧領域での駆動電流には、移動度の寄与が大きいため、低電力での高速動作に適していると考えられる。また、基板効果定数が大きいので、基板印加電圧に対するしきい値電圧の変動量が大きく、我々の低電力設計指針に適している。さらに、チャネル不純物濃度が低いために、GIDL (Gate Induced Barrier Lowering) によるリーク電流が小さいことも期待される。

加えて、SSC 構造は、高周波用途向けデバイスにも有用である。CMOS デバイスが無線通信応用に使われてこなかった理由の 1 つに、 $1/f$ ノイズが大きいという特徴が挙げられる。 $1/f$ ノイズは、キャリアの移動度の揺れや界面トラップ準位がその原因であると言われている⁽²⁾。halo 構造では、パンチスルーストップパをゲート絶縁膜越しにイオン注入するため、特にゲートエッジ近傍の絶縁膜にダメージを与え、界面トラップ準位を多く発生していると予測される。これに対して SSC 構造では、ゲート絶縁膜形成前にパンチスルーストップパを形成するため、絶縁膜のダメージが少なく、 $1/f$ ノイズも小さい。

3. 実験とその結果

3.1 形成プロセス

高速仕様のデバイスと低消費電力仕様のデバイスは、オフセットスペーサの構造と、パンチスルーストップパの形成プロセスを除いて同一のプロセスで作製した。本検討では、高速仕様のデバイスには、オフセットスペーサ構造を用い、低消費電力仕様のデバイスには SSC 構造を用いている。図 2 に高速仕様のデバイスの断面図を示す。

その他のキーププロセスとしては、ゲート絶縁膜に NO 酸化化膜、位相シフトマスクとレジストスリミングの組み合わせによる微細加工ゲート、そして瞬間高温アニールを用いた。

3.2 高速デバイス

ゲート長 50nm の微細デバイスを実現するには、オフセットソース/ドレイン構造は簡便で有力な方法である。しかし、NMOS と PMOS デバイスの両方に丁度適した長さのオフセットスペーサ長を設定し、双方を簡便なプロセスで作るのは意外に難しい。それぞれの SDE 形成に用いる不純物、ひ素(As)とポ

ロン(B)の拡散係数が大きく異なるからである。今回我々は SDE の形成条件やオフセットスペーサ長を詳しく検討し、NMOS および PMOS デバイス共に満足する条件を得た。図3および4は、オフセットスペーサ長と SDE のイオン注入エネルギーの関係を示している。これから、SDE のイオン注入エネルギーとオフセットスペーサ長を最適化することで、高駆動電流特性と良好な短チャネル特性を両立することが可能であることがわかる。図5から8は、さまざまなオフセットスペーサ長で試作した NMOS および PMOS デバイスの V_{th} -Lg 特性と Ion-Ioff 特性である。特に PMOS デバイスでは、12nm のオフセットスペーサ長の時に最も良い短チャネル特性が得られているが、NNOS デバイスの駆動電流が減少してしまう。ゲート電極の端の所までひ素が届かないために、寄生抵抗が増加してしまうためである。今回の検討では、NMOS と PMOS デバイスに同じオフセットスペーサ長を適用した場合に、オフセットスペーサが無い場合と比べて同程度の高い駆動電流が得られ、かつ短チャネル特性の改善効果が最大限に得られるのは 10nm 程度であるという結果が得られている。図9に試作した 50nm デバイスの Id-Vd 特性を、図10に Id-Vg 特性を示す。オフ電流 $100\text{nA}/\mu\text{m}$ で駆動電流 $670/280\ \mu\text{A}/\mu\text{m}$ (1.0V) という高い値が得られた。図11にはこれらのデバイス的高速性の指標として CV/I プロットを示す。50nm のデバイスでは NMOS/PMOS デバイスでそれぞれ 1.1 および 2.1ps という高速性を示している。

3.3 低消費電力デバイス

低消費電力用のデバイスには従来の halo 構造に比べて SSC 構造が優れている。なぜなら、halo 構造ではデバイスが微細になるに伴って両側からのパンチスルーストップパの重なりが大きくなり、チャネル不純物濃度が高くなるのに対して、SSC 構造ではチャネル不純物濃度を低いまま保つことができるからである(図1)。図12に SSC 構造の SIMS 測定結果を示す。このグラフから、チャネル濃度に相当する表面の不純物濃度が、 $3 \times 10^{17}\text{cm}^{-3}$ と低いレベルに抑えられていることがわかる。従って、特にゲート長の短い領域においては、halo 構造よりも SSC 構造の方がキャリア移動度が高い。図13にそれぞれのデバイスの相互コンダクタンスとゲート長の関係を示す。キャリア移動度を反映して、長チャネルでは halo 構造の方が相互コンダクタンスが大きい

短チャネルでは逆転している。このように移動度が高いデバイスでは、低電圧での電流特性の改善が期待される。図14には、電源電圧を変えた際の Ion-Ioff 特性を示す。予測通り、より低電圧で SSC 構造の方が同じ Ioff に対する Ion が高いという結果が得られた。この関係をより理解するため、図15に V_{th} がほぼ同じデバイスの Id-Vd 特性を示す。SSC 構造の方が高移動度であるために、線形領域での電流の立ち上がりが大きい。しかし、一旦飽和領域に達してからは、ポケット構造の方が DIBL (Drain Induced Barrier Lowering) の影響が強く、少しずつ電流が増加する。一方 SSC 構造では、チャネル下全面にパンチスルーストップパがある構造のため DIBL がポケット構造より起こりにくく、ピンチオフしてからの電流増加は少ない。このため、電源電圧が高いときには、デバイスがピンチオフしてからの電流増加の寄与の大きいポケット構造の方が有利だが、電源電圧が低いときには、線形領域の立ち上がりの大きい SSC 構造の方が大きな Ion を得ることができる。図16にドレイン電流 (Id) をドレイン電圧 (Vd) で積分した値の電源電圧依存性を示す。Id を Vd で積分した値は、回路動作させる場合のスイッチング速度に関係する量であり、この量の大きい方がスイッチング速度は速くなる。今回の検討では、SSC 構造ではポケット構造に比べて、電源電圧 0.9V では約 5%、0.6V まで低電圧化した際には約 10% の高速化を見こめることがわかった。このことから、SSC 構造はポケット構造に比べてより低電圧動作に向いている、すなわち低消費電力動作に適したデバイス構造であるということが出来る。

また、SSC 構造は基板電圧印加により待機時電流を低減する設計思想に適している。なぜなら、チャネル直下に一様にパンチスルーストップパとして高濃度領域が形成されるので、基板効果定数 (Kb) が halo 構造に比べて大きく、基板バイアスによるしきい値電圧制御が効率良く行えるからである。図17および18に V_{th} -Lg 特性と Kb-Lg 特性を示す。同程度の短チャネル特性を示すデバイスにおいて、短チャネルの領域においても SSC 構造の方が基板効果定数が大きいことがわかる。

またさらに、SSC 構造ではチャネル濃度が低いことから、ゲート端近傍での接合部分の濃度が低く、その結果 GIDL の低減も期待することができる。

3.4 アナログ/RF用途

次世代の高性能 CMOS デバイスをアナログ/高周波用途に適用する際に、 $1/f$ ノイズは重要なファクターの一つである。従来の halo 構造の MOS デバイスでは、図 19 に示すようにゲート端近傍でイオン注入起因のダメージが発生し、これが $1/f$ ノイズの原因になると考えられる。しかし、SSC 構造では、ゲート絶縁膜の形成前にパンチスルーストップパとしてのイオン注入を行うため、このようなパンチスルーストップパイオン注入起因のダメージは無い。図 20 に、測定したドレイン電流雑音密度 (S_{id}) を示す。測定はゲート幅 $15 \mu\text{m}$ の NMOS デバイスで、飽和領域の条件で行った。ゲート長の長い領域では、ゲート端の影響が小さいため、halo 構造の方が $1/f$ ノイズが小さいが、ゲート長が短くなるとその関係は逆転し、SSC 構造の方が $1/f$ ノイズが小さくなる。図 21 にはゲート長 $0.1 \mu\text{m}$ のデバイスの S_{id} - V_g 特性を示す。ゲート端近傍の影響で SSC 構造の方が $1/f$ ノイズは小さいと考えられ、このことから、SSC 構造がアナログ/高周波用途に適しているといえる。

4. まとめ

100nm 世代の SoC プラットフォームに向けて、高速および低電力/RF 用途対応の CMOS 技術を開発した。開発したのは、従来のスケーリングシナリオに基づいたゲート長 50nm の高速仕様デバイスと低電力デバイスの設計思想に基づいた SSC 構造のデバイスである。SSC 構造は、従来の halo 構造に比べてチャネル領域の不純物濃度を低減できるため、キャリア移動度が向上し、特に低電圧領域での電流特性が改善する。また、 $1/f$ ノイズの原因となるゲート絶縁膜のダメージも低減でき、特に短チャネルデバイスでの $1/f$ ノイズ特性が向上する。

5. 謝辞

本研究を進めるにあたり、ご指導いただきました木村勝高氏、菊島健一氏、村田純氏に深く感謝いたします。また、試料作成にご協力いただいた野中裕介氏、島本聡氏、飯田雅也氏、一瀬勝彦氏と D5 のメンバーに感謝いたします。さらに、多くのご助言とご議論を頂いた堀内勝忠氏、久本大氏、高濱高氏、可知剛氏、木村紳一郎氏および A.Lubow 氏に深く感謝いたします。

文 献

- [1] M. Miyazaki, et al., "A 1000-MIPS/W Microprocessor using Speed-Adaptive Threshold-Voltage CMOS with Forward Bias", ISSCC, pp.420-421, (2000)
- [2] Y. Nemirovsky, et al., " $1/f$ Noise in CMOS Transistors for Analog Applications", IEEE. Trans. Electron Devices, Vol. 42, No. 10, pp. 2146-2152 (2001)

表1 高速/低消費電力CMOSの
基本コンセプトおよびターゲット

		High Speed	Low Power (conventional)	Low Power this work
Vcc (V)		1.0-1.2	0.7	0.7
Tox (nm)		1.5	1.7	1.7
loff (nA/ μ m)	Operation	100	10^{-2}	1
	Stand by	100	10^{-2}	10^{-2} (1)
Performance		Ultra Fast	Slow	Fast

(1) Stand-by current is reduced by body bias.

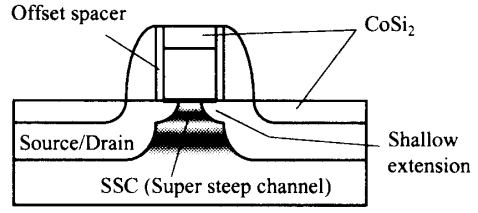


図1 MOSデバイス断面図 (模式図)

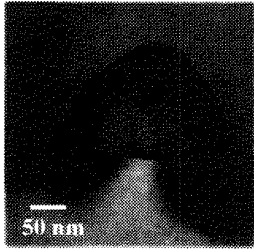


図2 デバイス断面図(TEM)

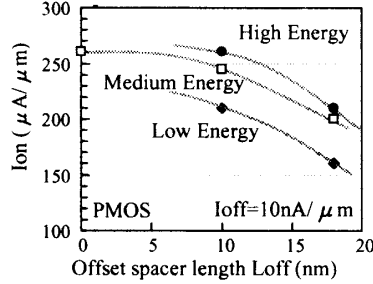


図3 PMOSのIonとオフセットスペーサ長
の関係. SDE注入エネルギーをパラメータとした.

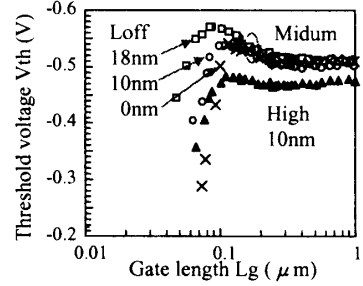


図4 PMOSのしきい値電圧のゲート長
依存性. オフセットスペーサ長とSDE注入エ
ネルギーをパラメータとして示している.

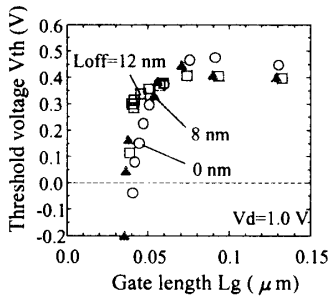


図5 しきい値電圧のゲート長依存性
(NMOS). 図中数字はオフセットスペーサ長.

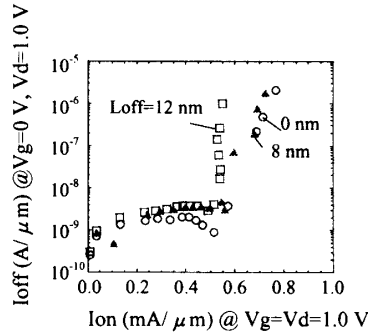


図6 Ion-Ioff特性 (NMOS)

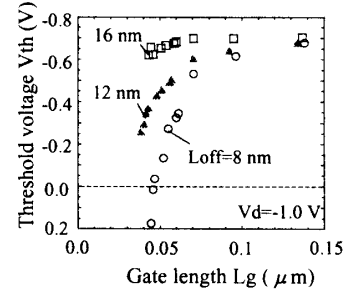


図7 しきい値電圧のゲート長
依存性 (PMOS)

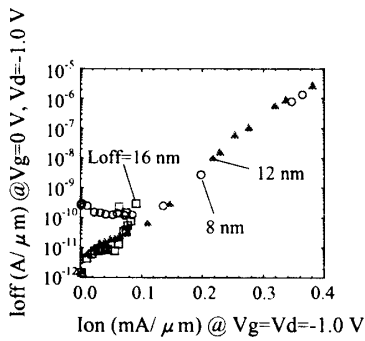


図8 Ion-Ioff特性 (PMOS)

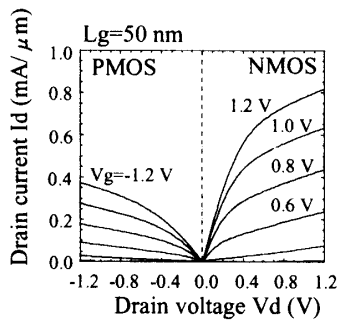


図9 NMOS/PMOSのId-Vd特性

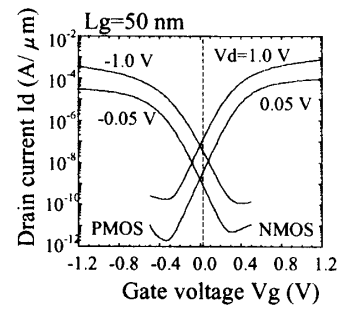


図10 NMOS/PMOSのサブスレッショルド特性

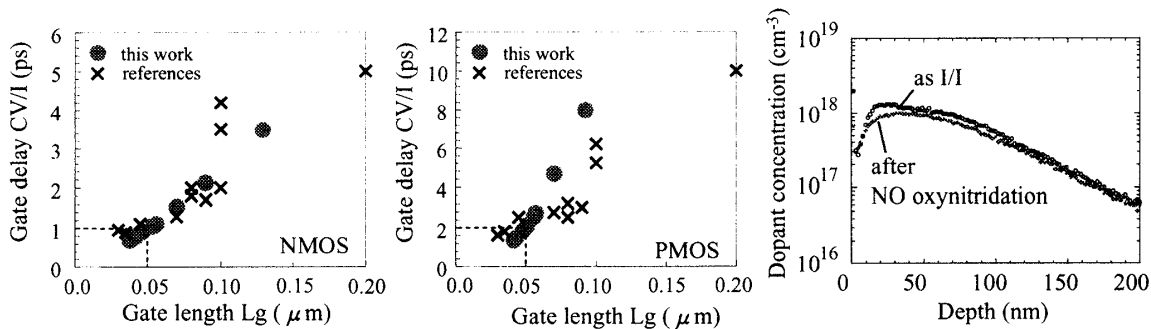


図 11 NMOS/PMOSのゲート遅延時間 (CV/I)

図 12 SSC構造の不純物プロファイル (SIMS)

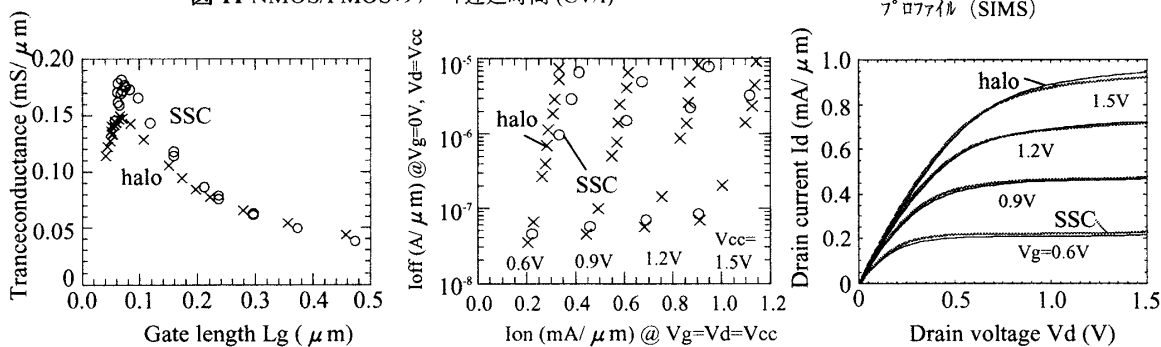


図 13 線形領域の相互コンダクタンス (NMOS)

図 14 種々の電源電圧に対する Ion-Ioff特性 (NMOS)

図 15 NMOSの Id-Vd特性 (SSC構造とhalo構造の比較)

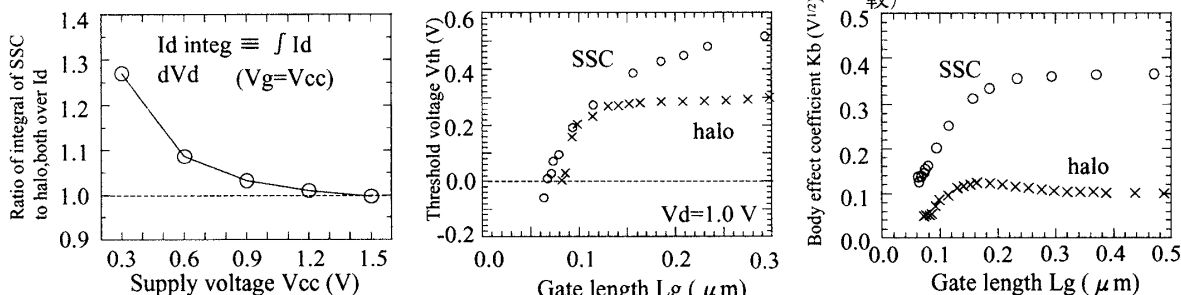


図 16 駆動電流のSSC構造とhalo構造の比 (電源電圧依存性)

図 17 しきい値電圧のゲート長依存性 (SSC構造とhalo構造の比較)

図 18 基板効果定数

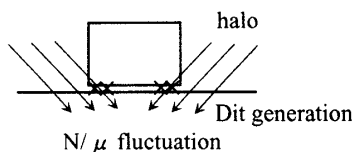


図 19 1/fノイズの要因. halo構造では、イオン注入の際にゲート端近傍のゲート絶縁膜にダメージが発生する。

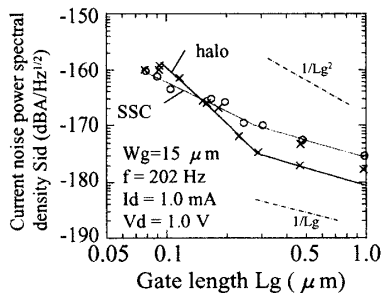


図 20 1/fノイズのゲート長依存性 (NMOS)

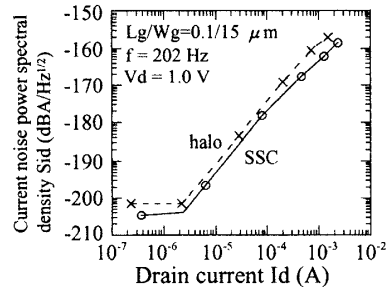


図 21 1/fノイズ特性 (NMOS, Lg=0.1 μm)